أساسيات النظم الرقمية

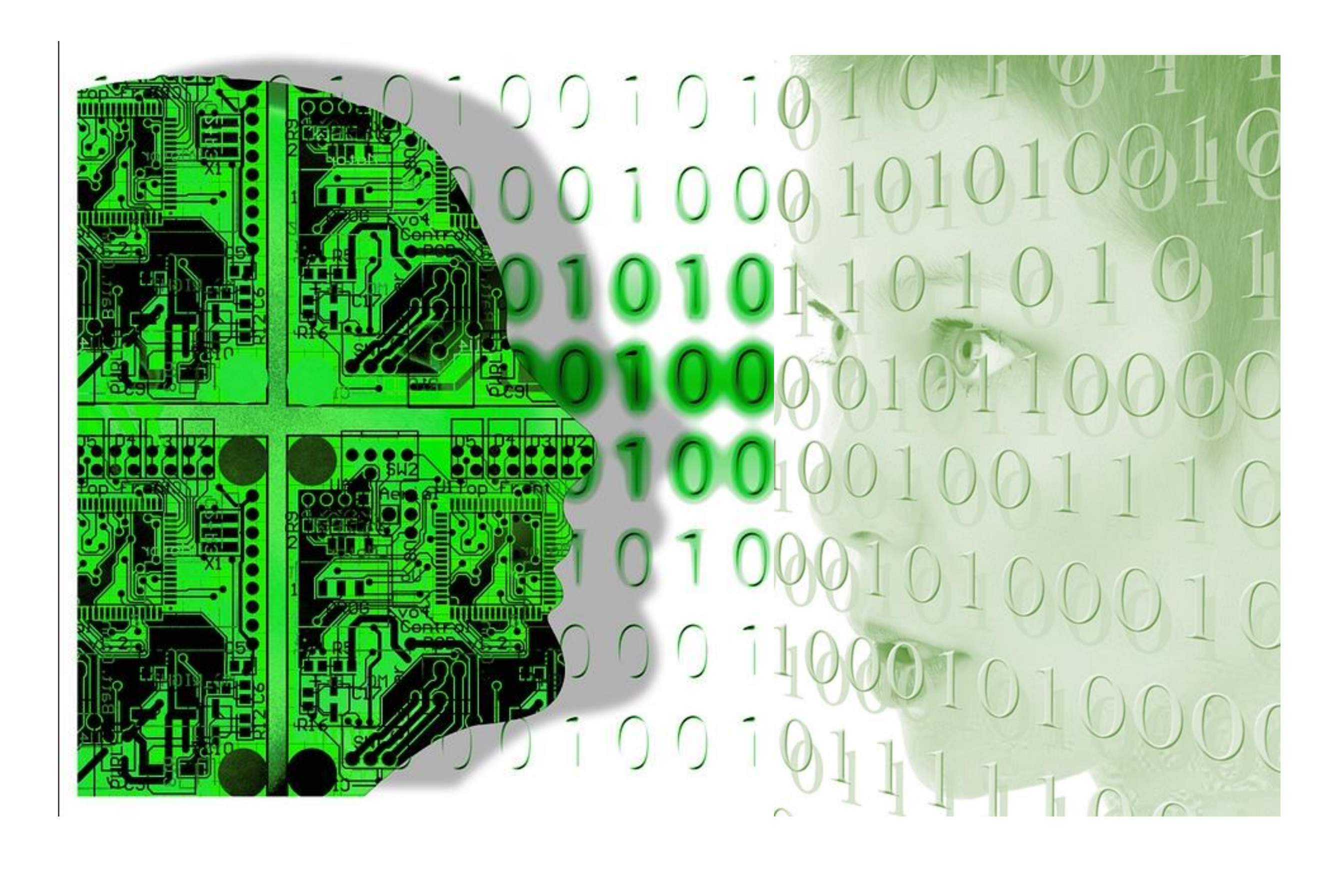
Digital Systems Essentials

الدكتور المهندس
خـالـد بكـرو



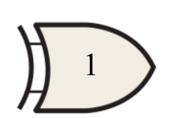
أساسيات الأنظمة الرقمية

Digital Systems Essentials



الدكتور المهندس

خالد بكرو



- الطبعة الأولى 2018 ®
- الرقم الدولي ISBN: 978-9933-13-285-9

- الناشر: شعاع للنشر والعلوم

حارة الرباط 2 – المنطقة 12 – حي السبيل 2
تلفاكس: 2643545 (21) 00963
هاتف: 2643546 (21) 00963
سورية – حلب
ص . ب 7875

لمزيد من المعلومات ولشراء كتب دار الدار مباشرة على الانترنت

يرجى زيارة موقعنا http:// http://www.raypub.com

البريد الالكتروني للقراء: quality@raypub.com

البريد الالكتروني للزبائن: sales@raypub.com

البريد الالكتروني لدور النشر: orders@raypub.com

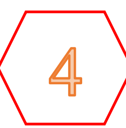


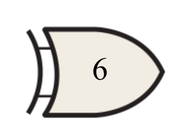
مميزات الكتاب

- يعتبر الأحدث من نوعه في المكتبة العربية.
- يقدم المعلومة الأحدث والأدق بشكل سهل وبسيط.
- يغطي معظم المواضيع الأساسية التي يحتاجها الطالب أو القارئ في علم الإلكترونيات الرقمية بأسلوب سهل وبسيط.
- يجمع ما بين العرض النظري والمخطط الصندوقي والرمز المنطقي للدائرة.
- يقدم شرحاً عن المبادئ النظرية والقواعد المتبعة والأمور التي يتوجب مراعاتها أثناء التصميم الإلكتروني الرقمي.
- يفيد المتخصص والمبتدىء.
- لا يحتاج إلى خلفية كبيرة في العلوم الرياضية أو الالكترونية.
- يمكن أن يكون منهج أكاديمي، أو مرجع عام.
- يمكن دراسة كل فصل بشكل مستقل.
- يركز على المفهوم ويدعمه بعدد من الأمثلة والصور والمخططات التوضيحية اللازمة.
- يساعد في تركيز الأفكار من خلال مجموعة من الاختبارات والأسئلة في نهاية كل فصل.
- يتميز بتقديمه شرح عن شرائح الدوائر الالكترونية المستخدمة.



1 مفاهيم أساسية 13


4



5 الجبر البولياني وتبسيط التعابير البوليانية 147

6 الدوائر المنطقية التوافقية 201

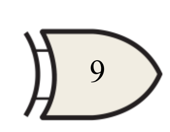
7 الماسكات والقلابات 243

8 الدوائر المنطقية التعاقبية 273



العدّادات 303





بسم الله الرحمن الرحيم

﴿ سُبْحَانَكَ لَا عِلْمَ لَنَا إِلَّا مَا عَلَّمْتَنَا ﴾

[البقرة: 32/2]



مقدمة

بعد الغزو الذي قامت به الأجهزة الرقمية لمجتمعنا وبيئتنا، ودخولها أدق تفاصيل حياتنا، بل ومنها من دخل أجسادنا بعد أن أصبح بالامكان زراعة الشرائح الالكترونية في جسم الانسان، أصبحت المواد العلمية التي تتحدث عن أساسيات عمل هذه الأنظمة الرقمية ثقافة عامة تفيد الجميع وتحسن من تعاملهم مع البيئة الرقمية المحيطة بهم.

يقدم هذا الكتاب شرحاً عن المبادئ النظرية والقواعد المتبعة والأمور التي يتوجب مراعاتها أثناء التصميم الإلكتروني الرقمي، ويغطي معظم المواضيع الأساسية التي يحتاجها الطالب أو القارئ في علم الإلكترونيات الرقمية بأسلوب سهل وبسيط، يركز على المفهوم ويدعمه بعدد من الأمثلة والصور والمخططات التوضيحية اللازمة.

يعتبر الكتاب مرجع علمي صمم ليكون كتاباً دراسياً للسنوات الأولى من كليات الهندسة، إلا أنه مفيد كنص تدريبي ممتاز، فهو يحوي تنوعاً هائلاً من المعلومات القيمة التي تجمع القواعد النظرية والأمثلة العملية وشرحاً عن الشرائح الالكترونية، تساعد في بناء معظم الدوائر والأنظمة الرقمية البسيطة.

الفصل الأول يعرض مقدمة عامة الكميات الرقمية والتماثلية والفرق بينهما بالاضافة إلى خصائص الإشارة الرقمية، بعد ذلك يعرض نبذة عن الدوائر المتكاملة وأنواعها، ومن ثم يتم تقديم فكرة سريعة عن أجهزة القياس والاختبار المستخدمة في إظهار الإشارات الرقمية.

الفصل الثاني يقدم شرحاً عن كيفية تمثيل البيانات في الأنظمة الرقمية من خلال تعريف عملية الترميز وأهدافها وقواعدها وعرض أهم أنظمة ترميز البيانات وبعض الشفرات القياسية المستخدمة في أنظمة المعلومات، والتعرف على كيفية تمثيل الأرقام والرموز.

الفصل الثالث يقدم أنظمة العد المختلفة وكيفية التحويل من نظام لآخر وكيفية إجراء العمليات الحسابية فى هذه الأنظمة.

الفصل الرابع يعرض البوابات المنطقية التي تعد العناصر المكوّنة للأنظمة الرقمية وأهم شرائح الدوائر المتكاملة لها، وأمثلةعن استعمال البوابات المنطقية في تطبيقات بسيطة.

الفصل الخامس يعرّفنا على أساسيات جبر بول والطرق المستخدمة في تبسيط التعابير المنطقية وكيفية تمثيل هذه التعابير في صورة دائرة الكترونية من البوابات المنطقية وبأكثر من طريقة.

الفصل السادس يقوم بدراسة وتحليل وتصميم أهم الدوائر المنطقية التوافقية، ويعرض أهم أهم شرائح الدوائر المتكاملة لها.

الفصل السابع يقدم شرحاً لدوائر الماسكات والقلابات من خلال دراسة ودراسة وتصميم الأنواع الشهيرة من القلابات وتوضيح طريقة عملها كونها عناصر البناء للدوائر المنطقية التعاقبية.

الفصل الثامن يقوم بتحليل الدوائر المنطقية التعاقبية وأهم أهم الفروقات ما بين الدوائر المنطقية التوافقية والدوائر المنطقية التعاقبية، ونعرف من خلاله على المسجلات كدوائر منطقية تعاقبية وأهم أنواعها وطرق عملها وأهم تطبيقاتها.

الفصل التاسع يقدم شرحاً مفصلاً للعدادات الرقمية كأحد تطبيقات القلابات الأساسية وأحد الدوائر الرقمية المستخدمة بكثرة في العديد من التطبيقات، مع عرض للشريحة الالكترونية المستخدمة للعدّادات مع أهم خواصها ومواصفاتها.

إن كل ما وصلت إليه تقنية المعلومات اليوم، يعتمد على طريقة ارسال وتخزين هذه المعلومات، أي باستخدام الشفرة المثاني، فمع الفتح البشري الذي وصل إليه الإنسان باستخدام شِفرة المثاني، الأصفار والواحدات، هذه الشِّفرة التي تعد إحدى معجزات القدرة الإلهيّة والعلم اللدنيّ، فإذا أراد أي منا أن يعمل فكره في كل شيء حوله يسأله، كيف يحمل هذا الهواء والفضاء المعلومات من مكتوبات ومحكيات، صور ثابتة ومتحركات، وينقلها لمسافات هائلة، يأتيه الجواب بشِفرة المثاني، الأصفار والواحدات، والواحد الذي يحمل المعلومة فيها، توحيد للباري ﷻ بكلمات فيقول:{ لا إله إلا أنت سبحانك }.

لأهميّة شِفرة المثاني كلغة عمل للحاسب ومرادفاته من الأنظمة والآلات الحديثة، فقد أشار إليها القرآن الكريم بكلمة {المثاني} وكرّرها في مثاني من الآيات.

قال ﷻ:

﴿ **وَلَقَدْ آتينَاكَ سَبْعاً مّنَ الْمَثَانِي وَالْقُرْآنَ الْعَظِيمَ** ﴾[الحجر: 87/15].

﴿ **اللَّهُ نزَّلَ أَحْسَنَ الْحَدِيثِ كِتَٰبًا مُّتَشَٰبِهًا مَّثَانِيَ تقْشَعِرُّ مِنْهُ جُلُودُ الَّذِينَ يَخْشَوْنَ رَبَّهُمْ ثُمَّ تَلِينُ جُلُودُهُمْ وَقلُوبهُمْ إِلَىٰ ذِكْرِ اللَّهِ ذَٰلِكَ هُدَى اللَّهِ يهْدِي بِهِ مَن يَشَاءُ وَمَن يُضْلِلِ اللَّهُ فَمَا لَهُ مِنْ هَادٍ** ﴾[الزمر: 23/39].

فكلمة {المثاني} القرآنيّة هي إشارة علمية قرآنية صريحة إلى لغة وشِفرة عمل الحاسب المثاني، الأصفار والواحدات، التي تدعى أيضاً لغة عمل الآلة [1].

لقد بذلت ما بوسعي في اعداد هذا الكتاب، وحسبي أنني حاولت أن أخرجه بأدق معلومة وأحدثها، وأجمل شكل وأبلغ صورة، وجهدت ما استطعت، راجيا الله سبحانه وتعالى أن يقبله من العمل الصالح، وأن يكون علم ينتفع به وصدق جارية، ورجاء أن تنالي دعوة خالصة ممن ينتفع به.

والله من وراء القصد

اسطنبول 2017/1/1

الدكتور المهندس

خالد محمود بكرو

1 . مثاني القرآن الكريم إشارة إلى شِفرة عمل الحاسب المثاني، الأصفار والواحدات، بحث للمؤلف.

الفصل الأول 1

مفاهيم أساسية

Basic Concepts



الأهداف العامة للفصل Chapter Objectives

عندما تكمل هذا الفصل سوف تكتسب مجموعة من الخبرات والمعارف وينبغي أن تكون قادراً على:

- تعريف الدوائر المنطقية.
- تعريف الكميات الرقمية والتماثلية.
- معرفة مميزات التمثيل الرقمي.
- معرفة مجالات استخدام الدوائر المنطقية.
- التعرف على مستويات الإشارة الرقمية.
- التعرف على شكل الموجات الرقمية وخصائص كل موجة.
- التعرف على الدوائر المتكاملة.
- التعرف على تصنيفات الدوائر المتكاملة.
- التعرف على كيفية ترقيم أطراف شرائح الدوائر المتكاملة.
- التعرف على المخططات الزمنية.
- التعرف على الأجهزة المستخدمة في فحص واختبار الدوائر المنطقية الرقمية.

1- مقدمة Introduction

إن الكلمة رقمي (digital) مستنتجة من الطريقة التي يؤدي بها جهاز الحاسب عملياته، عن طريق عد الأرقام (Counting Digits). لسنوات عديدة كانت تطبيقات الإلكترونيات الرقمية تستخدم في أنظمة الحاسب، أما اليوم فإن التقنية الرقمية مطبقة في مجال واسع من التطبيقات بالإضافة إلى الحاسب.

من هذه التطبيقات أجهزة التلفاز، الهواتف ونظم الإتصالات، الرادار، النظم العسكرية، نظم التوجيه، الأجهزة الطبية، التحكم بالعمليات الصناعية وغيرها. التقنية الرقمية تم تطويرها من الدوائر التي تستخدم الصممات المفرغة إلى الترانزستورات المنفصلة (Discrete Transistors) إلى الدوائر المتكاملة المعقدة، والتي يحتوي بعضها على ملايين من الترانزستور.

في هذا الفصل سوف نتعرف على الكميات الرقمية والتماثلية، ومميزات الإشارة الرقمية، وسوف نتعرف أيضاً على مستويات الإشارة وشكل الموجات الرقمية، وسنلقي نظرة عامة على أجهزة فحص واختبار الدوائر المنطقية.

2- الكميات الرقمية والتماثلية Digital and Analog Quantities

الدوائر الالكترونية يمكن تقسيمها إلى نوعين رئيسيين:

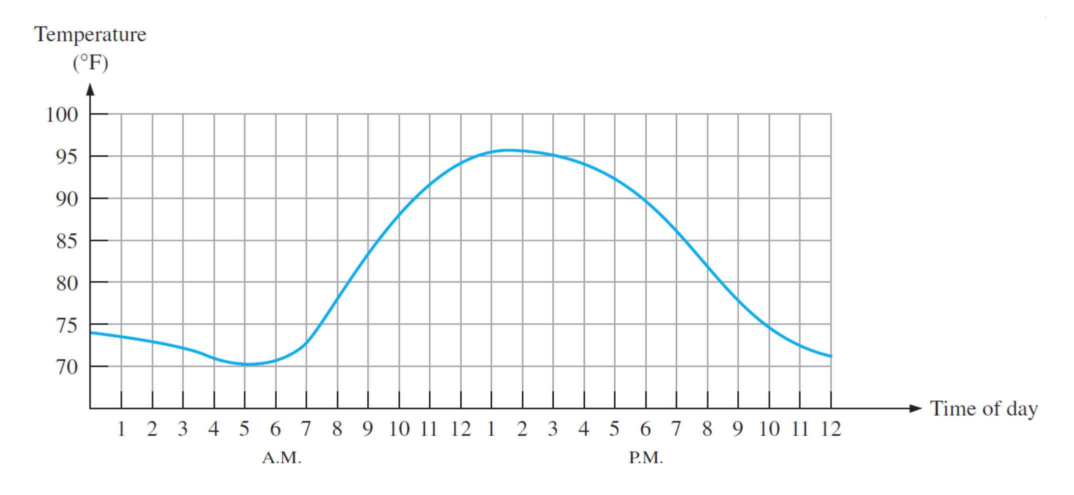
- الدوائر الإلكترونية التماثلية Analog Circuits .
- الدوائر الإلكترونية الرقمية Digital Circuits .

الإلكترونيات الرقمية تتضمن الكميات مع قيم متقطعة (Discrete Values)، والإلكترونيات التماثلية تتضمن الكميات مع قيم متصلة أو مستمرة (Continuous Values). وبرغم أننا سوف ندرس في هذا الكتاب الأساسيات الرقمية، ولكن أيضاً يجب معرفة بعض الشيء القليل عن القيم التماثلية لأن العديد من التطبيقات تتطلب النوعين معاً.

- الكمية التماثلية Analog Quantity هي التي لها قيم متصلة ومستمرة.
- الكمية الرقمية Digital Quantity هي التيي لها مجموعة من القيم المتقطعة.

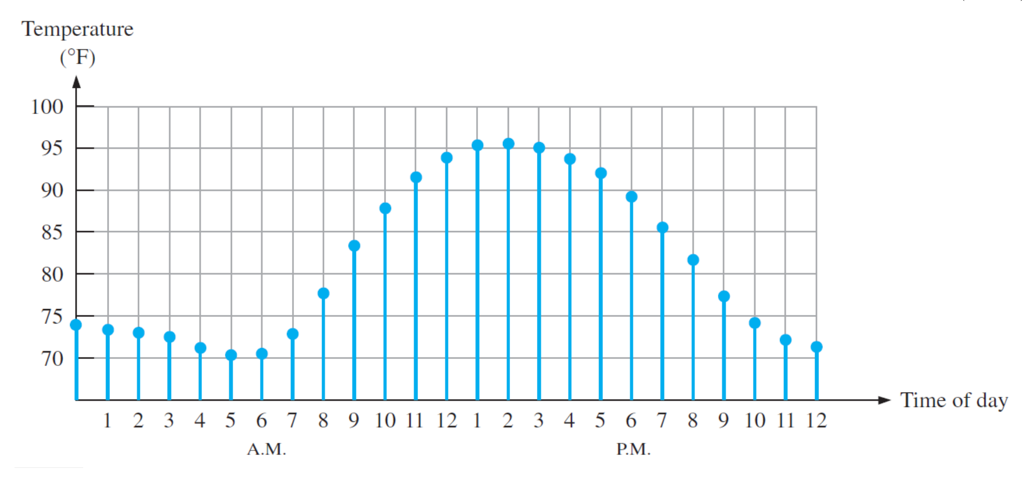
معظم الأشياء التي يمكن قياسها ككمية تظهر في الطبيعة على شكل تماثلي. وكمثال على ذلك، درجة الحرارة للهواء تتغير على مدى متصل من القيم خلال يوم ما، فدرجة الحرارة لن تتغير مثلاً من 70 درجة إلى 71 درجة لحظياً، ولكنها تأخذ بالتدريج القيم المحصورة بين 70 درجة و 71، وهي تمر بجميع القيم الممكنة بين هاتين القيمتين مثل 70.1 و 70.5 وهكذا، أي أن درجة الحرارة تنساب من قيمة إلى قيمة أخرى بحيث أنها لابد أن تأخذ أي قيمة تخطر على بالك في المدى الذي تتغير فيه.

إذا قمنا برسم درجة الحرارة في يوم ما من فصل الصيف، فسوف نحصل على منحنى متصل كالموضح بالشكل (1-1)، وهناك أمثلة أخرى عن الكميات التماثلية مثل الوقت، الضغط، المسافة، الصوت.



الشكل (1-1) رسم لكمية تماثلية (درجة الحرارة مع الزمن)

إذا قمنا فقط بأخذ درجة الحرارة مثلاً كل ساعة بدلاً من رسمها بصورة متصلة كما في الشكل السابق، يكون لدينا عينات (Sampled Values) تمثل درجة الحرارة عند نقاط منفصلة للزمن (كل ساعة)، على مدى 24 ساعة، كما هو موضح في الشكل (2-1)

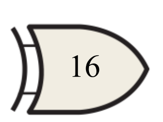


الشكل (2-1) قيم العينات من أجل الكمية التماثلية في الشكل (1-1)

بهذه الطريقة نحن ببساطة حولنا الكمية التماثلية إلى شكل يمكن الآن تحويله إلى رقمي بتمثيل كل قيمة عينة حصلنا عليها (Sampled Values) بشفرة رقمية (Digital Code).

بمجرد تحويل الإشارة التماثلية إلى إشارة رقمية، تصبح كل عينة من العينات الموضحة الشكل (2-1) عبارة عن رقم يوضع في العادة في الصورة الثنائية المكونة من واحدات وأصفار.

من المهم معرفة أن الشكل (2-1) ليس تمثيلاً رقمياً للكمية التماثلية.



بالرغم من أن كل الإشارات الطبيعية (درجة الحرارة والصوت والضغط وشدة الإضاءة وغيرها الكثير)، موجودة فى الصورة التماثلية إلا أنه يمكن وضعها فى الصورة الرقمية تمهيداً لإدخالها إلى الحاسب حتى يمكن معالجتها رقمياً، وتخزينها فى صورة رقمية على أي وسط من أوساط التخزين.

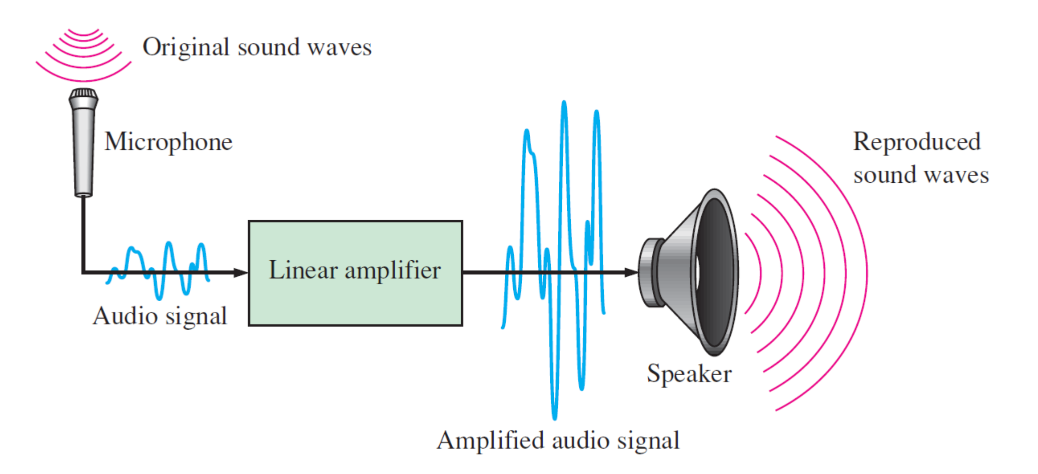
1–2 مميزات التمثيل الرقمي The Digital Advantage

يتميز التمثيل الرقمي عن التمثيل التماثلي في التطبيقات الالكترونية بعدة مميزات، مثلاً البيانات الرقمية (Digital Data) يمكن إجراء عمليات عليها، وإرسالها بكفاءة أكثر من البيانات التماثلية، وأيضاً البيانات الرقمية لها ميزة عظيمة عند الحاجة إلى تخزين البيانات، كمثال عند تحويل الموسيقى إلى الشكل الرقمي يمكن تخزينها على شرائط كاسيت أو على اسطوانات مدمجة (CD) Compact Disk، ويمكن إعادة إنتاجها بدقة كبيرة، عنها لو كانت ممثلة على شكل تماثلي، الضجيج لا يؤثر على البيانات الرقمية، بينما يؤثر بشكل كبير على الإشارات التماثلية.

2–2 النظام الإلكتروني التماثلي An Analog Electronic System

كمثال على تطبيقات الإلكترونيات الرقمية، سنأخذ المخطط الموضح في الشكل (1–3)، هذا المخطط يبين كيف أن الموجات الصوتية (طبيعتها تماثلية) يتم التقاطها عن طريق الميكروفون، وتتحول إلى جهد تماثلي صغير يقال له (Audio Signal) إشارة صوتية، هذا الجهد يتغير باستمرار معتمداً على ارتفاع درجة الصوت وتردده، ثم يطبق هذا الجهد على دخل (Linear Amplifier) مكبر خطي.

خرج المكبر والذي هو عبارة عن تكبير لجهد الدخل يذهب إلى السماعة (Speaker)، السماعة تحول الإشارة الصوتية المكبرة مرة أخرى إلى موجات صوتية، والتي لها درجة صوت عالية مقارنة بالإشارات الأصلية الملتقطة بالميكروفون.



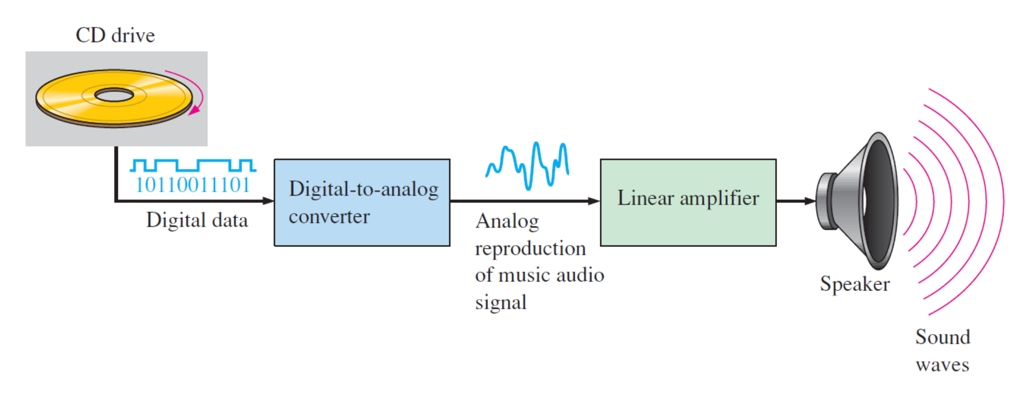
الشكل (1–3) نظام بسيط لنقل الإشارات الصوتية إلى السماعة

3-2 استخدام الطريقة الرقمية والتماثلية في نظام واحد

A System Using Digital and Analog Methods

جهاز تشغيل الأسطوانة المدمجة (CD) مثال على نظام يستخدم كل من الدوائر الرقمية والتماثلية، المخطط المبسط في الشكل (1-4) يبين الأساسيات البسيطة للتشغيل.

الموسيقى في شكل رقمي تكون مخزنة على الأسطوانة المدمجة (CD)، النظام الثنائي الضوئي باستخدام أشعة الليزر (Laser Diode Optical System)، يلتقط البيانات الرقمية من الإسطوانة أثناء دورانها وينقلها إلى مدخل محول الإشارة من الشكل الرقمي إلى الشكل التماثلي Digital to Analog Converter (DAC)، محول الإشارة يحول البيانات الرقمية إلى إشارة تماثلية والتي هي إشارة كهربائية تم إعادة إنتاجها من الموسيقى الأصلية. هذه الإشارة يتم تكبيرها ثم يتم إرسالها إلى السماعة.



الشكل (1-4) الأساسيات المبسطة لمشغل الإسطوانات المدمجة (CD)

عندما يتم تسجيل الموسيقى في البداية على الأسطوانة المدمجة (CD)، فإن العملية المطلوبة هي عكس الطريقة التي تم شرحها سابقاً، ويتم ذلك باستخدام محول الإشارة من الشكل التماثلي إلى الشكل الرقمي Analog to Digital Converter (ADC).

3- الأرقام الثنائية، المستويات المنطقية والموجات الرقمية

Binary Digits, Logic Levels and Digital Waveforms

الإلكترونيات الرقمية تتضمن الدوائر والنظم التي لها فقط حالتين فقط، هاتين الحالتين يمكن تمثيلهما بمستويين مختلفين من الجهد: المرتفع (HIGH)، والمنخفض (LOW). ويمكن تمثيل هاتين الحالتين باستخدام مستويات التيار، فتح وغلق المفاتيح، أو بإضاءة أو عدم إضاءة لمبات في النظم الرقمية مثل أجهزة الحاسب، فإن تركيبة من الحالتين تسمى شفرات (Codes) تستخدم لتمثيل الأعداد، الرموز، حروف الهجاء، وغير ذلك من أنواع المعلومات.

النظام العددي المكون من حالتين يسمى بالنظام الثنائي (Binary System)، وله رقمين أو رمزين فقط هما 1، 0، الخانة الثنائية أو الرقم الثنائي (Binary Digit)، يسمى بت Bit.

3–1 الأرقام الثنائية Binary Digits

الرقمين 1، 0 في النظام الثنائي يطلق عليهم خانات ثنائية Bits. في الدوائر الرقمية هناك مستويان مختلفان للجهد يستخدمان لتمثيل الخانات الثنائية (1، 0). عموماً 1 يمثل الجهد الأعلى والذي سوف نطلق عليه High، 0 يمثل بمستوى الجهد الأقل والذي سوف نطلق عليه LOW. وهذا النوع يسمى بالمنطق الموجب (HIGH=1, LOW=0)، Positive Logic.

- عملية الانتقال من الجهد المنخض إلى الجهد الأعلى تسمى الانتقال الموجب Positive transitions، Positive-going.

هناك نظام آخر والذي فيه 1 يمثل بواسطة LOW، 0 يمثل بواسطة HIGH والذي يطلق عليه المنطق السالب (HIGH=0, LOW=1)، Negative Logic.

- عملية الانتقال من الجهد الأعلى إلى الجهد المنخض تسمى الانتقال الموجب Negative transitions، Negative -going.

مجموعة من الخانات الثنائية Bits وهي خليط من واحدات وأصفار 1's, 0's تسمى شفرات (Codes) تستخدم لتمثيل الأعداد، الحروف، الرموز، الأوامر أو أي شيء آخر مطلوب في تطبيق ما.

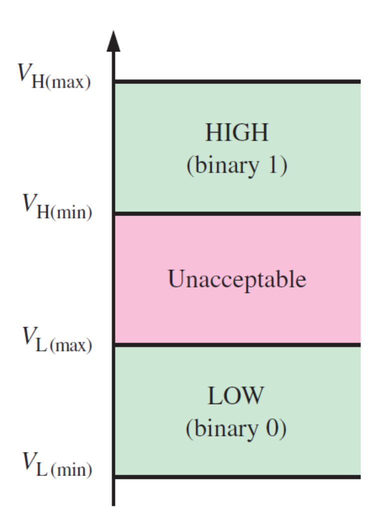
3–2 المستويات المنطقية Logic Levels

الجهود المستخدمة لتمثيل الواحد "1"، والصفر "0" تسمى بالمستويات المنطقية، وبشكل مثالي، يمكن القول بأن مستوى واحد من الجهد يمثل HIGH، ومستوى آخر من الجهد يمثل LOW. في الدوائر الرقمية العملية الجهد المرتفع HIGH ممكن أن يكون أي جهد بين قيمة صغرى محددة وقيمة عظمى محددة. وبالمثل الجهد المنخفض LOW ممكن أن يكون أي جهد بين قيمة صغرى محددة وقمية عظمى محددة، ولا يمكن حدوث أي نوع من التداخل (Overlap) بين المستويات المرتفعة HIGH المقبولة والمستويات المنخفضة LOW المقبولة.

الشكل (1–5) يوضح المدى العام للمستويات المرتفعة والمنخفضة LOWs, HIGHs لدوائر رقمية. الجهد المتغير $V_{H(max)}$ يمثل القيمة العظمى لمستوى الجهد المرتفع HIGH، والجهد $V_{H(min)}$ يمثل القيمة الصغرى لمستوى الجهد المرتفع HIGH.

القيمة العظمى لمستوى الجهد المنخفض LOW تمثل بمستوى الجهد $V_{L(max)}$، والقيمة الصغرى لمستوى الجهد المنخفض LOW تمثل بمستوى الجهد $V_{L(min)}$. قيم الجهود بين المستوى $V_{L(max)}$ والمستوى $V_{H(min)}$ غير مقبولة في أي عملية. الجهد في المدى غير المقبول يمكن أن يظهر كمستوى مرتفع HIGH أو كمستوى منخفض LOW في اي دائرة. وبناء على ذلك، هذه القيم غير المقبولة لا تستخدم أبداً. ومثال على ذلك، القيم المرتفع HIGH لنوع خاص من الدوائر الرقمية TTL يكون المدى له من 2V–5V، والقيم المنخفضة LOW تكون من المدى 0V–0.8V، وعليه إذا طبق على الدائرة جهد يساوي 3.5V، فإن

الدائرة سوف تقبل هذا الجهد على أنه مرتفع HIGH أو الثنائي 1. وإذا طبق على الدائرة جهد يساوي 0.5V، فإن الدائرة سوف تقبل هذا الجهد على أنه منخفض LOW أو الثنائي 0، لذلك في هذا النوع من الدوائر الجهود بين 0.8V إلى 2V لا تقبل ولا تستخدم أبداً.

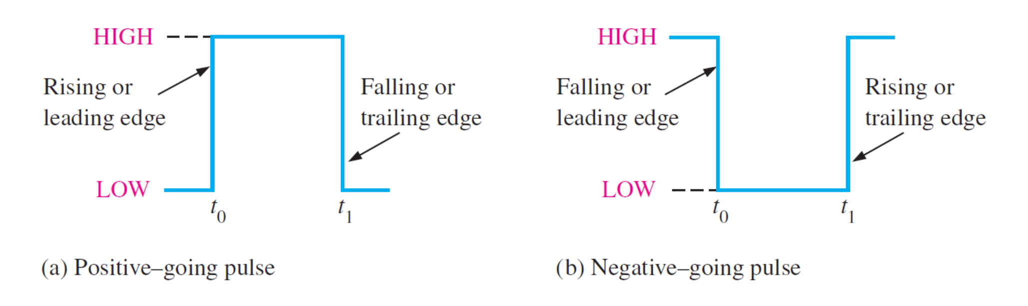


الشكل (1–5) مدى المستويات المنقطية للجهد للدوائر الرقمية

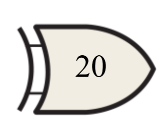
3–3 الموجات الرقمية Digital Waveforms

الموجات الرقمية تتكون من مستويات من الجهد تتغير بين المستوى المرتفع (الحالة) HIGH والمستوى المنخفض (الحالة) LOW، الشكل (1–6) (a)، يبين نبضة مفردة موجبة الإتجاه (Positive-going)، والتي يمكن توليدها عندما يكون الجهد (أو التيار) يتحرك من وضعه العادي في المستوى المنخفض LOW إلى المستوى المرتفع HIGH ويعود مرة أخرى إلى المستوى المنخفض LOW.

النبضة المفردة سالبة الإتجاه (Negative-going)، والموضحة في الشكل (1–6) (b)، يتم توليدها عندما يتحرك الجهد (أو التيار) من وضعه العادي في المتسوى المرتفع HIGH إلى المستوى المنخفض LOW ويعود مرة أخرى إلى المستوى المرتفع HIGH. عموماً فإن الموجات الرقمية هي عبارة عن سلسلة من النبضات موجبة الاتجاه أو سالبة الاتجاه.

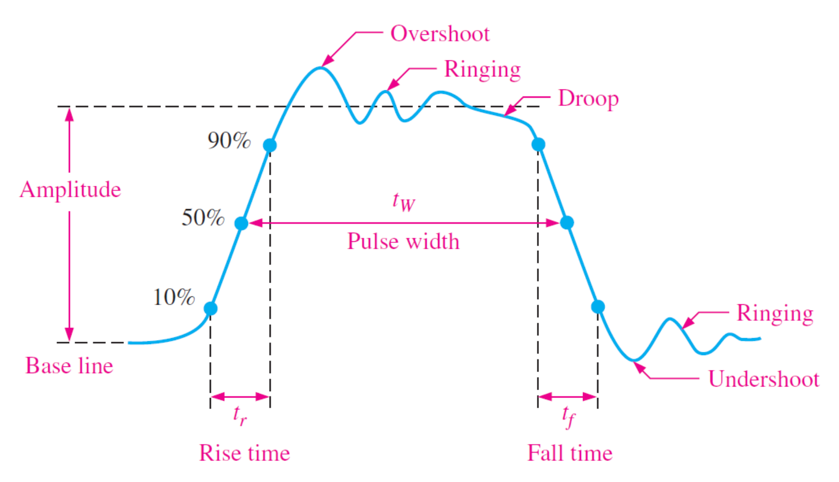


الشكل (1–6) أشكل النبضات المثالية، موجبة Positive-going في (a)، سالبة Negative-going في (b)



كما رأينا في الشكل (1–6) (a)، أن النبضة لها حافتان: الحافة الأمامية أو الصاعدة Rising or leading edge، والتي تحدث أولاً عند الزمن t_0، والحافة التابعة أو الهابطة Falling or trailing edge، والتي تحدث عند الزمن t_1، للنبضة موجبة الاتجاه، الحافة الصاعدة هي حافة البداية، والحافة الهابطة هي حافة النهاية.

النبضات الموضحة في الشكل (1–6) مثالية، لأن الحافة الصاعدة والحافة الهابطة يفترض أنهما يتغيران في زمن يساوي الصفر (لحظياً). عملياً، هذا التغير لا يمكن أبداً أن يحدث لحظياً، ومع ذلك في معظم المجال الرقمي نستطيع أن نفترض النبضة المثالية.



الشكل (1–7) خواص النبضة غير المثالية

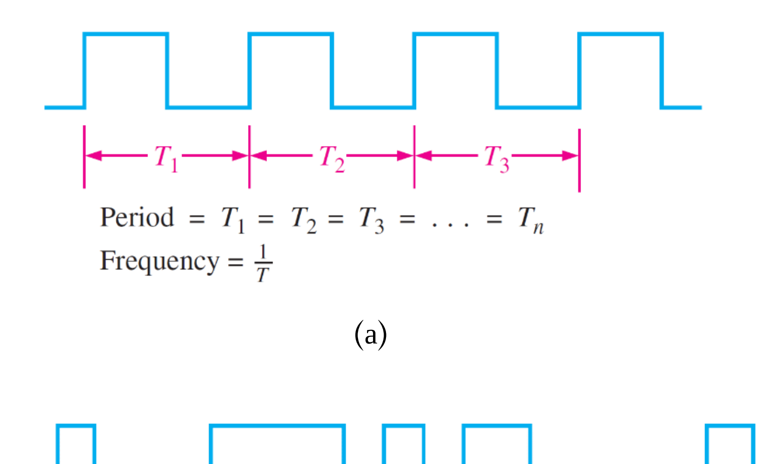
الشكل (1–7) يوضح نبضة غير مثالية. الزمن المطلوب للنبضة لترتفع من المستوى المنخفض LOW إلى المستوى المرتفع HIGH يسمى **بزمن الصعود rise time (t_r)**، والزمن المطلوب للهبوط من المستوى المنخفض HIGH إلى المستوى المرتفع LOW يسمى **بزمن الهبوط fall time (t_f)**

عملياً من الشائع قياس زمن الصعود من 10 % إلى 90 % من **إرتفاع النبضة (pulse amplitude) (قيمة النبضة)** وقياس زمن الهبوط من 90 % إلى 10 % من إرتفاع النبضة كما هو موضح في الشكل (1–7). **عرض النبضة pulse width (t_w)** هو عبارة عن قياس الزمن بين نقطتي 50 % من عند الحافة الصاعدة والحافة الهابطة كما هو موضح في الشكل.

من الأشياء الغير مرغوب فيها التي يمكن أن تحدث مع الموجات المربعة Square wave هو تجاوز الحدود عند الحافة الصاعدة أو النازلة والذي يدعى **الرنين Ringing** أو **التجاوز Overshoot** كما في الشكل السابق، والرنين أيضا الذي يكون عبارة عن موجة جيبية تتلاشى بعد فترة زمنية.

معظم الموجات التي تستخدم في الأنظمة الرقمية تتكون من سلسلة من النبضات series of pulses، وتسمى أحياناً باسم قطار النبضات pulse trains، ويمكن تقسيمها إلى نوعين رئيسيين:

- دورية periodic، الشكل الموجي للنبضات الدورية a periodic pulse waveform هو الذي يكرر نفسه خلال فترة زمنية ثابتة تسمى **الدورة** (T) ***period***. **التردد** ***frequency (f)*** هو معدل تكرار النبضة لنفسها ويقاس بوحدة ***hertz (Hz)***.
- غير دورية nonperiodic، الشكل الموجي للنبضات غير الدورية a nonperiodic pulse waveform، بالطبع لا يكرر نفسه خلال فترة ثابتة وربما يحتوى على نبضات عشوائية randomly في عرضها أو عشوائية في اختلاف الفترة الزمنية بين النبضات. كمثال على كل نوع من النوعين السابقين من البضات موضح في الشكل (8-1).



(a)

(b)

الشكل (8-1) أمثلة على شكل الموجات الرقمية حيث (a) موجة دورية وفي (b) موجة غير دورية (عشوائية)

التردد (f) لموجة من النبضات هو مقلوب الدورة (T). العلاقة بين التردد والدورة يمكن التعبير عنها كما يلي:

$$f = \frac{1}{T}$$

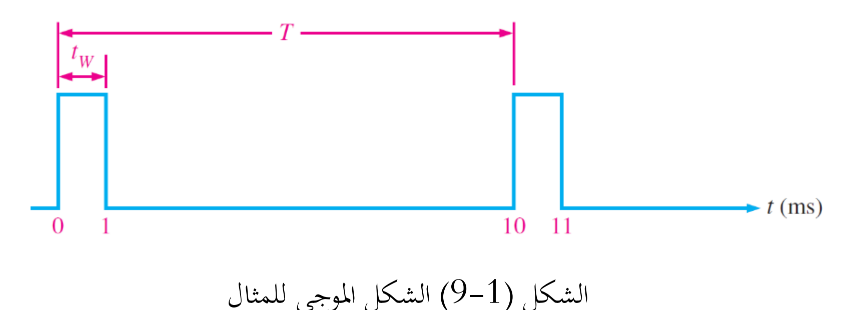
$$T = \frac{1}{f}$$

من الخواص الهامة للشكل الموجي للنبضات الدورية هو ما يسمى **بدورة التشغيل** (**duty cycle**). دورة التشغيل هي النسبة بين عرض النبضة (t_W) إلى الدورة (T)، ويمكن التعبير عنه كنسبة مئوية كما يلي:

$$\text{Duty cycle} = \left(\frac{t_W}{T}\right)100\%$$

مثال

جزء من شكل موجي لاشارة موضح في الشكل (1–9). جميع القياسات الموضحة مقاسة باستخدام وحدة الميلي ثانية (ms). احسب قيمة كل من الدورة (T)، التردد (f)، دورة التشغيل (duty cycle).



الشكل (1–9) الشكل الموجي للمثال

الحل:

تقاس الدورة (T)، من الحافة الصاعدة للنبضة الأولى إلى الحافة الصاعدة للنبضة الثانية كما هو موضح في الشكل (1–9)، وعليه تكون:

$$T = \mathbf{10\ ms}$$

$$f = \frac{1}{T} = \frac{1}{10\text{ ms}} = \mathbf{100\ Hz}$$

$$\text{Duty cycle} = \left(\frac{t_W}{T}\right)100\% = \left(\frac{1\text{ ms}}{10\text{ ms}}\right)100\% = \mathbf{10\%}$$

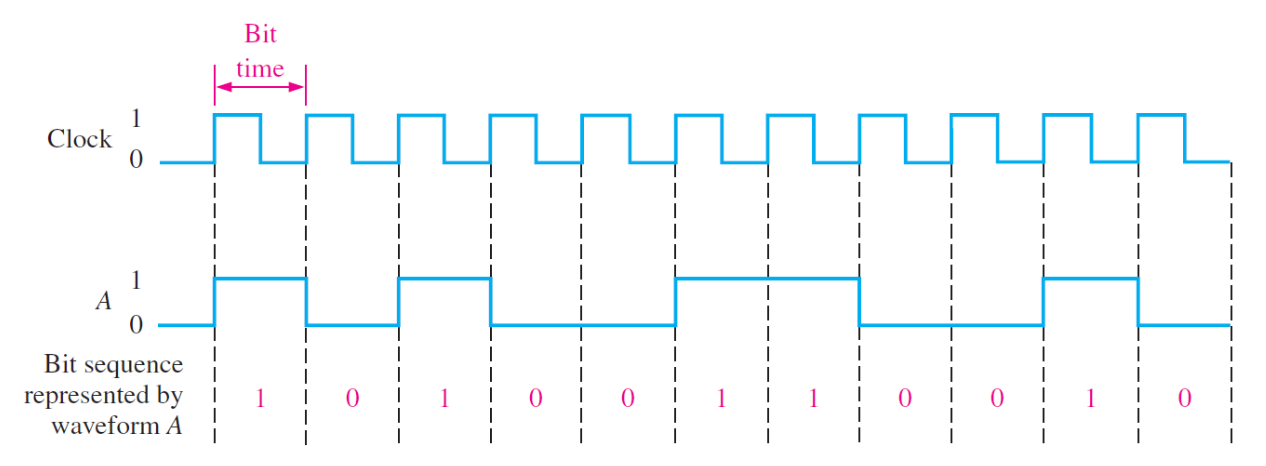
4–3 الموجات الرقمية التي تحمل المعلومات الثنائية
A Digital Waveform Carries Binary Information

المعلومات الثنائية Binary information التي تعالج في الأنظمة الرقمية تظهر على شكل موجات waveforms تمثل سلسلة من الخانات الثنائية (البتات) Bits، عندما الموجة في حالة مرتفعة HIGH يتم تمثيل القيمة الثنائية " 1 "، وعندما الموجة في حالة منخفضة LOW يتم تمثيل القيمة الثنائية " 0 "، كل خانة ثنائية (بت) في السلسلة تأخذ فترة زمنية محددة تسمى **زمن البت bit time**.

إشارة نبضات الساعة The Clock

في النظم الرقمية كل أشكال الموجات waveforms تزامن مع شكل موجة زمنية أساسية تدعى إشارة نبضات الساعة The Clock، وهي عبارة عن موجة دورية periodic waveform تكون موجة مربعة Square wave أو قطار من النبضات Pulse Train، الفاصل الزمني بين النبضات (الدورة period) تساوي إلى زمن بت واحد.

الشكل (1-10) يظهر مثال عن اشارة الساعة متزامنة مع شكل موجة أخرى A، حيث A هي عبارة عن سلسلة من الخانات الثنائية (البتات)Bit sequence represented by waveform A، تغير حالتها عند الحافة الصاعدة.

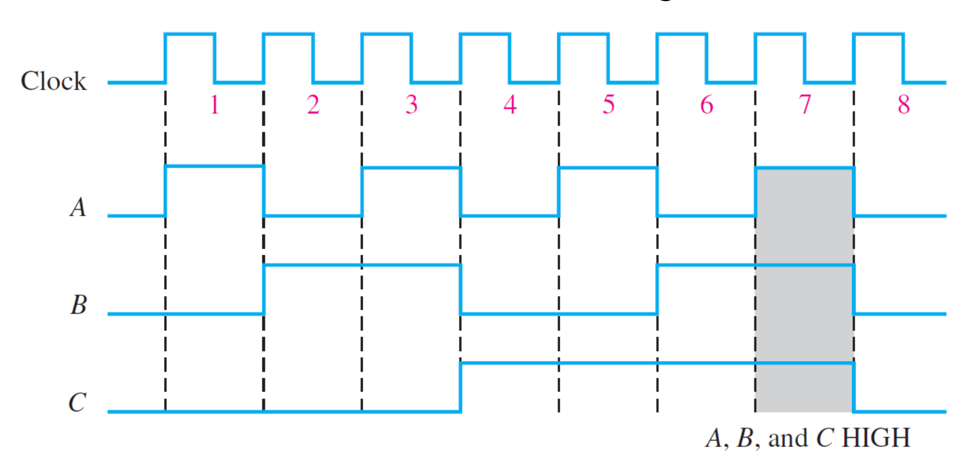


الشكل (1-10) اشارة الساعة The Clock متزامنة مع اشارة أخرى A

3-5 المخططات الزمنية Timing Diagrams

المخطط الزمني Timing Diagram هو رسم لأشكال الموجات الرقمية تظهر فيه العلاقة الزمنية الفعلية لاثنين أو أكثر من أشكال الموجات، وكيف يتغير شكل موجة بالنسبة لأشكال الموجات الأخرى، وبالنظر إلى المخطط الزمني نستطيع تحديد الحالات المنخفضة LOW والمرتفعة HIGH لجميع أشكال الموجات عند أي نقطة محددة من الزمن، والزمن الدقيق الذي تغير فيه الموجة حالتها بالنسبة للموجات الأخرى.

الشكل (1-11) مثال عن مخطط زمني يظهر أربع أشكال موجات. من الخطط نستطيع أن نرى أنه يوجد ثلاث أشكال موجات A,B,C تكون في حالة المرتفعة HIGH فقط خلال زمن البت السابع 7 (المظلل)، وجميعها تغير حالتها إلى الحالة المنخفضة LOW عند نهاية زمن البت السابع 7.



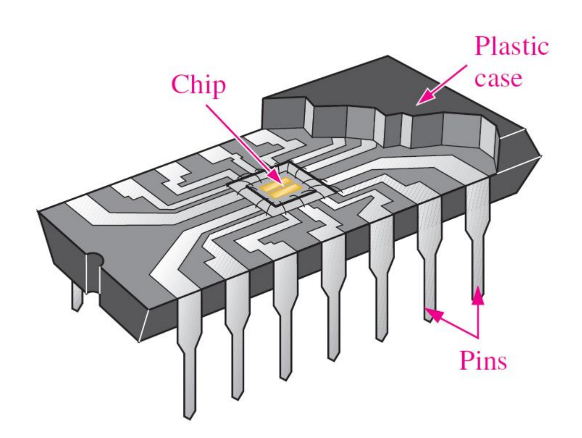
الشكل (1-11) مثال عن مخطط زمني لأربع أشكال موجات

4- الدوائر المتكاملة Integrated Circuits, ICs

الدائرة المتكاملة Integrated Circuit عبارة عن شريحة صغيرة من السيليكون chip، تكون عبارة عن دائرة الكترونية مصممة لأداء وظيفة محددة، تحتوي على عناصر الكترونية متصلة مثل (الترانزستورات transistors – ديودات diodes – مقاومات resistors – ومكثفات capacitors)، وهذه العناصر الالكترونية متصلة داخليا مع بعضها داخل الشريحة مكونة دائرة متكاملة، توضع الرقاقة على معدن او على صندوق بلاستيكي وتلحم الوصلات الى نقاط ارجل خارجية مكونة الدائرة المتكاملة، الشكل (1-12) يظهر ذلك، ومعظم الصناديق لها احجام قياسية ويتراوح عدد ارجلها Pins من ثمانية الى اربعة وستين (64-08).

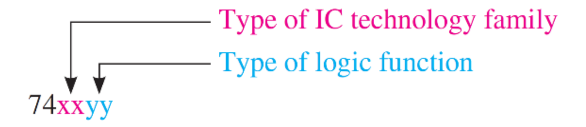
وتصنف الدوائر المتكاملة إلى صنفين عريضين حسب قدرتها على البرمجة والعمل المتكرر:

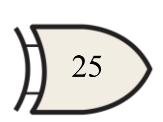
- الدوائر المتكاملة ذات الوظيفة الثابتة Fixed-function logic: وهي التي تكون محددة لوظيفة واحدة.
- الدوائر المتكاملة القابلة للبرمجة programmable logic: وهي التي يمكن اعادة برمجتها للعمل مرات متعددة.

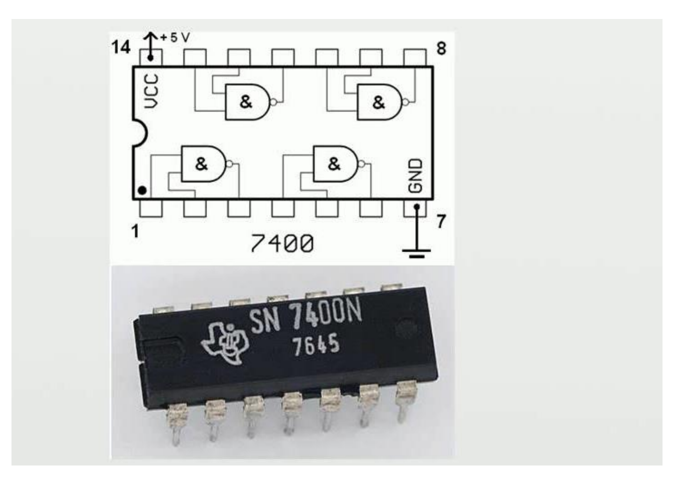


الشكل (1-12) دائرة متكاملة تظهر فيها الشريحة chip متوضعة في صندوق بلاستيكي، تظهر منه الأرجل Pins ملحومة إلى الوصلات

كل دائرة متكاملة لها رقم معين مطبوع على سطح صندوقها لتعريفها ويقوم البائع بنشر كتاب للتعليمات يحتوي على المعلومات الضرورية المتعلقة بالمنتجات و ذلك حسب رقمها، حيث الأحرف (حرف أو أكثر) تعرف عائلة تقنية الدائرة المتكاملة logic circuit technology family، والأرقام (اثنين أو أكثر) تعرف نوع الوظيفة المنطقية logic function، الشكل (1-13) يظهر شريحة من 7400 وهي شريحة تحتوي أربع بوابات ناند NAND.







الشكل (1-13) يظهر رقم الشريحة المتكاملة وهي الشريحة 7400

وتصنف الدوائر المتكاملة الرقمية إلى عائلات حسب القطع الالكترونية المستخدمة في تركيبها، ومن العائلات المعروفة تجارياً:

- عائلة تي تي ال TTL : Transistor - Transistor Logic منطق ترانستور–ترانزستور، تستخدم في وظائف رقمية عديدة وهي أكثر عائلات المنطق شيوعاً.
- عائلة موس (MOS) Metal – Oxide Semiconductor نصف الناقل اكسيد–معدن، تستخدم في الدوائر التي تتطلب كثافة قطع عالية.
- عائلة سيموس (CMOS) Complementary Metal – Oxide Semiconductor نصف الناقل اكسيد–معدن المتمم، تستخدم في النظم التي تتطلب استهلاك قليل من الطاقة.

- تعتبر تقنية سيموس CMOS ومنها العائلة سيموس عالية السرعة HC (high-speed CMOS) family من أكثر الأنواع شيوعاً وطلباً من تقنيات الدوائر المتكاملة.
- بالنسبة للنوع ثنائي القطبية bipolar تعتبر العائلة ال اس شوتكي منخفض الطاقة LS (low-power Schottky) family الأكثر استخداماً.

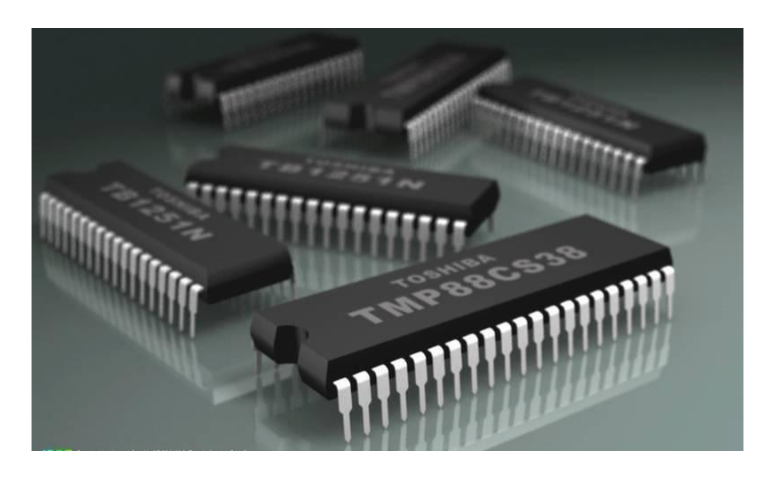
بالنسبة للأحرف الملحقة برقم الشريحة نجد الأحرف التالية ملحقة بها وهي:

- 74LSXX من نوع شوتكي منخفضة القدرة Low power Schottky
- 74HCXX من نوع سموس عالية السرعة High-Speed CMOS

عندما نريد التعامل مع دائرة رقمية متكاملة IC من نوع TTL فإننا نستخدم الرقم المميز لهذه العائلة والمسبوق بحرفين أو أكثر للدلالة على الشركة المصنعة للدائرة المتكاملة، ويوجد نموذجان للدوائر المتكاملة TTL .

النموذج الأول: يبدأ بالرقم 74 ويستخدم للعمل في بيئة درجة حرارتها من 0 إلى 70 مئوية وتعتبر كلفة التصنيع لهذا النموذج منخفض.

النموذج الثاني: يبدأ بالرقم 54 وهو مشابه للنموذج الأول إلا أنه يستخدم في المجالات العسكرية والصناعية التي تتطلب وثوقية عالية وتتطلب العمل في درجات حرارة مرتفعة ما بين 55 إلى 125° مئوية ولذلك فإن كلفة التصنيع لهذا النموذج مرتفعة.



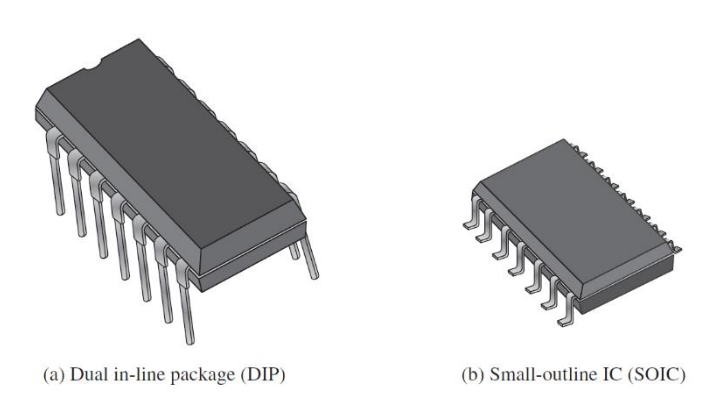
الشكل (1-14) أحد نماذج الدوائر المتكاملة من النوع ذي الصفين DIP

الكثير منا ينظر إلى الحجم الأسود لأي شريحة على أن هذا هو حجم الشريحة الأصلي، في الحقيقة فإن هذا الصندوق الأسود يكون عادة من مادة عازلة تغطي أو تغلف الجسم الحقيقى للشريحة الموجود بالداخل، وهذا الجسم فى العادة يكون صغيراً جداً بالنسبة لهذا الغلاف الأسود الموجود فقط، لكي يتمكن المصنع من إخراج الأطراف المختلفة للشريحة بطريقة مريحة للمستخدم، الأشكال (1-12)(1-13) (1-14) توضح ذلك.

هناك أكثر من طريقة لتغليف الشرائح الإلكترونية من أجل توضعها أو تثبيتها على لوحات الدوائر المطبوعة printed circuit boards (PCBs)، أولها وأكثرها شيوعاً هى الشرائح ذات الأطراف النافذة أو ذات التوضع باستخدام الثقوب through-hole mounted في هذه الحالة لابد من عمل خرم أو فتحة لكل طرف من أطراف الشريحة على اللوحة ينفذ منها الطرف ويتم لحامة أو تثبيته من الناحية الأخرى للوحة التثبيت. أي أن الشريحة تكون موجودة على أحد أوجه اللوحة والأطراف مثبته على الوجه الآخر لها، وهي أكبر في الحجم وأسهم في الاستخدام من النوع الآخر، من الأشكال الشائعة لذلك الشرائح المعروفة بذات الصفين Dual In line Package (DIP)، وهي التي تظهر في الشكل (1-14).

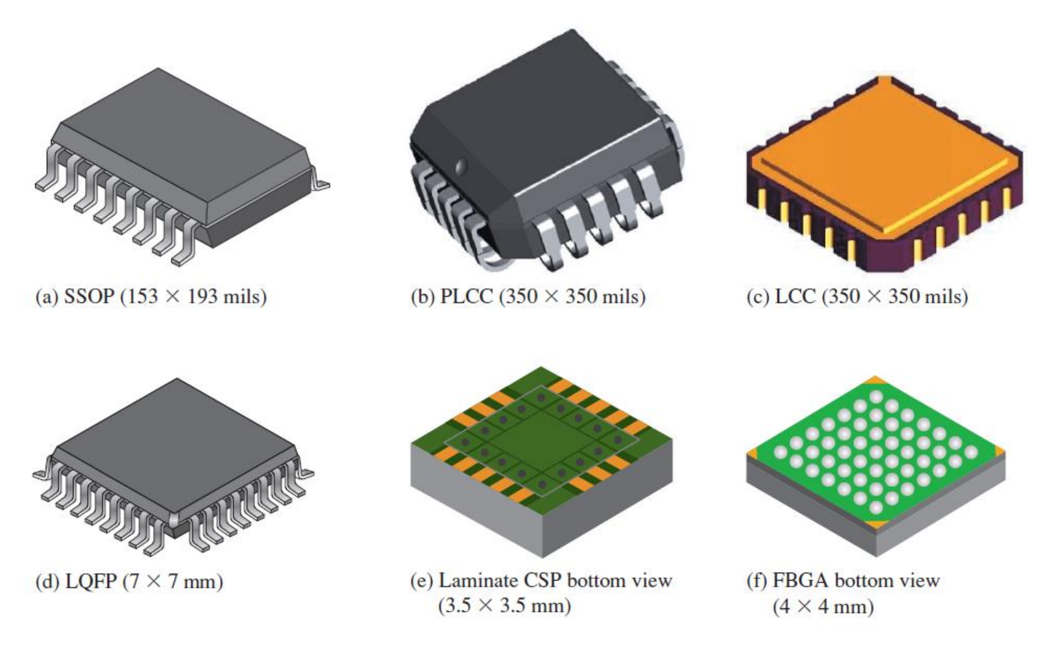
النوع الثاني من الشرائح هو الشرائح السطحية أو تقنية التوضع السطحي surface-mount technology (SMT) أو غير النافذة، وهي لا تحتاج لتخريم اللوحة لتثبيتها ولكنها تثبت مباشرة على نفس السطح الموجودة عليه، وهذه بالطبع تكون أفضل

فى الكثير من التطبيقات لأنها ستوفر مساحة على اللوحة كما أنها فى العادة تكون صغيرة الحجم، هذه الشرائح تسمى الشرائح السطحية الصغيرة Small Outline IC, (SOIC)، الشكل (1–15) يظهر هذا النوع مع مقارنته مع النوع ذي الصفين DIP.



الشكل (1–15) الدوائر المتكاملة من النوع الشرائح السطحية الصغيرة SOIC مع مقارنة مع الشكل ذي الصفين DIP

هناك أشكال عديدة من الشرائح السطحية مثل الشرائح ذات الأرجل السلكية Plastic Leaded Chip Carrier (PLCC) والتي تكون أطرافها عبارة عن أسلاك ملفوفة تحت جسم الشريحة فى صورة الحرف J ، هناك أيضا الشريحة السيراميكية بلا أطراف التي تكون أطرافها عبارة عن أسلاك لاصقة في جسم الشريحة Leadless Ceramic Chip Carrier (LCCC)، كما يوجد العديد من الأنواع أخرى تظهر في الشكل (1–16) الذي يعرض نماذج عن هذه الشرائح.

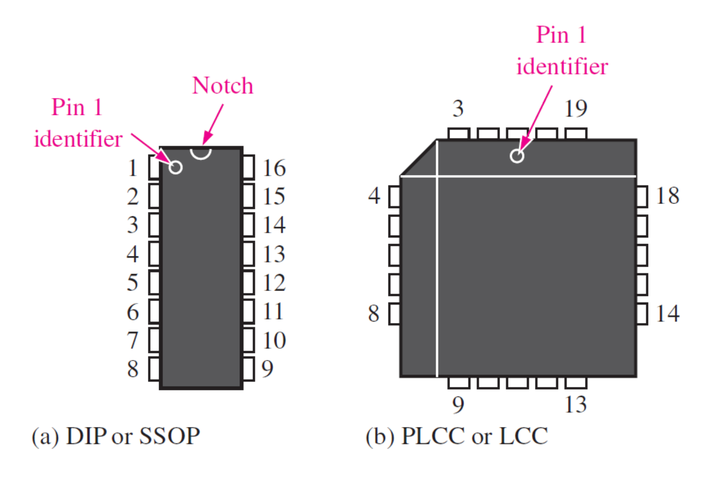


الشكل (1–16) نماذج من الشرائح هو الشرائح السطحية (SMT)

الأنظمة الرقمية تحتوي على الدوائر المتكاملة بسبب صغر حجمها وموثوقيتها العالية وتكلفتها المنخضة، واستهلاكها القليل من القدرة الكهربائية. وكل الدوائر المنطقية التي ستتكلم عنها في هذا الكتاب متاحة في صورة شرائح الكترونية.

1–4 ترقيم أطراف الشرائح المتكاملة Pin Numbering

في العادة تكون هناك علامة على سطح أى شريحة تشير إلى الطرف رقم 1، يجب أن تكون الشريحة أفقية والسطح لأعلى والعلامة باتجاهنا ثم نبدأ عد الأطراف بعكس عقارب الساعة، والشكل (1–17) يظهر ذلك.



الشكل (1–17) ترقيم أطراف الشرائح المتكاملة لنوعين من الشرائح

كتاب التعليمات للدائرة المتكاملة Data Sheets

عن طريق كتاب التعليمات يمكن الحصول على معلومات محددة عن خصائص التشغيل لدائرة متكاملة معينة ومعظم كتب التعليمات مجزأة إلى ثلاثة أقسام رئيسة:

1- ظروف تشغيلية ينصح بها Recommended Operating Conditions.

2- خصائص كهربائية Electrical Characteristics.

3- خصائص تبديلية Switching Characteristics.

4-2 تصنيف الدوائر المتكاملة حسب كثافة المكونات (التعقيد)

Complexity Classifications for - ICs

أحيانا تصنف الشرائح الإلكترونية على حسب كثافة المكونات عليها، حيث تقاس هذه الكثافة بعدد الترانزستورات المكونة لهذه الشريحة، لاحظ أن جميع مكونات أى شريحة تؤول فى النهاية إلى مجموعة من الترانزستورات، من هذه التصنيفات ما يلى:

1- الشرائح ذات التكامل الصغير Small-scale integration (SSI)

وهي الشرائح التي تحتوي أقل من 100 ترانزستور، أو ما يكافئ أقل من 10 بوابات، وتحتوي شرائح هذا الصنف بعض البوابات المنطقية والقلابات.

2- الشرائح ذات التكامل المتوسط Medium-scale integration (MSI)

وهي التي تحتوي من 1000 حتى 10000 ترانزستور، أو ما يكافئ من 10 حتى 100 بوابة، ويتكون منها العدّادات والمسجلات والمشفرات ومحللات الشفرة.

3- الشرائح ذات التكامل العالي Large-scale integration (LSI)

وهي الشرائح التي تحتوي من 10000 حتى 100000 ترانزستور، أو ما يكافئ من 100 حتى 10000 من البوابات، ويتكون منها شرائح الذاكرة والأجيال الأولى من المعالجات.

4- الشرائح ذات التكامل العالي جدا Very Large Scale Integration (VLSI)

وهي الشرائح التي تحتوي من 100000 ترانزستور،حتى مليون، أو ما يكافئ من 10000 حتى 100000 من البوابات، ويتكون منها الأجيال المتوسطة من المعالجات وشرائح الذاكرة.

5- الشرائح فائقة التكامل Ultra Large Scale Integration (LSI)

وهى التي تحتوي فوق المليون ترانزستور، الأجيال الأخيرة من المعالجات حتى كتابة هذا الكتاب وصلت كثافتها حتى 100 مليون ترانزستور، أو ما يكافئ أكثر من 100000 من البوابات.

4-3 تكنولوجيا الدوائر المتكاملة Integrated Circuit Technologies

أنواع الترانزستورات التي تنفذ منها جميع الدوائر المتكاملة هي إما من ترانزستور نوع وصللة ثنائية القطبية bipolar junction transistors (BJT)، أو من نوع موسفت، ترانزستور تأثير الحقل الكهربائي نوع معدن – أوكسيد نصف ناقل MOSFETs (metal-oxide semiconductor field-effect transistors).

- تقنية الدوائر التي تستخدم موسفت MOSFETs هي سموس، أي موس المتمم CMOS (Complementary MOS).
- تقنية الدوائر الرقمية التي تستخدم ترانزستور نوع وصللة ثنائية القطبية تدعى تي تي ال TTL (transistor-transistor logic).

وهناك دوائر تستخدم التقنيتين معاً وتسمى بي سموس BiCMOS.

5- الأجهزة المستخدمة في اختبار الدوائر الرقمية

Instrumets Used in Digital Circuits Testing

سنعرض سريعاً لبعض الأجهزة المستخدمة بشكل كبير في اختبارات وقياسات الإشارات عموماً والرقمية بالذات، ونؤكد على أننا لن نشرح هذه الأجهزة بالتفصيل، ولكننا سنعرض شرحاً سريعاً مع صورة تبين كل واحد من هذه الأجهزة.

5-1 مبين الذبذبات أو راسم الإشارة (الأوسيلوسكوب) Oscilloscope

يعتبر الأوسيلوسكوب Oscilloscope من أكثر أجهزة القياس استخداماً فى معامل ومختبرات الإلكترونيات، إذ يستخدم الأوسيلوسكوب لبيان شكل الموجة الكهربائية وكيفية تغيرها مع الزمن، حيث يعرض العلاقة بين الجهد (أو التيار) مع الزمن، يمكن بذلك تحديد تردد الموجة ومقدار جهدها وزمن الارتفاع وزمن الانخفاض، كما يمكن ملاحظة أى تشويه فى شكل الموجة، الشكل(1-18) يبين صورة الأوسيلوسكوب، هناك بعض النماذج منها تحتوي على ثلاث قنوات أو أربع قنوات وليس أكثر من ذلك.



الشكل (1-18) راسم اشارة بأربع أقنية Oscilloscope

يمكن كذلك باستخدام الأوسيلوسكوب عرض موجتان أو أكثر فى نفس الوقت وملاحظة العلاقة بينهما، فمثلاً يمكن عرض دخل الدائرة وخرجها فى نفس الوقت وملاحظة الفرق بينهما لمعرفة إذا كان هناك إزاحة فى زاوية الطور بينهما إذا كان كل منهما معكوس الآخر، وعلاقة التردد بين كل منهما.

2-5 المحلل المنطقي Logic Analyzer

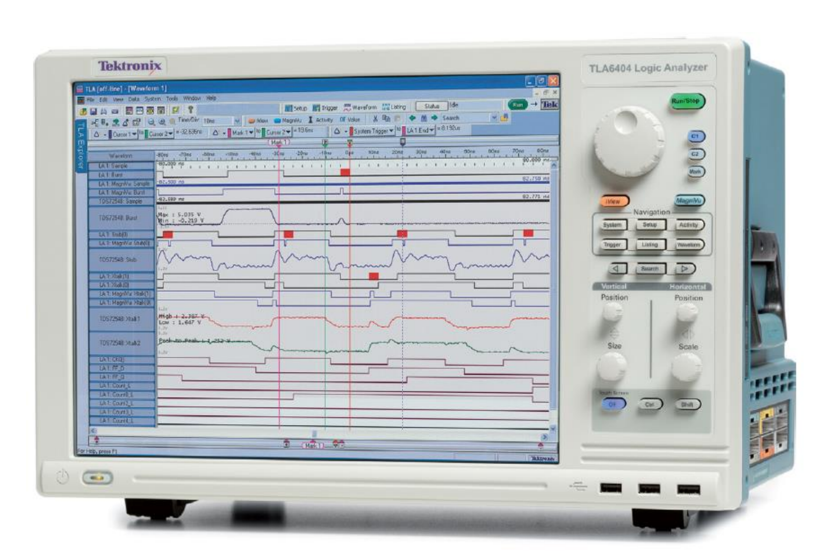
يستخدم المحلل المنطقي Logic analyzer في دوائر المعالجات أو الحاسبات بكثرة نظراً لوجود الكثير من الإشارات التي يلزم رؤيتها جميعها في نفس الوقت لتحليلها ومعرفة العلاقات بينها، مثل الإشارات على خطوط مسار البيانات أو مسار العناوين أو خطوط التحكم، الشكل (1-19) يعرض مثال عن محلل منطقي نموذجي، يمكن استخدام المحلل المنطقي في أكثر من طريقة لعرض الإشارات كما يلى:

1- يستخدم المحلل المنطقي كأوسيلوسكوب حيث يمكن عرض الإشارة مع الزمن، ويمكن عرض أكثر من إشارة فى هذه الطريقة قد يصل إلى 4 إشارات فى نفس الوقت.

2- يستخدم المحلل المنطقي لبيان المخطط الزمني لعدد من الإشارات يصل إلى 16 و 32 إشارة فى نفس الوقت، المخطط الزمني فى هذه الحالة يبين العلاقة الزمنية لكل إشارة وهل هي واحد 1 أم صفر 0 عند أي لحظة زمنية، عرض الإشارات يختلف عن الحالة السابقة حيث لا يبين تفاصيل مقدار الإشارة إلا أنها صفر 0 أم واحد 1، هذه الحالة مهمة جداً فى بيان إشارات البيانات أو العناوين فى المعالجات أو الحاسبات.

3- يمكن للمحلل المنطقي أن يعرض أكثر من إشارة بطريقة الأوسيلوسكوب كما فى الطريقة الأولى، وفى نفس الوقت يعرض باقي الإشارات فى نظام المخطط الزمني كما فى الحالة الثانية.

4- يمكن للمحلل المنطقي أن يعرض الإشارات بنظام جدول الحقيقة حيث يعرض الإشارات عبارة عن أصفار 0 وواحدات 1.



الشكل (1-19) محلل منطقي نموذجي Logic analyzer

5–3 المبين (المجس) المنطقي Logic Probe

المبين (المجس) المنطقي هو Logic probe عبارة عن أداة سهلة وبسيطة تمسك في اليد يكون تقريباً في حجم القلم العادي، الشكل (1–20)، تستخدم لاختبار نقطة معينة فى الدائرة، لمعرفة هل الجهد عند هذه النقطة واحد 1 أم صفر 0، أم عبارة عن نبضات، حيث يتم بيان كل حالة على لمبة بيان معينة مع صوت رنين معين لكل حالة.

5–4 حاقن النبضات Pulses Injector

حاقن النبضات Pulse injector يشبه المبين المنطقي تماماً، سوى أنه يمكن به حقن نبضات عند نقطة معينة فى الدائرة كدخل لهذه الدائرة، حيث يمكن ملاحظة استجابة الدائرة لهذه النبضات عند أى خرج من مخارج الدائرة، الشكل (1–20) يظهر مثال عن مبين منطقي مع حاقن النبضات.



الشكل (1–20) المبين (المجس) المنطقي وحاقن النبضات Logic Probe and Pulses injector

5–5 جهاز القياس متعدد الأغراض ملتيميتر The Digital Multimeter (DMM)

هو من أكثر الأجهزة استخداماً فى اختبار الدوائر الإلكترونية سواء الرقمية أو غير الرقمية، يمكن بهذا الجهاز قياس المقاومة بالأوم وقياس التيار وفرق الجهد سواء كان متردد أو مستمر، يتميز هذا الجهاز بصغر حجمه ورخص ثمنه بحيث يمكن أن يكون فى متناول أي هاوي، الشكل (1–21) يبين نموذجين لهذا الجهاز.



الشكل (1–21) بعض أشكال الجهاز متعدد القياس الملتيميتر Multimeter (DMM)

6-5 مولد الذبذبات (النبضات) Function Generator

لابد أن يحتوى أي معمل للإلكترونيات على أجهزة توليد الذبذبات Function generators بالأشكال المختلفة سواء الموجات الجيبية أو المربعة أو المثلثة أو الموجات TTL القياسية، مع إمكانية تغيير كل من تردد ومقدار أي واحدة من هذه الموجات، الشكل (1-22) يظهر أحد نماذج مولد الذبذبات (النبضات).



الشكل (1-22) الجهاز مولد الذبذبات (النبضات) Function generator

7-5 مصدر الطاقة Power Supply

لابد أن يحتوي أى معمل للإلكترونيات على مصادر طاقة Power supplies تستخدم لتشغيل أي دائرة أو نظام إلكتروني تنوي اختباره أو تشغيله، في العادة تعطي مصادر القدرة جهداً متغيراً يمكن التحكم فيه أو جهداً ثابتاً 5 فولت يستخدم لتغذية الدوائر الرقمية، الشكل (1-23) يعرض نموذج عن عن أحد مصادر الطاقة (القدرة).



الشكل (1-23) جهاز مصدر الطاقة Power supply

تدريبات

1. عرف الكمية التماثلية؟
2. عرف الكمية الرقمية؟
3. اشرح الفرق بين الكمية الرقمية والكمية التماثلية؟
4. عدد اثنين من ميزات البيانات الرقمية بالمقارنة مع التماثلية.
5. أي الكميات أكثر تأثراً بالضجيج.
6. عرف كلمة ثنائي؟
7. ماذا تعني كلمة الخانة الثنائية (Bit)؟
8. ما هي الخانات الثنائية في النظام الثنائي؟
9. كيف يقاس كل من زمن الصعود وزمن الهبوط للنبضة؟
10. إذا علمت أن الدورة (T) لشكل موجي ما، كيف يمكن إيجاد التردد (f)؟
11. شكل موجي دوري له عرض النبضة يساوي إلى 25µs، والدورة (T) تساوي إلى 150µs، احسب قيمة التردد، ودورة التشغيل؟
12. ما هو المخطط الزمني وما هي فوائد استخدامه.
13. ما هي الدائرة المتكاملة.
14. كيف يتم ترقيم أطراف شرائح الدوائر المتكاملة.
15. ما هي أصناف الدوائر المتكاملة حسب كثافة المكونات (التعقيد).
16. ما هي أنواع الدوائر المتكاملة حسب نوع الترانزستور التي تبنى منه.
17. عدد أهم الأجهزة المستخدمة في فحص واختبار الدوائر المنطقية.
18. ما هو عمل مبين الذبذبات أو راسم الإشارة (الأوسيلوسكوب).
19. ما هو عمل المحلل المنطقي.
20. كيف يتم ترقيم أطراف شريحة الدائرة المتكاملة.

Key Terms and Abbreviations المصطلحات والعبارات الرئيسة واختصاراتها

المصطلح أو العبارة	الترجمة	الصفحة	المصطلح أو العبارة	الترجمة	الصفحة
الترانزستورات المنفصلة	**Discrete Transistors**	**15**	المنطق الموجب	**Positive Logic**	**19**
الدوائر التماثلية	**Analog Circuits**	**15**	المنطق السالب	**Negative Logic**	**19**
الدوائر الرقمية	**Digital Circuits**	**15**	الانتقال الموجب	**Positive Transitions / Positive-Going**	**19**
القيم/الكميات المنفصلة	**Discrete Values\ Quantities**	**15**	الانتقال السالب	**Negative Transitions / Negative -Going**	**19**
القيم/الكميات المستمرة	**Continuous Values\ Quantities**	**15**	المستويات المنطقية	**Logic Levels**	**19**
قيم عينات	**Sampled Values**	**16**	الموجات الرقمية	**Digital Waveforms**	**20**
شفرة رقمية	**Digital Code**	**16**	الحافة الأمامية أو الصاعدة	**Rising or Leading Edge**	**21**
البيانات الرقمية	**Digital Data**	**17**	الحافة التابعة أو الهابطة	**Falling or Trailing Edge**	**21**
قرص مضغوط	**Compact Disk(CD)**	**17**	زمن الصعود	**Rise Time**	**21**
اشارة صوتية	**Audio Signal**	**17**	زمن الهبوط	**Fall Time**	**21**
مكبر خطي	**Linear Amplifier**	**17**	قيمة النبضة	**Pulse Amplitude**	**21**
النظام الثنائي الضوئي باستخدام أشعة الليزر	**Laser Diode Optical System**	**18**	عرض النبضة	**Pulse Width**	**21**
محول الإشارة من الشكل الرقمي إلى التماثلي	**Digital to Analog Converter (DAC)**	**18**	موجة مربعة	**Square wave**	**21**
محول الإشارة من الشكل التماثلي إلى الرقمي	**Analog to Digital Converter (ADC)**	**18**	الرنين / التجاوز	**Ringing/Overshoot**	**21**
النظام الثنائي	**Binary System**	**19**	قطار النبضات	**Pulse Trains**	**21**
الرقم الثنائي	**Binary Digit**	**19**	دورية	**Periodic**	**22**
الخانة الثنائية	**Bit**	**19**	الدورة	**Period**	**22**

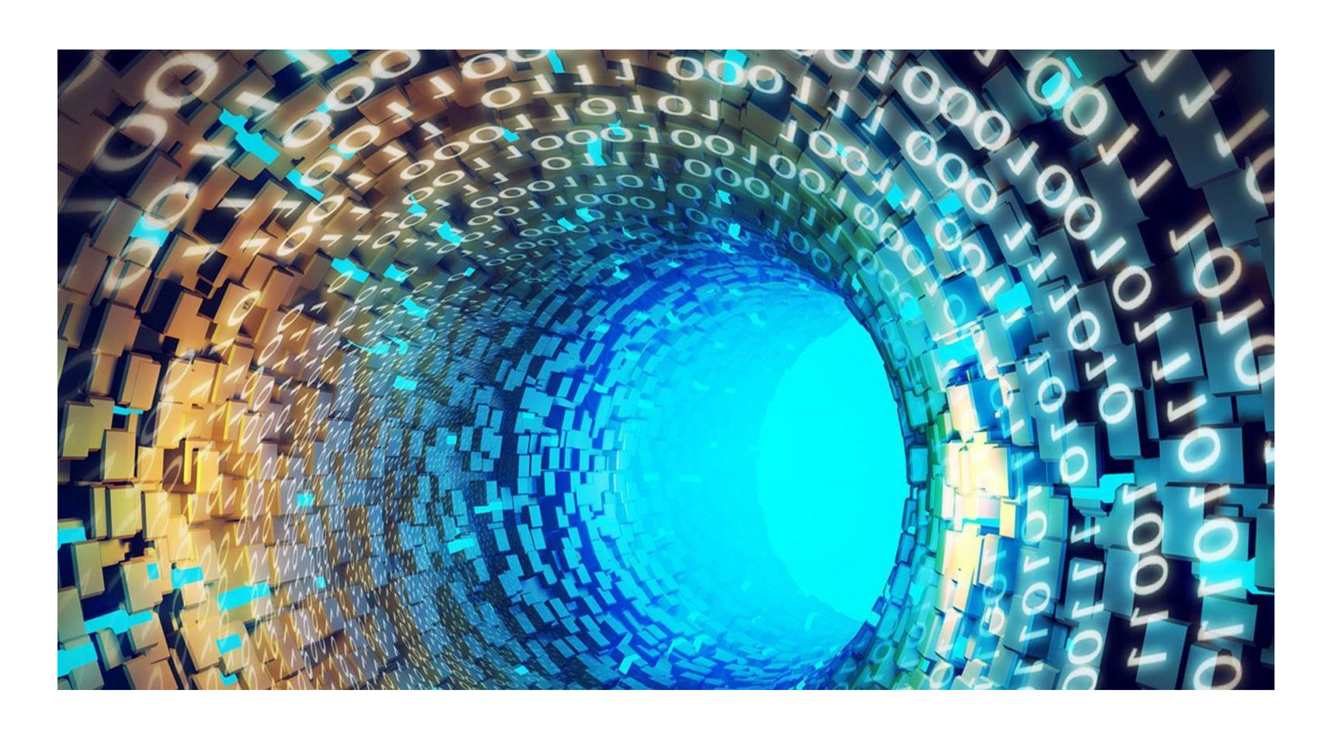
26	Transistor-Transistor Logic(TTL)	منطق ترانستور–ترانزستور	22	Frequency	التردد
26	Metal – Oxide Semiconductor (MOS)	نصف الناقل اكسيد–معدن	22	Duty Cycle	دورة التشغيل
26	Complementary Metal – Oxide Semiconductor (CMOS)	نصف الناقل اكسيد–معدن المتمم	23	Binary Information	المعلومات الثنائية
26	Low-Power Schottky	شوتكي منخفض الطاقة	23	Bit Time	زمن البت
26	High-Speed CMOS	سموس عالية السرعة	23	The Clock	اشارة نبضات الساعة
27	Printed Circuit Boards (PCBs)	لوحات الدوائر المطبوعة	24	Timing Diagram	المخطط الزمني
27	Through-Hole Mounted	التوضع باستخدام الثقوب	25	Integrated Circuit(IC)	الدائرة المتكاملة
27	Surface-Mount Technology (SMT)	تقنية التوضع السطحي	25	Transistors	الترانزستورات
28	Small Outline IC	الشرائح السطحية الصغيرة	25	Diodes	ديودات
28	Dual In line Package (DIP)	الشرائح ذات الصفين	25	Resistors	مقاومات
28	Plastic Leaded Chip Carrier (PLCC)	الشرائح ذات الأرجل السلكية	25	Capacitors	مكثفات
28	Leadless Ceramic Chip Carrier (LCCC)	الشريحة السيراميكية بلا أطراف	25	Fixed-Function Logic	الدوائر المتكاملة ذات الوظيفة الثابتة
29	Recommended Operating Conditions	ظروف تشغيلية ينصح بها	25	Programmable Logic	الدوائر المتكاملة القابلة للبرمجة
29	Electrical Characteristics	خصائص كهربائية	25	Logic Circuit Technology Family	عائلة تقنية الدائرة المتكاملة
29	Switching Characteristics	خصائص تبديلية	25	Logic Function	الوظيفة المنطقية

31	Oscilloscope	مبين الذبذبات أو راسم الإشارة	30	Very Large Scale Integration (VLSI)	الشرائح ذات التكامل العالي جدا
32	Logic Analyzer	المحلل المنطقي	30	Ultra-Large-Scale Integration (LSI)	الشرائح فائقة التكامل
33	Logic probe	المبين (المجس) المنطقي	30	Bipolar Junction Transistors (BJT)	ترانزستور نوع وصلة ثنائية القطبية
33	Pulse Injector	حاقن النبضات	30	(Metal-Oxide Semiconductor Field-Effect Transistors) MOSFETs	ترانزستور تأثير الحقل الكهربائي نوع معدن – أوكسيد نصف ناقل
33	The Digital Multimeter (DMM)	جهاز القياس متعدد الأغراض ملتيميتر	30	Small-Scale Integration (SSI)	الشرائح ذات التكامل الصغير
34	Function Generator	مولد الذبذبات (النبضات)	30	Medium-Scale Integration (MSI)	الشرائح ذات التكامل المتوسط
35	Power Supply	مصدر الطاقة	30	Large-Scale Integration (LSI)	الشرائح ذات التكامل العالي

الفصل الثاني 2

تمثيل البيانات في الأنظمة الرقمية

Data Representation in Digital Systems



الأهداف العامة للفصل Chapter Objectives

عندما تكمل هذا الفصل سوف تكتسب مجموعة من الخبرات والمعارف وينبغي أن تكون قادراً على:

- تعريف عملية الترميز وأهدافها وقواعدها.
- معرفة كيف يتم تمثل المعلومة باستخدام الأصفار والواحدت.
- شرح أهم أنظمة ترميز البيانات، وتعريف بعض الشفرات القياسية المستخدمة في أنظمة المعلومات.
- شرح كيفية تمثيل الأرقام والرموز ضمن أنظمة المعلومات.
- شرح الأنواع الأساسية من البيانات و طريقة تمثيلها.
- وصف أنواع الشفرات القياسية المستخدمة في الحاسب.
- وصف كيفية تمثيل الأرقام والرموز.
- وصف أنواع الأعدد المستخدمة في الحاسب.
- التعرف على أنواع الأعداد الصحيحة.
- استنتاج مدى القيم الذي يمكن استخدامه مع كل نوع.

1- مقدمة Introduction

نقدم في هذا الفصل الطريقة التي يتم بها تمثيل مختلف أنواع البيانات داخل الدوائر الرقمية التي تبنى منها الأنظمة الرقمية (Digital Systems)، وداخل جهاز الحاسب بصفة خاصة، إذ سيتم تعريف الأنواع الأساسية من البيانات، وتشمل الأعداد الصحيحة والأعداد الحقيقية والرموز، وتوضيح طريقة تمثيل كل نوع منها، ومدى القيم التي يقبلها كل نوع، والاستخدامات المناسبة لكل نوع، كما يتناول الفصل أهم أنظمة تمثيل وتشفير البيانات وبعض أنواع الشفرات القياسية المستخدمة في الحاسب لتمثيل البيانات.

من الضروري معرفة كيف يتم تمثل المعلومات في أنظمة المعلومات الرقمية، ولماذا تسمى هذه الأنظمة بالأنظمة الرقمية، وما هي الأنظمة العددية المستخدمة في الحاسب وأنظمة المعلومات، ما هي الشفرة الثنائية، وما حقيقة الأصفار والواحدات التي تحمل وتخزن المعلومة في الفضاء.

2- البيانات والتعليمات الإلكترونية Electronic Data and Instructions

هل سبق لك أن تساءلت لماذا يقال أننا نعيش في عالم رقمي؟ وما هو سبب تسمية بعض الأجهزة بالرقمية؟ السبب هو أن المعلومات التي تتعامل معها الأجهزة التي نستخدمها تكون فقط على شكل إشارات إلكترونية رقمية Digital Signal، فأجهزة الحاسب لا يمكنها التعرف على المعلومات بنفس الطريقة التي نستطيع أن نتعرف عليها أنا وأنت، الناس تتبع التعليمات وتعالج البيانات باستخدام الحروف والأرقام والرموز الخاصة، على سبيل المثال، إذا أراد شخص جمع الأرقام 3 و5 وتسجيل الجواب، يمكننا القول "الرجاء إضافة 3 إلى 5"، وحدة النظام هي مجموعة من الدوائر الإلكترونية لا يمكنها معالجة مثل هذا الطلب مباشرة، فقبل أن تحدث أي معالجة داخل وحدة النظام، يجب أن يحدث تحويل من الشكل الذي نفهمه نحن إلى الشكل الذي يمكن أن تعالجه وحدة النظام إلكترونياً.

2-1 المعلومة من خصائص الكون والترميز الأمان لها

The Information is From The Universe Properties and Coding is the Safety for it

نشهد العصر الرقمي بكل إنجازاته وثورة معلوماته، هذه المعلومات Information تكتب وتخزن وتنقل بشكل رقمي مشفّر أو مرمّز، وقد أذهل العلماء وجود التّشفير والتّرميز في كل أركان الكون، بدءاً من أشكال تواصل المخلوقات إلى أنوية ذراتها، ومن أحماض الإنسان وصفاته، إلى مائه وسيّالات أعصابه.

يقول خبراء نظرية المعلومات أن المعلومات إحدى الخصائص الأساسية للكون، شأنها شأن المادة والطاقة، وكما أن الكتلة هو التعبير عن المادة فإن التنظيم هو التعبير عن المعلومات، والتّشفير والترميز هو الحافظ لها شكلاً ومضموناً، وهو الأمان لها.

3- نظام الترميز Coding system

إن نظام التّرميز Coding System هو ذلك الابتكار الذي سمح بالقفزة الحاسوبية التي اعتبرت مولد الحاسب الحالي، تتلخص فكرته أنه يعتمد على الإشارات التي يتم تلقيها من أجهزة الإدخال، ثم يتم تجميع هذه الإشارات في مجموعات ذات طول محدد، ويعمل على فهم كل مجموعة وفقاً لتعريف مسبق.

3-1 تمثيل المعلومات في الأنظمة الرقمية

Data Representation in Information Systems

حتى يتمكن أي نظام رقمي مثل الحاسب من التعامل مع أي نوع من أنواع البيانات فإن تلك البيانات يجب أن تكون ممثلة في الشكل الثنائي (Binary)، أي في شكل مجموعة من الأصفار 0"s والواحدات 1"s، حيث يتم تمثيل القيمة المنطقية صفر 0 بمستوى جهد معين داخل الدوائر الإلكترونية للنظام الرقمي، ويتم تمثيل القيمة المنطقية واحد 1 بمستوى جهد آخر. مثلاً تمثل القيمة المنطقية 1 بالجهد +5 Volt، والقيمة المنطقية 0 بالجهد 0 Volt.

إن الأنظمة الرقمية كالحاسب وأنظمة الاتصالات لا تفقه شيئاً سوى مفهومين بسيطين هما الوجود والعدم أو الواحد 1 والصفر 0، وهكذا، فللتعبير عن أي شيء ينبغي تحويله إلى سلسلة طويلة من الخانات الممغنطة وغير الممغنطة، وحسب تسلسل مغنطتها يمكن معرفة المقصود من السلسلة المحددة.

لفهم آلية استخدام نظام التّرميز نعرض مثلاً من الحواسيب الحالية التي تعتمد طول المجموعة مؤلفا من ثماني إشارات، والإشارات هي شحنات كهربائية متساوية الكمية وكل منها يعبر عن إحدى حالتين، إحداهما حالة وجود شحنة والثانية حالة عدم وجود شحنة، وبالتالي فالمجموعة التي تتألف من ثماني إشارات يمكن تركيبها بعدد من الطرق مساوٍ للعدد اثنين مضروباً بنفسه ثماني مرات، لأن كل موقع يحتمل حالتين :الوجود وعدم الوجود، أي:

$$2\times2\times2\times2\times2\times2\times2\times2=256$$

والآن نصطلح لكل مجموعة من هذه المجموعات برمز معين ليعبر عنها فنحصل على نظام التّرميز.

تعريف: نظام الترميز Coding System:

هو طريقة للاصطلاح على تمثيل محدد لكل مجموعة من احتمالات التشكيل المختلفة لسلسلة ذات طول ثابت من البيانات الثنائية. والسلسلة ذات الطول الثابت من البيانات الثنائية تسمى البايت.

3-2 علم التّرميز والتّعمية واستخراج المعمى Cryptography

التّعمية أو الترميز Cryptography هو علم رياضي يهدف لتحويل مجموعة من المعلومات الرمزية بهدف إخفاء محتواها، إلى مجموعة أخرى مبهمة باستخدام طريقة محددة، يمكن بمعرفتها العودة إلى النص الأساسي الواضح وهو ما يسمى باستخراج المعمّى.

عُرف علم التّعمية منذ القدم، إذ استخدم لإخفاء معلومات الرسائل، وانتهجت طرق ونظم رمزية عديدة من أجل ذلك. وقد يغيب عن الكثيرين أن أصله عربي وأن العرب هم آباؤه ويدين لهم ولادةً ونشأةً وتطوراً، ويعد كتاب الكندي «رسالة في استخراج الأعداد المضمرة»، أول مرجع معروف في علم التّعمية واستخراج المعمى واصطلح على تسميته حديثا علم الشِفرة.

يحظى علم التّعمية واستخراج المعمى بمكانة مرموقة بين العلوم، وقد أكتسب أهمية بالغة لتنوع تطبيقاته وخصوصاً في المجالات الأمنية والعسكرية والمصرفية، إذ يعتبر لغة عملٍ للتطبيقات التقنية، وأحد الأساسيات في عملها وأسلوباً لأمن معلوماتها، وله مؤسسات توفر له أسباب الرعاية والتطوير والاختبار، وتنتج أنظمة تشفير تعتمد خوارزميات معقدة وموثوقة [2].

3-3 القواعد الرئيسية لعملية التّرميز The Basic Rules For Coding

إن أهم أسس عملية التّرميز، هو اعتماد قواعد ثابتة وخوارزميات معروفة، والإيجاز والاختصار لتقليل احتمال الأخطاء في عمليتي النقل وفك التّريمز، بالإضافة إلى استخدام رموز تكون:

- ثابتة البنية محددة الطول.
- واضحة غير متشابهة.
- قابلة للتصنيف والقراءة.
- قابلة للاسترجاع والمعالجة.
- متناغمة منطقيًا مع النظام الكلي.
- تغطي جميع الرموز المطلوبة لتبادل المعلومات.

3-4 أهداف التّرميز Coding objectives

- السرية أو الخصوصية: للحفاظ على محتوى المعلومات.
- تكامل البيانات: للحفاظ على المعلومات من التغيير (حذف أو إضافة أو تعديل).

1. د. محمد مراياتي، وآخرون. التعمية واستخراج المعمى عند العرب، (دمشق، سوريا: مجمع اللغة العربية، دار طلاس، 1414هـ، 1997م)، ج: 2، ص: 108.

- إثبات الهوية: إثبات هوية التعامل مع البيانات.
- عدم الإنكار: منع الشخص من إنكاره القيام بعمل ما.
- سهولة الاستخدام: بتسهيل التعامل مع المعلومات كتقليل حجمها مثلاً.

4- التمثيل الرقمي للبيانات Digital Data Representation

4-1 نظام الترميز الثّنائي Binary Code System

يعدّ نظام الترميز الثّنائي (Binary Code System) أبسط نظم الترميز (نفسه نظام العد الثّنائي Binary Number System)، أساسه الرّقم (2)، إذ يتكوّن من الرّمزين صفر وواحد (0،1)، وهما إسقاط مباشر لمفهومي" العدم " و " الوجود " فالعدم يعبر عنه بالعنصر" صفر 0 "، والوجود يعبر عنه بالعنصر" واحد 1 ".

باستخدام رموز النظام الثنائي صفر وواحد (0،1) يمكن تمثيل أي عدد من أي نظام عددي، إذ يتكرّران على شكل سلسلة بما يتناسب مع العدد المطلوب، ويمكن تطبيق قواعد الجبر البولياني على هذا النظام بشكلٍ مباشر، وبالتّالي تنفيذ كافة العمليات المنطقية اللازمة من أجل تكوين الدوائر الرقمية.

الجدول (2-1) يعرض المكافئ الثنائي الأعداد العشرية من 0~15، ونلاحظ أننا نحتاج أربع خانات لتمثيل الأعداد من 0 حتى 15، بشكل عام من أجل n خانة يمكن أن نمثل 2^n-1 عدد مختلف.

عدد الأعداد التي يمكن تمثيلها = 2^n-1

على سبيل المثال إذا كان (n=5)، فإننا نستطيع أن نمثل 31 عدد مختلف

$$2^5-1=32-1=31$$

عشري	ثنائي	عشري	ثنائي	عشري	ثنائي	عشري	ثنائي
0	0	4	100	8	1000	12	1100
1	1	5	101	9	1001	13	1101
2	10	6	110	10	1010	14	1110
3	11	7	111	11	1011	15	1111

الجدول (2-1) الأرقام العشرية من 0 حتى 15 مع مكافئها بنظام العد الثنائي

يمكن التعبير عن أي عدد بواسطة عدد ثنائي، لكن الأرقام الثنائية صعبة للفهم على الإنسان لكي يتعامل معها، لأنها تتطلب العديد من الأرقام أو الخانات في العدد الواحد، بدلاً من ذلك، غالباً ما يتم تمثيل الأرقام الثنائية في شكل أكثر قابلية للقراءة من قبل البشر، ويستخدم لذلك **النظام الست عشري The hexadecimal system, or hex** الذي يستعمل 16

رقم (0، 1، 2، 3، 4، 5، 6، 7، 8، 9، A، B، C، D، E، F) لتمثيل الأعداد الثنائية، ويمثل كل رقم ست عشري باستخدام أربعة أرقام ثنائية، ويستخدم رقمين ست عشريين مع بعض لتمثيل واحد 1 بايت (8 أرقام ثنائية).

الجدول (2-2) يعرض الأرقام العشرية من 1 حتى 16 مع المكافئ لها في النظام الثنائي، والست عشري (وقد ظللنا عمود الأرقام القاعدية للأنظمة العددية).

يمكن أن تشاهد الأرقام الست عشرية، عند اختيار اللون في تطبيقات تصميم الموقع أو التطبيقات الرسومية، أو عند إدخال كلمة المرور للوصول إلى شبكة لاسلكية.

ولدينا النظام العشري decimal system الذي نعرفه يتألف من عشرة أرقام (0، 1،2، 3، 4، 5، 6، 7، 8، 9).

النظام الثنائي binary system يتكون من رقمين فقط صفر 0 و واحد 1.

وتعتمد لغة وشفرة عمل الحاسب الثنائية (المثاني) نظام العد الثّنائي.

ثنائي Binary	ست عشري Hexadecimal	عشري Decimal
00000000	00	00
00010000	01	01
10000000	02	02
11000000	03	03
00000100	04	04
00000101	05	05
00000110	06	06
00000111	07	07
00001000	08	08
00001001	09	09
00001010	0A	10
00001011	0B	11
00001100	0C	12
00001101	0D	13
00001110	0E	14
00001111	0F	15
00010000	01	16

الجدول (2-2) الجدول (10-1) الأرقام العشرية من 1 حتى 16 مع المكافئ لها في النظام الثنائي، والست عشري

2-4 لغة عمل الحاسب الثنائية Binary Computer Working Language

تكتب البرامج الحاسوبية على شكل تعليمات وتراكيب حسابية ومنطقية بإحدى لغات البرمجة، إذ تجري ترجمة هذه التعليمات والتراكيب إلى سلاسل من الرموز الرقمية الثنائيّة أصفار وواحدت (0،1) التي تعبّر عن شيفرة يفهمها الحاسب تدعى لغة الآلة Machine Language.

تعتمد لغة وشفرة عمل الحاسب الثنائية (الآلة) نظام العد الثّنائي، إذ تستخدمها الأجهزة والأنظمة الرّقميّة كالحواسيب وأنظمة الاتّصالات في الدّوائر الإلكترونيّة الرّقميّة (Digital Electronic Circuits)، إذ أن هذه الدوائر عند معالجة البيانات، وتخزينها، ونقلها، وحتى إرسالها، لا تستطيع أن تفهم إلا البيانات الثنائية، أي البيانات التي تكون على شكل سلاسل من الأصفار والواحدات.

تعد الشفرة الثنائية أساس الثورة الرقمية بالكامل، وتأتي أهميتها من كونها نظام التشفير (الترميز) المستخدم لتمثيل المعلومات والمعطيات ضمن الحواسيب والأنظمة الرقمية، إذ يعدّ من أبسط أنواع أنظمة التّشفير، فالعلوم والمعلومات اليوم بأشكالها وأنواعها تُمثّل وتُكتب وتُعالج وتخزّن وتُوثّق وتُنشر وترُسل باستخدام الرموز الرقمية الثنائيّة الأصفار والواحدات (0،1)، وذلك على شكل شِفرات (إشارات)، هذه الإشارات هي سلسلة من شحنات كهربائيّة متساوية الكميّة، الخانة الواحدة في السّلسلة تسمّى بت، ومجموعة 8 بتات تشكل البايت Byte.

(bit=binary digit) أو bit = " بت "

8 Bit = 1 Byte

تخزّن في هذه الخانة الثنائية إحدى القيمتين، الأولى حالة وجود شحنة واحد (1)، والثانية حالة عدم وجود شحنة صفر (0)، لتشكل بيانات مصفوفة من هذه الأصفار والواحدات، تتم معالجتها ضمن الأنظمة الرقمية، ومن ثم يتم تحويل ناتج المعالجة للشكل الذي نستوعبه، ويتم إظهاره.

وقد أشار القرآن الكريم لهذه اللغة باستخدام نفس الكلمة القرآنية {المثاني} في الإشارة إلى شفرة ولغة عمل الحاسب الثنائية، شفرة المثاني، وكلمة {المثاني} تكرّرت في القرآن الكريم مثاني، وجاء ذلك في مثاني من الآيات هي:

قال الله سبحانه وتعالى:

﴿ وَلَقَدْ آتينَكَ سَبْعاً مّنَ الْمَثَانِي وَالْقُرْآنَ الْعَظِيمَ ﴾[الحِجر: 87/15].

﴿ اللَّهُ نزَّلَ أَحْسَنَ الْحَدِيثِ كِتَٰبًا مُّتَشَٰبِهًا مَّثَانِيَ تقْشَعِرُّ مِنْهُ جُلُودُ الَّذِينَ يَخْشَوْنَ رَبَّهُمْ ثُمَّ تَلِينُ جُلُودُهُمْ وَقلُوبهُمْ إِلَىٰ ذِكْرِ اللَّهِ ذَٰلِكَ هُدَى اللَّهِ يهْدِي بِهِ مَن يَشَاءُ وَمَن يُضْلِلِ اللَّهُ فَمَا لَهُ مِنْ هَادٍ ﴾[الزّمر: 23/39].

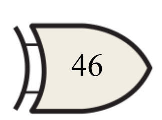
إن كلمة {المثاني} القرآنيّة هي إشارة علمية قرآنية صريحة إلى لغة وشِفرة عمل الحاسب المثاني، الأصفار والواحدات، التي تدعى أيضاً لغة عمل الآلة [3].

إن الإشارة القرآنيّة للغة وشِفرة نقل المعلومة الكونيّة، هو سبق قرآني وإعجاز علميّ، فهذه الشفرة هي لغة الإعجاز الجديد لكتاب الله سبحانه وتعالى بلغة القرن الواحد والعشرين، لغة نظام عمل أنظمته وتقنيّاته، لغة وأبجديّة توحيد كل تقنيّات العلم وأدواته.

3-4 البايت ومشتقاته Bytes and Multiples

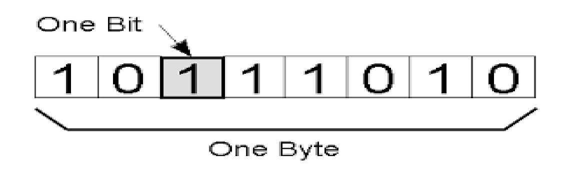
البت Bit أو الخانة الثنائية :الخانة الواحدة في السلسلة تسمى بت bit، إذن فال" بت "هو موقع واحد يحتمل فقط أحد خيارين :إما أن يكون مشحونا أو خاليا من الشحنة.

2. مثاني القرآن الكريم إشارة إلى شِفرة عمل الحاسب المثاني، الأصفار والواحدات، بحث للمؤلف.



الخطوة التالية هي تحديد طول معياري للسلسلة بحيث كلما مضى عدد من الخانات بطول هذه السلسة المعيارية نقوم بتفسير الترميز.

البايت Byte: هو سلسلة ذات طول ثابت من الخانات الثنائية، تتوزع الشحنات على السلسلة بشكل مختلف في كل مرة، ومقابل كل طريقة لتوزيع الشحنات يتم الاصطلاح على رمز يقابل ذلك التوضع. والطول الثابت للسلسلة يحدد حاليا بثماني خانات خصوصا بالنسبة للبنية المعتمدة في تهيئة الأجهزة المادية، الشكل (2–1) يظهر البايت والبت.



الشكل (2–1) البايت Byte والبت Bit

مضاعفات البايت، الجدول (2–3):

الكيلوبايت يساوي 2^{10} = 1024 بايت.

الميغابايت تساوي 2^{20} بايت، أو 2^{10} كيلوبايت.

الغيغابايت تساوي 2^{30} بايت، 2^{20} كيلوبايت، أي 2^{10} ميغابايت.

التيرابايت تساوي 2^{40} بايت، 2^{30} كيلوبايت، أي 2^{20} ميغابايت، أي 2^{10}غيغابايت.

1 Byte		8 Bits
1024 Bytes	2^10	1 Kilobyte
1024 Kilobytes	2^20	1 Megabyte
1024 Megabytes	2^30	1 Gigabyte
1024 Gigabytes	2^40	1 Terabyte
1024 Terabytes	2^50	1 Petabyte
1024 Petabytes	2^60	1 Exabyte
1024 Exabytes	2^70	1 Zettabyte
1024 Zettabytes	2^80	1 Yottabyte
1024 Yottabytes	2^90	1 Brontobyte
1024 Brontobytes	2^100	1 GeopByte

الجدول (2–3) مضاعفات البايت

5– أنظمة تمثيل وترميز البيانات Data Representation (Encoding Systems)

من خلال ما سبق وجدنا أن نظام الترميز هو بالفعل أبجدية الحاسب، وسنتطرق إلى عرض أهم أنظمة الترميز المستخدمة، وكيفية تمثيل المدخلات الأساسية.

توجد طرق عديدة يمكن بها أن يتم تخصيص الشفرات الثنائية المتاحة للرموز المختلفة، مما قد يؤدي إلى اختلافات كبيرة في تمثيل البيانات، ومنعاً للاختلاف تم الاتفاق عالمياً على طرق محددة لتمثيل البيانات، و تم توثيق هذه الطرق في المؤسسات المعنية، ويتم مراجعتها وتطويرها ونشرها بانتظام لكي يلتزم الجميع به، الأمر الذي جعل تبادل البيانات يتم على نطاق واسع، خاصة في عصر

الإنترنت، أمراً ممكناً، سنتعرض في الجزء التالي لعدد من أنظمة الترميز والشفرات القياسية (Standard Codes) المستخدمة حالياً في تمثيل البيانات.

5–1 نظام التّرميز المعياري آسكي ASCII

نظام التّرميز أو شفرة أسكي (الشفرة الأمريكية القياسية لتبادل المعلومات) ASCII (American Standard Code for Information Interchange) عبارة عن شفرة ثنائية مكونة من سبعة خانات تستخدم في تمثيل الرموز. وتعتبر الشفرة الأكثر استخداماً لهذا الغرض والأوسع انتشاراً حالياً. تم ابتكار شفرة آسكي ASCII في الأساس لتمثيل الرموز في آلات تسمى التيلي تايب (Teletype Machines)، وهي عبارة عن وسيلة اتصال استخدمت في السابق لنقل البيانات، و تتكون مما يشبه الآلتين الكاتبتين (Typewriters) إحداهما مرسلة والأخرى مستقبلة، عند طباعة أي نص على لوحة مفاتيح الآلة المرسلة يظهر ذلك النص مطبوعاً على الورق في الآلة المستقبلة. و يعتبر جهاز التلكس (Telex) مثالاً لهذا النوع من الآلات.

نجد في الملحق 1 جداول الحروف القابلة للطباعة في نظام ترميز آسكي، وأهم ما يلاحظ في بنية نظام التّرميز ASCII ما يلي:

- أنها معروضة بشكل صورة وليست عبارة عن نصوص مكتوبة، ذلك لأن كتابتها على شكل محارف يعرضها للتغير عندما تعرض على حواسيب أو برامج مختلفة في أسلوب التعرف على نظم التّرميز.
- إن تخصيص الشفرات الثنائية للرموز المختلفة تم بطريقة محكمة ومدروسة.
- عند ملاحظة العلاقة ما بين الشفرات الممثلة للأرقام (Digits) من 0 حتى 9، و قيم تلك الأرقام، تجد أن هناك فرقاً ثابتاً مقداره $(30)_{16}$ ما بين شفرة الرقم و قيمته، مما يسهل من عملية تحويل رموز الأرقام إلى القيم المقابلة لها، وهي عملية نحتاج لها كثيرًا في الحاسب والأنظمة الرقمية الأخرى.
- لاحظ أيضاً وجود علاقة رياضية ثابتة ما بين شفرة آسكي ASCII للحرف الكبير (Capital Letter) ونظيره الصغير (Small Letter) حيث تجد أن الفرق بين شفرتيهما هو $(20)_{16}$ مما يجعل من عملية تحويل الأحرف الكبيرة إلى أحرف صغيرة أو العكس في نص معين عملية سهلة.
- إن التوضعات 32 الأولى مخصصة للفعاليات والتحديدات والرموز الخاصة، من 65 لغاية 90 مخصصة للحروف اللاتينية الكبيرة، من 97 لغاية 122 مخصصة للحروف اللاتينية الصغيرة.

عندما استخدمت شفرة آسكي ASCII في تمثيل الرموز في الحاسب، ظهرت مشكلة الخانة الثامنة (8^{th} bit)، حيث أن التخزين فى الحواسيب مبني على نظام البايت المكون من 8 بت، (bits8)، بينما شفرة آسكي ASCII عبارة عن شفرة مكونة من سبعة خانات (7 -bit Code)، لذلك كان لابد من إيجاد استخدام للخانة الثامنة، وهناالك طريقتان لاستغلال هذه الخانة:

1. يمكن استخدام الخانة الثامنة لمضاعفة عدد الرموز التي يمكن تمثيلها بحيث يصبح 256 رمزاً بدلاً عن 128 رمزاً. هذه الـ 256 رمزاً تكون الـ 128 رمزاً الأولى منها هي رموز شفرة آسكي ASCII القياسية أما الـ 128 رمزاً الاضافية فيمكن استخدامها في تمثيل أحرف اللغات الأخرى، مثل اللغة العربية، أو في تمثيل بعض الرموز الخاصة المستخدمة مثلاً فى الرسومات أو في بناء الجداول أو في كتابة المعادلات الرياضية و غير ذلك.
2. يمكن إستخدام الخانة الثامنة في عملية تسمى **عملية التحقق (Parity Check)**، وهي عملية تستخدم لاكتشاف حدوث خطأ (Error) في نقل البيانات، حيث أنه عند نقل البيانات لمسافات طويلة عبر وسائل الاتصال المختلفة قد تتعرض تلك البيانات لحدوث أخطاء، فلاكتشاف حدوث مثل هذه الأخطاء يتفق كل من الطرف المرسل للبيانات والطرف المستقبل لها على أن يكون العدد الكلى للواحدات 1's في أي رمز مرسل فردياً مثلاً، و هو مايسمى **بالتحقق الفردي (Odd Parity)**. وبناء على ذلك يقوم الطرف المرسل قبل إرسال أي رمز بحساب عدد الواحدات 1's الموجودة فيه، فإذا وجد أن عددها فردي يقوم بوضع صفر 0 في الخانة الثامنة، وذلك للحفاظ على العدد الكلي للواحدات 1's، في الرمز فردياً، أما إذا وجد أن عدد الواحدات 1's في الرمز المرسل زوجياً فإنه يقوم بوضع واحد 1 في الخانة الثامنة، بحيث يصبح عدد الواحدات الكلي 1's في الرمز فردياً. أي أن مهمة الطرف المرسل هي التأكد من عدد الواحدات فردي في كل رمز يقوم بإرساله، وذلك بوضع القيمة المناسبة في الخانة الثامنة والتي يطلق عليها خانة التحقق **(Parity bit)**.

أما بالنسبة للطرف المستقبل فإنه يقوم بحساب عدد الواحدات في اي رمز تصل إليه، فإذا وجد أن عددها فردي كان معنى ذلك عدم حدوث خطأ أثناء عملية النقل، أما إذا وجد أن عددها زوجي فمعنى ذلك حدوث خطأ، والطريقة الوحيدة الممكنة لتصحيح الخطأ الذي حدث هنا هي أن يطلب الطرف المستقبل من الطرف المرسل إعادة إرسال الرمز الذي وصله خاطئاً، وهذا يتطلب بالطبع وجود إمكانية الاتصال في الاتجاهين، و هو أمر غير متاح في كثير من الأحيان.

لاحظ أن هذا الأسلوب فى اكتشاف حدوث الأخطاء يعجز عن اكتشاف حدوث خطأ فى خانتين فى وقت واحد، ولا توجد مشكلة هنا حيث أنه في أي نظام رقمي مصمم بصورة جيدة يكون احتمال حدوث خطأ في خانتين في وقت واحد أمراً نادر الحدوث بحيث يمكن تجاهله، يمكن أيضاً أن يتفق الطرفان المرسل والمستقبل على أن يكون العدد الكلي للواحدات 1's في أي رمز مرسل زوجياً، ويسمى هذا **بالتحقق الزوجي (Even Parity)**.

2-5 الترميز الموحد يونيكود Unicode

أدى الانفجار في الإنترنت وملحقاتها إلى عولمة الحوسبة، وهذا قاد إلى استخدام معيار جديد لترميز الرموز والمحارف يسمى **الترميز الموحد** أو **شفرة يونيكود Unicode**، والذي يستخدم 16 بت قادرة على ترميز (2^{16}=65536) رمز مختلف، ولكي تبقى عملية الترميز بسيطة وفعالة، فإن معيار يونيكود Standard Unicode، يعيّن اسماً وقيمة عددية فريدين من نوعهما، لكل رمز من الرموز.

الترميز الموحد أو **شفرة يونيكود Unicode** هو معيار عالمي يخصص لكل محرف في جميع اللغات العالمية رقم فريد رمزي code point، وذلك بغض النظر عن نوع الحاسب أو البرامج المستخدمة (المنصة، البرنامج، اللغة). وقد وتم تصميمه لتمكين المحارف والرموز في كافة الأنظمة الكتابية في العالم من أن تتمثل من خلال الحاسب، وهي تتماشى مع المعايير العالمية، وتتكون من قائمة بأسماء المحارف وطريقة التشفير والرقم اليونيكودي لكل حرف. وتم تبنيها من قبل كبرى شركات إنتاج أنظمة الحواسيب في العالم، وقد قاد نجاح يونيكود في توحيد أنظمة تشفير الحروف إلى انتشاره واستعماله عالمياً ومحلياً في جميع برامج الحاسب،حيث تم تطبيق هذه المعيارية على العديد من التقنيات وأنظمة التشغيل ولغات البرمجة.

معيار يونيكود يعتبر معيار الترميز الأكثر استخداماُ ومعترف به في كل أنظمة الحاسب تقريباً، الرموز 128 الأولى لها نفس تسلسل الخانات كما في أسكي ASCII، للحفاظ على التوافق مع المعلومات الممثلة بشفرة ASCII القديمة.

يستخدم يونيكود Unicode عدد متغير من البتات لتمثيل كل رمز، والذي يسمح للأحرف غير الإنجليزية والرموز الخاصة أن تكون ممثلة.

3-5 الشفرة العشرية المشفرة ثنائياً BCD (Binary Coded Decimal)

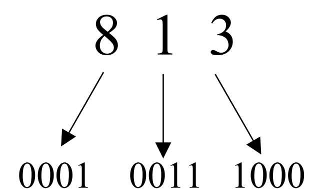
استخدمت هذه الشفرة في الماضي لتمثيل الأعداد الصحيحة (Integers) في الحواسيب المركزية الكبيرة القديمة (Main Frames)، خاصة تلك التي قامت بإنتاجها شركة IBM، في هذه الشفرة يتم تمثيل كل رقم من الأرقام من 0 حتى 9، باستخدام شفرة ثنائية مكونة من أربع خانات (4-bits Binary Code) و ذلك كما هو مبين في الشكل (2-4):

Table 1.6.1				
	MSB	BCD_{8421}		LSB
Decimal	8	4	2	1
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1

الشكل (2-4) الشفرة العشرية المشفرة ثنائياً BCD

لاحظ أن الخانات الأربعة المستخدمة في التمثيل هنا تعطينا 16 شفرة (Code) مختلفة، استخدمنا منها فقط العشرة الأولى وتبقت 6 شفرات غير مستخدمة هي: 1010، 1011، 1100، 1101، 1110، 1111

لتمثيل أي عدد صحيح باستخدام الشفرة العشرية المشفرة ثنائياً BCD نأخذ أرقام العدد فى الصورة العشرية ونستبدل كل رقم الشفرة العشرية المشفرة ثنائياً BCD الخاصة به، مثلاً:



بتجميع الشفرات العشرية المشفرة ثنائياً BCD للأرقام نحصل على $831 = (100000110001)_{BCD}$

لاحظ أن الأعداد الصحيحة الممثلة فى صورة الشفرة العشرية المشفرة ثنائياً BCD تشغل مساحة تخزينية أكبر من تلك التي تشغلها الأعداد الصحيحة الممثلة بالصورة التقليدية التى سبق لنا دراستها. كما أن إجراء العمليات الحسابية على الأعداد الممثلة فى صورة الشفرة العشرية المشفرة ثنائياً BCD به الكثير من المشاكل والصعوبات والتعقيدات.

4-5 الشفرة العشرية الموسعة المشفرة ثنائياً لتبادل المعلومات

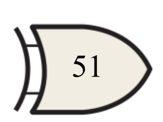
Extended Binary Coded Decimal Information Code (EBCDIC)

هذه الشفرة هي عبارة عن تطوير للشفرة العشرية المشفرة ثنائياً BCD بحيث تتمكن من تمثيل الرموز. و هي تشبه إلى حد كبير شفرة آسكي ASCII إلا أن الشفرة الموسعة EBCDIC مكونة من 8 خانات (8 bits). استخدمت الشفرة الموسعة EBCDIC لتمثيل الرموز في الحواسيب المركزية الكبيرة (Main Frames) التي تنتجها شركة آي بي ام IBM، وما زالت إمكانية التعامل مع البيانات الممثلة باستخدام الشفرة الموسعة EBCDIC موجودة حتى الآن في الحواسيب التي تقوم بإنتاجها شركة آي بي ام IBM وذلك لتمكين مستخدمي هذه الأجهزة من الرجوع لبياناتهم القديمة.

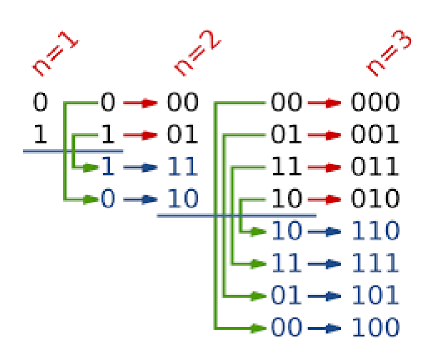
5-5 الشفرة الرمادية " غراي " Gray Code

يطلق على الشفرة الرمادية " غراي " Gray Code أيضاً تسمية الشفرة المعكوسة (Reflected Code)، ذلك بسبب الأسلوب المستخدم في توليدها، تمتاز هذه الشفرة بأن كل رمزين متتاليين فيها يختلفان عن بعضهما البعض في خانة Bit واحدة فقط، ويمكن أن نقوم بتوليد الشفرة الرمادية كما وهو موضح في الجدول (5-2) الذي يعرض القيم العشرية Decimal values، الشفرة الثنائية الطبيعية Natural binary code، والشفرة الرمادية " غراي " Gray code، وذلك من أجل شفرة بثلاث خانات ثنائية.

تستخدم الشفرة الرمادية فى التطبيقات الصناعية التي تستخدم فيها الأنظمة الرقمية في التحكم فى الآلات.



Decimal Values	Natural Binary Code	Gray Code	Gray Code values
0	000	000	0
1	001	001	1
2	010	011	3
3	011	010	2
4	100	110	6
5	101	111	7
6	110	101	5
7	111	100	4



الجدول (5-2) الشفرة الرمادية Gray Code وكيفية توليدها من أجل ثلاث خانات

5-6 نظام التّرميز أزمو للحروف العربية ASMO

نظام أزمو، المنظمة العربية للمواصفات والمقاييس Arab organization for standardization and metrology (Asmo)، يشترك مع نظام التّرميز آسكي ASCII بنسبة كبيرة، إذ يبدأ التخصيص للحروف العربية اعتباراً من الرمز ذي الرقم 193، علما أن الأرقام الهندية (المنتشرة في بعض البلدان العربية) لا تخصص بترميز مستقل، بل يتم التعرف عليها من خلال نظام التشغيل الذي يتولى إظهارها باستخدام ما يقابلها من الأرقام العربية (المستخدمة في معظم بلدان العالم). راجع (ملحق 2) للاطلاع على نظام التّرميز أزمو.

5-7 تمثيل الرموز Character Encoding

المقصود بالرموز (characters) هنا هو:

- الحروف الانجليزية الكبيرة A, B, C, D, …, Z (Capital Letters) (وعددها 26).
- الحروف الانجليزية الصغيرة a, b, c, d, …, z (Small Letters) (وعددها 26).
- الأرقام (Digits) 9 ,1 ,2 ,3 ,… ,0 (وعددها 10).
- علامات الترقيم (Punctuation Marks).

(! “ # $ %& ‘ ( ) * + , - . / : ; < = > ? @ [\ ] ^ _ ’ { | } ~ (وعددها 32).

- الرموز البيضاء (White Characters) مثل:

سطر جديد New Line، مسافة أفقية Horizontal Tab، الفراغ Space ....(وعددها حوالي 6).

- رموز تحكم (Control Characters) مثل:

الحذف الخلفي Back Space، الهروب ESC، الحذف Del ...... (وعددها حوالي 10).

أي أن العدد الكلي للرموز هو 26+26+10+32+6+10 أي حوالي 110 رمزاً

ويتم تمثيل هذه الرموز باستخدام شفرة ثنائية (Binary Code) بحيث يكون لكل رمز منها شفرة فريدة تميزه.

واقل عدد من الخانات يلزم لتمثيل جميع الرموز هو 7 خانات (7bits)، حيث أن عدد الشفرات الثنائية المتاحة في هذه الحالة هو $128 = 2^7$ و هذا العدد يكفي لتمثيل جميع الرموز.

كما رأينا، في أجهزة الحاسب يجب أن تمثل جميع الأرقام داخلياً باستخدام الشفرة الثنائية، لكن ماذا عن النص؟ كيف يمكن أن يزودنا الحاسب بتمثيل للرموز غير الرقمية التي نستخدمها للتواصل، مثل هذه الجملة التي تقرأها الآن؟ الجواب هو معايير أو مخططات ترميز الأحرف.

معايير ترميز الحروف Character Encoding Standards هي مجموعة من المعايير تقوم بتعيين سلسلة فريدة من الخانات الثنائية (البتات) لكل رمز، أي يملك كل رمز شفرة مثاني فريد، وتم إيجاد شفرة لمعظم الرموز والحروف المستخدمة، احدى هذه المعايير التي استخدمت من قبل أجهزة الحاسب الشخصية لتمثيل الحروف هي شفرة أسكي ASCII، في حين تستخدم أجهزة الحاسب المركزية الشفرة الموسعة EBCDIC.

مع أن هذه المعايير كانت فعالة للغاية، ومع ذلك، فهي محدودة، على سبيل المثال شفرة أسكي ASCII تستخدم فقط سبع خانات ثنائية (7 بت) لتمثيل كل حرف، وهو مما يعني أنه لا يمكن تمثيل سوى 128 رمز (2^7=128)، وكان هذا جيد بالنسبة لمعظم الحروف في اللغة الإنجليزية ولكن لم يكن كافياً لدعم لغات أخرى مثل الصينية واليابانية، مع أن هذه اللغات لديها أيضا العديد من الرموز ممثلة في شفرة آسكي ASCII. لذلك معظم الأنظمة الرقمية تستخدم اليوم الترميز الموحد أو **شفرة يونيكود Unicode**، والذي يستخدم ست عشرة خانة (16 بت) قادرة على ترميز (2^{16}=65536) رمز مختلف.

وهنا نذكر بضرورة التمييز بين الرقم عندما يتعامل معه الحاسب كرقم وبين أن يتعامل معه كمحرف أو رمز.

8–5 كيفية تمثيل كلمة في نظام التّرميز آسكي ASCII

Word Representation in ASCII Code

فى علوم الحاسب العلم الذى يختص بدراسة أصوات الكلام هو Speech Processing والعلم الذى يختص بدراسة شكل الحرف ورسمه هو Typography، أما ترتيب الحرف فالمفهوم داخل الحاسب يختلف على ما هو عليه فى اللغات الطبيعية والمجال الذى يختص بدراسته هو علم ترميز(تشفير) الحروف في الحاسب Character encoding.

يعتبر مجال Character encoding من أهم مجالات الحاسب التى لا يهتم بها الكثيرون، فبسببه أمكن رسم الحروف وطباعتهم والتعامل معهم، وقد مر هذا المجال بالعديد من المراحل إلى أن وصل لمرحلة الإستقرار التى نشهدها حاليا.

سنشرح مثال فقط عن كيفية تمثيل كلمة باستخدام نظام الترميز آسكي ASCII.

مثال 1:

لمعرفة كيفية ترميز كلمة GOD في نظام الترّميز آسكي ASCII نجد أن:

- الحرف G رقمه $(71)_{10}$ أي في النظام الثنائي $(1000111)_2$ وبما أن نظام الترّميز يعتمد ثماني خانات نضيف صفراً من جهة اليسار فنحصل على الترّميز: (1000111).
- الحرف O رقمه $(111)_{10}$ أي في النظام الثنائي $(1101111)_2$، نضيف صفراً من جهة اليسار فنحصل على الترّميز: (01101111).
- الحرف D رقمه $(100)_{10}$ أي في النظام الثنائي $(1100100)_2$، نضيف صفراً من جهة اليسار فنحصل على الترّميز: (01100100).
- وبالتالي فالكلمة بالكامل في النظام الثنائي وفق ترميز آسكي ASCII تتمثل كما يلي:

01100100   01000111 1101111

مثال 2:

وجدنا أن كلمة GOD تتمثل في النظام الثنائي وفق ترميز ASCII كما يلي:

01100100   01000111 1101111

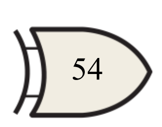
معنى ذلك إذا فحصنا خانات القرص الصلب الذي سجلت عليه هذه الكلمة فسنجد على التتالي ما يلي:

- خانة خالية من الشحنة ثم خانتين ممغنطتين ثم خانتين خاليتين من الشحنة ثم خانة ممغنطة ثم خانتين خاليتين (انتهى الحرف الثالث = نهاية البايت الحاوي له).
- خانة خالية من الشحنة ثم خانة ممغنطة ثم ثلاث خانات خالية من الشحنة ثم ثلاث خانات ممغنطة (انتهى الحرف الثاني = نهاية البايت الحاوي له).
- خانتين ممغنطتين ثم خانة خالية من الشحنة ثم أربع خانات ممغنطة (انتهى الحرف الأول = نهاية البايت الحاوي له).

مثال 3:

على غرار ما سبق يتم تمثيل الرقم 21 مثلاً في حالة كتابته في محرر النصوص (أما في حالة معاملته كرقم فتختلف طريقة ترميزه) وعند ترميز الرقم 21 كنص يكتب كما يلي:

- رمز الرقم واحد يقابله العدد $(49)_{10}$ والذي يعبر عنه في الثنائي بالعدد $(110001)_2$



ولإتمام الخانات الثمانية نضيف صفرين إلى اليسار فنحصل على: (00110001)

- رمز الرقم اثنين يقابله العدد $(50)_{10}$ والذي يعبر عنه في الثنائي بالعدد $(110010)_2$
  ولإتمام الخانات الثمانية نضيف صفرين إلى اليسار فنحصل على: (00110010)
- وبالإجمال يكون ترميز الرقمي 21 (كنص) كما يلي:

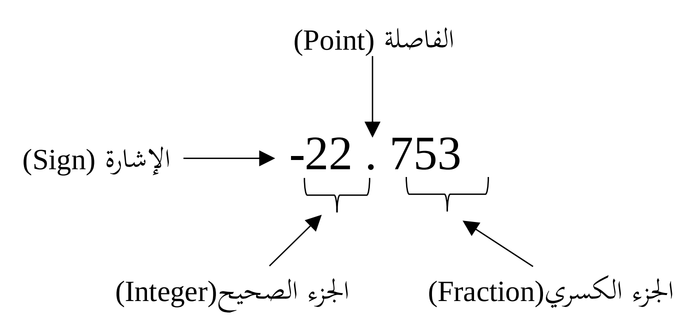
00110010 00110001

وتسلسل مغنطة الخانات يقرأ على غرار ما شاهدنا في الحالة السابقة.

9–5 تمثيل الأعداد الحقيقية Real Numbers Representation

العدد الحقيقي (Real Number) هو العدد الذي يكون محتوياً على كسر (Fraction)، مثل 22.753- أو 0.1 أو 2.4444. يتكون العدد الحقيقي من جزئين: عدد صحيح (Integer) وكسر (Fraction)، تفصل بينهما الفاصلة (Point)، والتي يطلق عليها في النظام العشري الفاصلة العشرية (Decimal Point)، وللعدد الحقيقي إشارة (Sign).

الشكل (2–2) يوضح أجزاء العدد الحقيقي:



الشكل (2–2) أجزاء العدد الحقيقي

لتمثيله يتم الانطلاق ببساطة من كون أي جزء كسري هو عبارة عن عدد صحيح مضروب بقوى أساس النظام، وبالتالي يؤخذ العدد الصحيح وتزاح الفاصلة فيه عبر الضرب بالعدد عشرة مرفوعا للقوة نفسها، ولهذا السبب نجد أن العدد الحقيقي يحتاج لحجم تخزيني أكبر بكثير من العدد الصحيح.

5–10 تمثيل الأعدد الصحيحة Integers Representation

للتعامل مع الأعداد تعتمد منهجية أخرى، حيث يتم تمثيل العدد حسب نوعه وحجمه، ولذلك تجد في لغات البرمجة أن العدد يقسم إلى أصناف متعددة جدًا منها:

العدد من النوع بايت (byte): وهو العدد الذي يمكن تمثيله في المجال 0 – 255، وهذا العدد يمكن الحصول عليه مباشرة من تحويل العدد الثنائي إلى عدد عشري، ونحتاج من أجل تمثيله إلى بايت واحد، أي إلى سلسلة مؤلفة من ثماني خانات ثنائية.

العدد من النوع وورد (word): وهو ينحصر في المجال 0 – 65535، ومن الواضح أنه يحتاج إلى سلسلتين من الخلايا الثنائية كل منها بطول ثماني خانات، وبالتالي يمكننا تمثيل مجموعة من الأعداد الطبيعية عددها $65535 = 2^{16}$ عدد، وهو نفس العدد المعرف (word).

5–10–1 أنواع الأعداد الصحيحة Integer Types

تنقسم الأعداد الصحيحة إلى عدة أنواع حسب المساحة المستخدمة في تخزين الأعداد:

1- عدد صحيح قصير (short Integer) وطوله 1 Byte = 8 bits
2- عدد صحيح (Integer) وطوله 2 Byte = 16 bits
3- عدد صحيح طويل (Long Integer) وطوله 4 Byte = 32 bits

من ناحية أخرى تنقسم الأعداد الصحيحة حسب طبيعة الأعداد التي يتم تخزينها فيها إلى نوعين وهما:

1- الأعداد الصحيحة بدون إشارة (Unsigned Integers) وفيها يتم تخزين الأعداد الموجبة فقط.
2- الأعداد الصحيحة بإشارة (Signed Integers) وفيها يتم تخزين الأعداد الموجبة والسالبة.

5–10–1–1 الأعداد الصحيحة بدون إشارة Unsigned Numbers

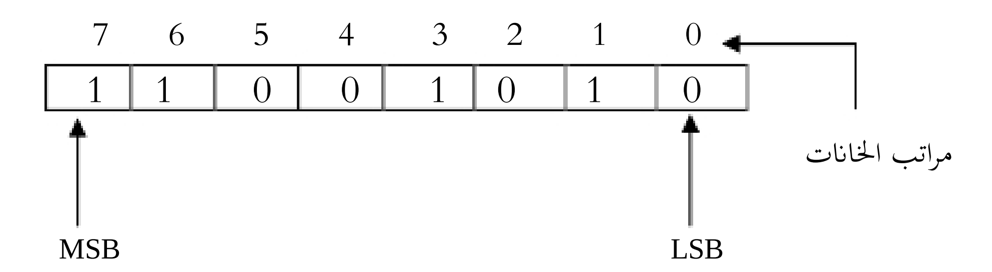
لتمثيل العدد الصحيح يجب تحويله بداية من الشكل العشري (Decimal) إلى الشكل الثنائي (Binary)، ويتم ذلك بتقسيمه على أساس النظام الثنائي أي الرقم 2 والاحتفاظ بباقي القسمة، وكمثال العدد العشري 121 يكافئ العدد الثنائي 1111001 ويكتب ذلك رياضياً كما يلي:

$$(121)_{10}=(1111001)_2$$

ويمكن التحقق من ذلك بأن نقوم بالعملية العكسية، أي تحويل العدد الثنائي 1111001 إلى الشكل العشري.

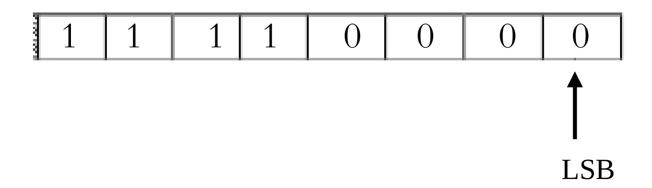
تسمى الخانة الواقعة في أقصى اليمين في العدد الثنائي بالخانة الدنيا أو الأقل أهمية (Least Significant Bit)، واختصاراً LSB، وذلك لأنها الخانة الأقل وزناً. في حين تسمى الخانة الواقعة في أقصى اليسار بالخانة العليا أو الأكثر أهمية (Most Significant Bit)، واختصاراً نكتب MSB، وذلك لأنها الخانة الأعلى وزناً.

تذكر أن وزن الخانة هو عبارة عن الأساس 2 مرفوع لأس يساوي رتبة الخانة، ونحصل على رتب الخانات بترقيم الخانات ابتداءً من الخانة التي تقع في أقصى اليمين، مبتدئين بالقيمة صفر.

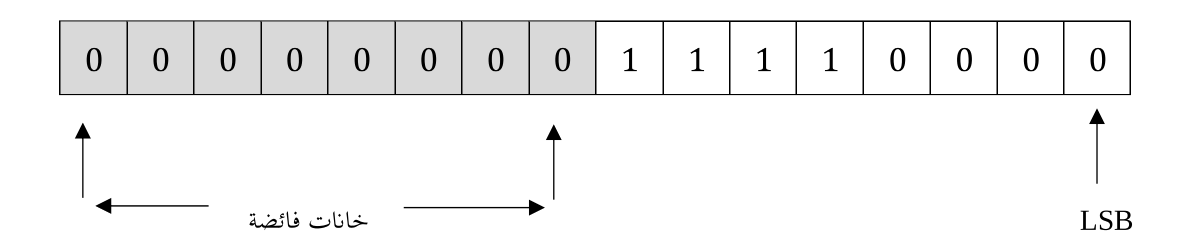


بعد تحويل العدد إلي الشكل الثنائي ننظر إلى المساحة المتاحة لتخزين العدد، ونقوم بوضع الخانات بالترتيب فيها مبتدئين بالخانة الدنيا (LSB)، مع ملء أي خانات فائضة إلى اليسار بأصفار(0"s).

مثلاً إذا كانت المساحة المتاحة 1 Byte = 8 bits فإن التخزين سيتم كالتالي:

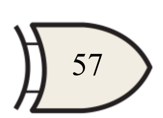


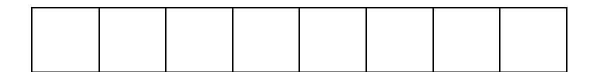
إذا كانت المساحة المتاحة 2 Bytes = 16 bits فإن التخزين سيتم كالتالي:



أي انه إذا كان طول العدد الثنائي أقل من المساحة المتاحة يتم محاذاته إلى اليمين ثم تملأ الخانات الزائدة إلى اليسار بأصفار (0"s). تسمى هذه العملية بالمحاذاة إلى اليمين مع الملء بأصفار (Right Justify- Zero Fill).

يمكن حساب مدى القيم التي يمكن تخزينها في صورة عدد صحيح قصير(Short Integer) كالتالي:





المساحة المتاحة هي: 1 Byte = 8 bits أي 8 خانات ثنائية نحصل علي أصغر قيمة بملء جميع الخانات بـ 0"s

0	0	0	0	0	0	0	0

= 0

و نحصل علي أكبر قيمة بملء جميع الخانات بـ 1"s

1	1	1	1	1	1	1	1

= 255

وعليه فإن مدى القيم التي يمكن تمثيلها فى صورة عدد صحيح قصير(short Integer) هو

$0 \sim (2^8 - 1)$ أو $255 \sim 0$

وبالمثل يمكن اثبات أن مدى القيم التي يمكن تمثيلها فى صورة عدد صحيح (Integer) هو $0 \sim (2^{16} - 1)$

وعموماً إذا كان عدد الخانات المتاحة هو N فإن المدى هو $0 \sim (2^N - 1)$

الجدول (2-6) التالي يوضح أنواع الأعداد الصحيحة وطول كل منها ومدى القيم الذي يمكن تخزينه في كل نوع

نوع العدد الصحيح	طوله	مدى القيم
Short Integer	1 Byte = 8 bits	0 ~ 255 $0 \sim (2^8-1)$
Integer	2 Bytes = 16 bits	0 ~ 65,535 $0 \sim (2^{16}-1)$
Long Integer	4 Bytes = 32 bits	0 $0 \sim (2^{32}-1)$ ~4,294,967,295
------	N	$0 \sim (2^N-1)$

الجدول (2-6) أنواع الأعداد الصحيحة ومدى القيم لكل منها

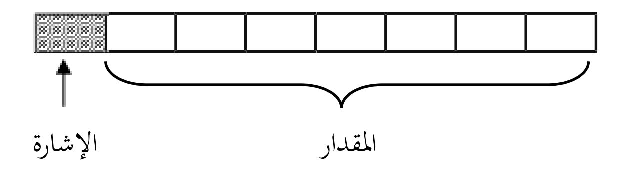
تسمى الأعداد الصحيحة التي تعاملنا معها في ما سبق بالأعداد الصحيحة بدون إشارة (Unsigned Integers)

2-1-10-5 الأعداد الصحيحة ذات الإشارة Signed Integers

تناولنا في الجزء السابق طريقة تمثيل الأعداد الصحيحة بدون إشارة (Unsigned Integers)، والتي يتم تخزين قيم موجبة فقط بها، وبالتالي فإن أصغر قيمة يمكن تخزينها فيها هي الصفر 0.

والسؤال الآن هو كيف يتم تمثيل الأعداد السالبة في الحاسب؟

لتمثيل الأعداد السالبة يتم حجز خانة bit لتمثيل إشارة العدد sign، وعادة ما تكون هذه الخانة هي الخانة العليا MSB، ويتم تخزين مقدار العدد Magnitude في بقية الخانات.



وعادة ما تستخدم القيمة 0 في الخانة العليا MSB لتمثيل الإشارة الموجبة، في حين تستخدم القيمة 1 لتمثيل الإشارة السالبة. فلمعرفة إشارة العدد ننظر إلى الخانة العليا MSB فإذا كان:

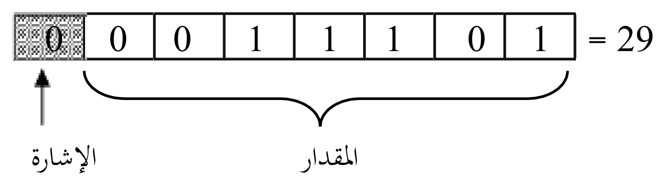
MSB = 0 فالعدد موجب

MSB = 1 فالعدد سالب

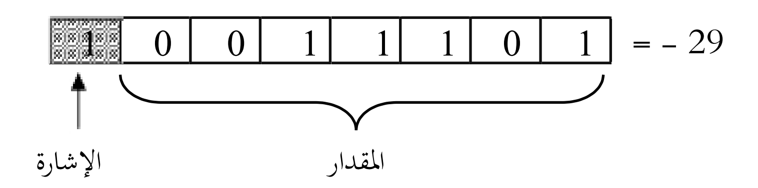
مثلاً إذا أردنا تمثيل القيمة 29 + في صورة عدد صحيح بإشارة في مساحة تبلغ 1 Byte = 8 bits فإننا نتجاهل إشارة القيمة مؤقتاً ونقوم بتحويل المقدار من الصورة العشرية إلى الصورة الثنائية.

$$29 = (11101)_2$$

المساحة المتاحة تبلغ ثمان 8 خانات، نستبعد منها الخانة العليا MSB لتمثيل الإشارة، فيتبقى سبع 7 خانات لتمثيل المقدار، يتم تخزين مقدار العدد الصحيح ذو الإشارة في المساحة المتاحة له بنفس طريقة تخزين الأعداد الصحيحة بدون إشارة (Unsigned Integers). وأخيرًا نضع 0 في خانة الإشارة لأن القيمة موجبة.



وتمثيل القيمة - 29 يتم بنفس الطريقة ولكن مع وضع 1 في خانة الإشارة لأن القيمة سالبة.



يسمى هذا الأسلوب في تمثيل الأعداد الصحيحة ذات الإشارة بطريقة (المقدار-الإشارة) ،(Sign-Magnitude)، حيث تم الفصل بصورة كاملة ما بين إشارة القيمة و مقدارها.

هذا الأسلوب في تمثيل الأعداد الصحيحة ذات الإشارة به مشكلة خطيرة تتمثل في أن القيمة صفر لها شكلين

0	0	0	0	0	0	0	0	= + 0 صفر موجب

1	0	0	0	0	0	0	0	= - 0 صفر سالب

ووجود شكلين للصفر يعتبر مشكلة لأن عملية فحص قيمة معينة لمعرفة ما إذا كانت مساوية للصفر أم لا هي من أكثر العمليات التي يتم إجراؤها داخل الأنظمة الرقمية، ووجود شكلين للصفر يعنى أن هذه العملية يجب إجراؤها مرتين، مما يقلل كثيرًا من كفاءة النظام الرقمي.

حلاً لهذه المشكلة يستخدم أسلوب المتمم الثنائي (2's Complement) لتمثيل الأعداد الصحيحة ذات الإشارة.

مثلاً إذا أردنا تمثيل القيمة 29 + في صورة عدد صحيح بإشارة في مساحة تبلغ Byte = 8 bits

فإننا نتجاهل إشارة القيمة مؤقتاً و نقوم بتحويل المقدار من الصورة العشرية إلى الصورة الثنائية

$$29 = (11101)_2$$

المساحة المتاحة تبلغ ثمان 8 خانات، لذلك نقوم بإكمال طول العدد الثنائي إلى ثمان 8 خانات وذلك بإضافة أصفار (0"s) إلى يسار العدد.

$$(11101)_2 = (00011101)_2$$

و أخيرًا نقوم بوضع العدد الثنائي في المساحة المتاحة له

0	0	0	1	1	1	0	1	= + 29

أما لتمثيل القيمة 29 - فإننا نبدأ بنفس خطوات تمثيل القيمة 29 + ، حيث نتجاهل إشارة القيمة مؤقتاً ونقوم بتحويل المقدار من الصورة العشرية إلى الصورة الثنائية، ثم نقوم بإكمال طول العدد الثنائي إلى 8 خانات وذلك بإضافة أصفار (0''s) إلى يسار العدد.

$$29 = (11101)_2 = (00011101)_2$$

و بما أن القيمة المطلوب تمثيلها سالبة فإننا نحتاج إلى إيجاد المتمم الثنائي (2's Complement) للعدد الثنائي الناتج، حيث أن المتمم الثنائي لعدد ثنائي هنا يمثل القيمة السالبة للعدد.

إيجاد المتمم الثاني لعدد ثنائي يتم في خطوتين كما أسلفنا سابقا في هذا الفصل، الخطوة الأولى هي إيجاد المتمم الأحادي (1's Complement)، وذلك بعكس جميع خانات العدد الثنائي، أي تحويل أي صفر 0 إلى واحد 1 وتحويل أي واحد 1 إلى صفر 0 الخطوة الثانية هي إضافة واحد 1 للمتمم الأحادي لنحصل على المتمم الثنائي.

العدد	00011101
المتمم الأحادي	11100010
	1 +
المتمم الثنائي	11100011

أخيرًا نقوم بوضع العدد الثنائي الناتج في المساحة المتاحة له.

1	1	1	0	0	0	1	1	=	- 29

يمكن أن نلاحظ الآتي:

- الخانة العليا MSB هما مازالت تمثل إشارة العدد، فـالخانة MSB=0 للقيمة الموجبة +29 و والخانة MSB=1 للقيمة السالبة -29.
- المتمم الثنائي (2's Complement) لعدد ثنائي يمثل سالب ذلك العدد.
- لا يوجد فصل ما بين مقدار العدد (Magnitude) وإشارته (Sign)، حيث أن جميع الخانات بما في ذلك خانة الإشارة تدخل في حساب مقدار العدد.

2-10-5 إيجاد مقدار العدد السالب Find the Magnitude of Negative Number

المطلوب مثلاً إيجاد القيمة العشرية للعدد الثنائي 11100011 إذا كان يمثل عدداً صحيحاً قصيرًا بإشارة.

نبدأ بتحديد إشارة العدد وذلك بالنظر للخانة العليا MSB، في هذه الحالة نجد أن الخانة العليا MSB=1 مما يعني أن العدد سالب، لإيجاد مقدار عدد سالب نقوم بإيجاد المتمم الثنائي له، لأن سالب العدد السالب عبارة عن عدد موجب كما نعلم.

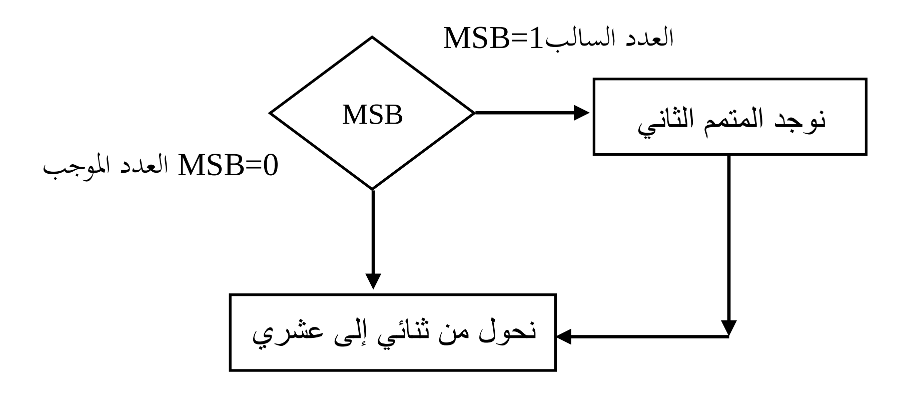
العدد	11100011
المتمم الأحادي	00011100
	+ 1
المتمم الثنائي	00011101

أخيرًا نقوم بتحويل المقدار من الشكل الثنائي للشكل العشري.

$$(0011101)_2 = (11101)_2 = 29$$

إذاً العدد هو 29 –

وعموماً لإيجاد قيمة عدد صحيح بإشارة يمكن استخدام المخطط في الشكل (2-8) التالي:



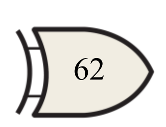
الشكل (2-8) مخطط يوضح طريقة إيجاد قيمة عدد صحيح بإشارة

مثال:

وضح طريقة تمثيل القيمة 12- في صورة:

1- عدد صحيح قصير بإشارة (Signed Short Integer)

2- عدد صحيح بإشارة (Signed Integer)



الحل:

نقوم أولاً بتحويل المقدار إلى الصورة الثنائية $12 = (1100)_2$

أ- عدد صحيح قصير بإشارة:

نكمل طول العدد إلى 8 خانات ثم نقوم بإيجاد المتمم الثنائي له

العدد	00001100
المتمم الأحادي	11110011
	+ 1
المتمم الثنائي	11110100

أي أن $-12 = (1110100)_2$

ب- عدد صحيح بإشارة:

نكمل طول العدد إلى 16 خانات ثم نقوم بإيجاد المتمم الثنائي له

العدد	0000000000001100
المتمم الأحادي	1111111111110011
	+ 1
المتمم الثنائي	1111111111110100

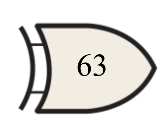
أي أن $-12 = (1111111111110011)_2$

في المثال السابق قمنا في (أ) بتمثيل العدد الصحيح ذو الإشارة - 12 في 8 خانات ثم قمنا في (ب) بزيادة طول العدد إلى 16 خانة.

1	1	1	1	0	1	0	0

1	1	1	1	1	1	1	1	1	1	1	1	0	1	0	0

لاحظ أننا قد قمنا بملء الخانات الفائضة إلى اليسار بـ 1's



وبالمقارنة إذا أردنا تمثيل القيمة الموجبة + 12 في 8 خانات ثم في 16 خانة

0	0	0	0	1	1	0	0

0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0

لاحظ أننا قد قمنا بملء الخانات الفائضة إلى اليسار بـ 0 's

يمكن بصورة عامة القول أنه عند زيادة طول العدد الصحيح ذو الإشارة فإننا نقوم بملء الخانات الفائضة إلى اليسار بإشارة العدد و تسمى هذه العملية **بتمديد الإشارة** (Sign Extension).

مثال:

أوجد القيمة العشرية للعد الثنائي 11110101 وذلك إذا كان يمثل:

1- عدد صحيح قصير بدون إشارة (Unsigned Short Integer).

2- عدد صحيح قصير بإشارة (Signed Short Integer).

الحل:

1) العدد بدون إشارة (Unsigned)، وبالتالي فإن كل الخانات تمثل مقدار العدد، وما علينا إلا التحويل من الشكل الثنائي إلى الشكل العشري

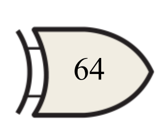
$$(11110101)_2 = 2^7 + 2^6 + 2^5 + 2^4 + 2^2 + 2^0 = 128 + 64 + 32 + 16 + 4 + 1 = 245$$

2) العدد بإشارة (Signed) و عليه ننظر للخانة العليا MSB لتحديد إشارته، MSB=1 مما يعني أن العدد سالب. لحساب المقدار نقوم بإيجاد المتمم الثنائي

العدد	11110101
المتمم الأحادي	00001010
	1 +
المتمم الثنائي	00001011

ثم نحول المقدار للصورة العشرية $(00001011)_2 = (1011)_2 = 2^3 + 2^1 + 2^0 = 11$

أي أن القيمة هي 11-



3-10-5 مدى القيم التي يمكن تخزينها في مساحة معينة في صورة عدد صحيح بإشارة

Range of Values That Can Be Stored in Signed Integers Format

لتوضيح الأمر نبدأ بالمثال التالي.

مثال :حدد جميع الأعداد الصحيحة ذات الإشارة (Signed Integers) التى يمكن تمثيلها فى مساحة قدرها 4 خانات.

الجدول (2-7) يظهر ذلك.

القيمة العشرية (Decimal)	قيم سالبة (MSB=1)	القيمة العشرية (Decimal)	قيم موجبة (MSB=0)
-8	1000	+0	0000
-7	1001	+1	0001
-6	1010	+2	0010
-5	1011	+3	0011
-4	1100	+4	0100
-3	1101	+5	0101
-2	1110	+6	0110
-1	1111	+7	0111

الجدول (2-7) الأعداد الصحيحة ذات الإشارة (Signed Integers) التى يمكن تمثيلها فى مساحة قدرها 4 خانات

و عليه فإن مدى القيم التي يمكن تمثيلها في صورة عدد صحيح بإشارة (Signed Integer) طوله 4 خانات هو

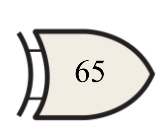
$$-8 \sim +7$$

$$-2^{3} \sim +2^{3} -1$$

$$-2^{4-1} \sim +2^{4-1} -1$$

و بصورة عامة فإن مدى الأعداد الصحيحة ذات الإشارة (Signed Integers) التى يمكن تمثيلها فى مساحة تبلغ N خانة هو

$$-2^{N-1} \sim +2^{N-1} -1$$



وكملخص لما سبق فإن الأعداد الصحيحة (Integers) تنقسم من حيث الإشارة إلى نوعين :

- بإشارة (Signed)
- بدون إشارة (Unsigned)

كما تنقسم الأعداد الصحيحة (سواء كانت بإشارة أو بدون إشارة)، من حيث الطول، إلى ثلاثة أنواع

- صحيح قصير Short
- صحيح عادي Integer
- صحيح طويل Long

ملاحظة:

عادة لا تذكر كلمة Signed صراحة في لغات البرمجة و إنما تفهم ضمناً، فمثلاً Integer تعني Signed Integer و Short Integer تعني Signed Short Integer، أما الكلمة Unsigned فيجب أن تذكر صراحة.

مما سبق يتضح لنا أن الأعداد الصحيحة يتم تمثيلها دون أي خطأ، أي بالدقة الكاملة، طالما أن عدد الخانات المتاحة يكفي لتمثيل القيمة، المشكلة الوحيدة التي يمكن أن تظهر في تمثيل الأعداد الصحيحة هي أن تكون القيمة المطلوب تخزينها خارج المدى المحدد للمساحة المتاحة، عند ذلك يحدث ما يسمى الفيض الحسابي Mathematical Over Flow.

تدريبات

1- ما هو نظام الترميز؟

2- ما هو نظام الترميز الموحد Unicode. نظام التّرميز المعياري آسكي ASCII ؟

3- ما هي القواعد الرئيسية عند القيام بعملية التّرميز، أهداف التّرميز؟

4- ما هي خانة التحقق (Parity bit).

5- قارن بين الشفرات EBCDIC, ASCII, and Unicode.

6- اشرح عملية التحقق الفردي (Odd Parity).

7- ما هو نظام الترميز الثنائي Binary Code System ؟

8- قارن بين الشفرات EBCDIC, ASCII, and Unicode.

9- بماذا تمتاز الشفرة الرمادية الشفرة الرمادية Gray Code.

10- ما هي الشفرة العشرية المشفرة ثنائياً BCD.

11- وضح ما يحدث إذا أردنا أن نقوم بتخزين القيمة العشرية 150 في صورة

1- عدد صحيح قصير بدون بإشارة (Unsigned Short Integer)

2- عدد صحيح قصير بإشارة (Signed Short Integer)

12- حول الأعداد العشرية التالية إلى الصورة الثنائية:

(1) 32 (2) 150 (3) 96 (4) 255

13- حول الأعداد الثنائية التالية إلى الصورة العشرية:

(1)011010101 (2) 111000111

(3) 101110110 (4) 11100011

14- قارن بين عملية تمديد العدد، أي زيادة طوله، في كل من الأعداد الصحيحة بدون إشارة، والأعداد الصحيحة ذات الإشارة.

15- أوجد القيمة العشرية لكل من الأعداد الثنائية التالية إذا كان كل منها يمثل عدد قصير بإشارة (Signed Short)

(1) 101010111000 (2) 11110000

(3) 111000111000 (4) 0011001100

طالما أن مدى القيم التي يمكن تخزينها في الأعداد الصحيحة يزداد كلما ازداد طول العدد فلماذا تم استخدام أطوال مختلفة للأعدّاد (حيث استخدمت الأطوال 8 و 16 و 32 خانة)؟

17- وضح طريقة تمثيل كل من القيم التالية في صورة عدد صحيح قصير بإشارة (Signed Short Integer)

(1) 16 + و 16- (2) 64 + و 65- (3) 1 + و 1-

(4) 222 + و 222- (5) 10 + و 10- (6) 7 + و7-

Key Terms and Abbreviations المصطلحات والعبارات الرئيسة واختصاراتها

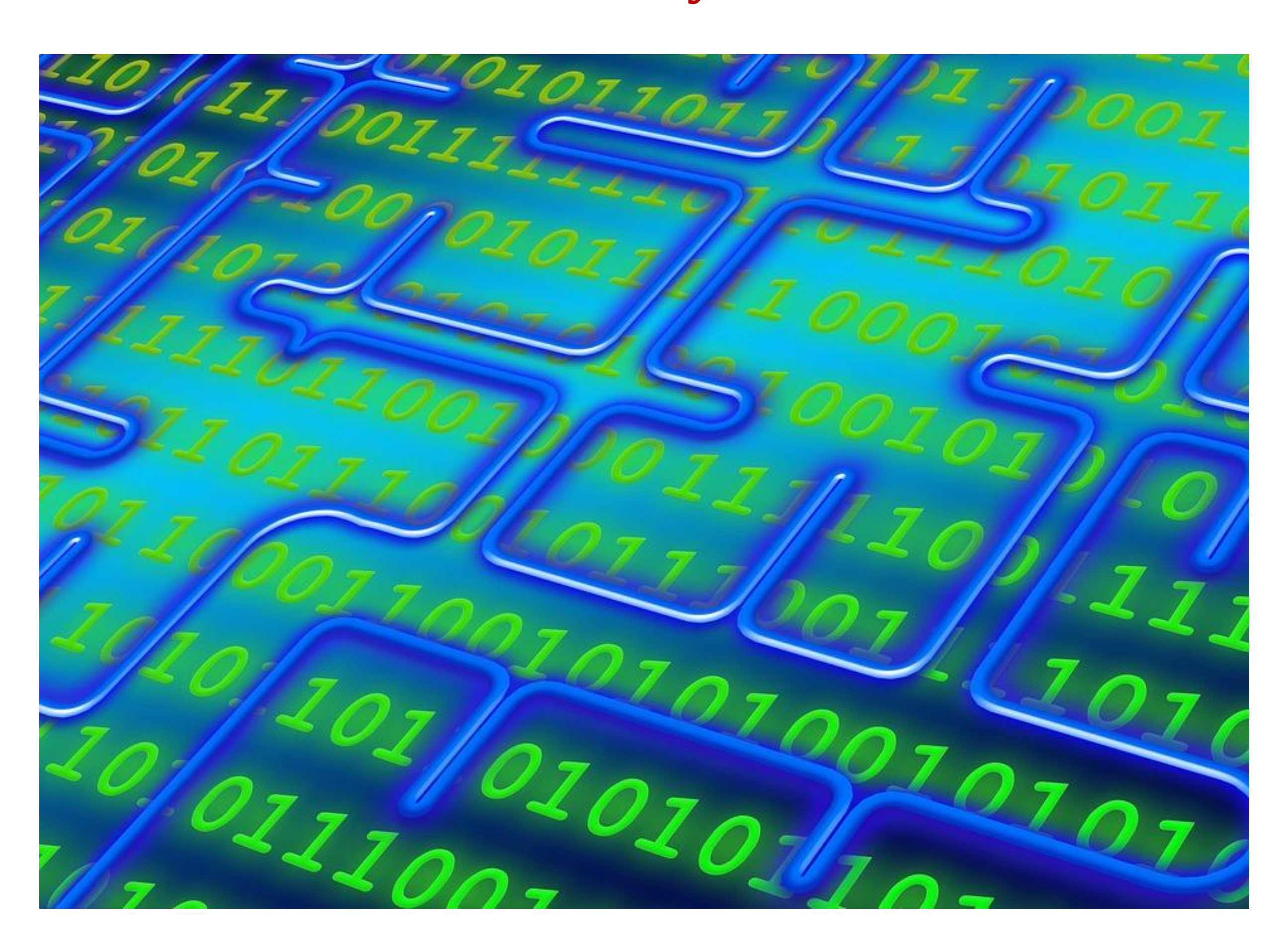
المصطلح أوالعبارة	الترجمة	الصفحة	المصطلح أو العبارة	الترجمة	الصفحة
أنظمة المعلومات الرقمية	Digital Systems	41	شفرة أسكي (الشفرة الأمريكية القياسية لتبادل المعلومات)	ASCII (American Standard Code for Information Interchange)	48
البيانات الالكترونية	Electronic Data	41	عملية التحقق	Parity Check	49
التعليمات الالكترونية	Data Instructions	41	التحقق الفردي	Odd Parity	49
نظام الترميز	Coding System	42	التحقق الزوجي	Even Parity	49
التمثيل الرقمي للبيانات	Digital Data Representation	42	خانة التحقق	Parity Bit	49
علم الترميز	Cryptography	43	الترميز الموحد أو شفرة يونيكود	Unicode	49
نظام الترميز الثّنائي	Binary Code System	44	رقم مرمز فريد	Code Point	50
نظام العد الثّنائي	Binary Number System	44	الحاسب المركزي الكبير	Main Frames	50
نظام العد الست عشري	Hexa Decimal System	44	الشفرة العشرية المشفرة ثنائياً	Binary Coded Decimal (BCD)	50
النظام العشري	Decimal System	45	الشفرة الرمادية	Gray Code	51
لغة الآلة	Machine Language	45	الشفرة المعكوسة	Reflected Code	51
لغة عمل الحاسب الثنائية	Binary Computer Working Language	45	الشفرة العشرية الموسعة المشفرة ثنائياً لتبادل المعلومات	Extended Binary Coded Decimal Information Code (EBCDIC)	51
الدّوائر الإلكترونيّة الرّقميّة	Digital Electronic Circuits	45	نظام أزمو، المنظمة العربية للمواصفات والمقاييس	Arab organization for standardization and metrology (Asmo)	52
الشفرات القياسية	Standard Codes	48	الأحرف الكبيرة	Capital Letters	52

56	Word	العدد من النوع وورد	52	Small Letters	الأحرف الصغيرة
56	Short Integer	عدد صحيح قصير	52	Punctuation Marks	علامات الترقيم
56	Long Integer	عدد صحيح طويل	53	Character Encoding Standards	معايير ترميز الحروف
56	Unsigned Integers	الأعداد الصحيحة بدون إشارة	53	Speech Processing	علم أصوات الكلام
56	Signed Integers	الأعداد الصحيحة بإشارة	53	Typography	علم شكل الحرف ورسمه
57	Most Significant Bit (MSB)	الخانة الأكثر أهمية	53	Character encoding	علم ترميز(تشفير) الحروف في الحاسب
57	Least Significant Bit (LSB)	الخانة الأقل أهمية	55	Real Numbers	الأعداد الحقيقية
57	Right Justify-Zero Fill	المحاذاة إلى اليمين مع الملء بأصفار	55	Fraction	الجزء الكسري
59	Magnitude	مقدار العدد	55	Integer	العدد الصحيح
60	2's Complement	المتمم الثنائي	55	Decimal Point	الفاصلة العشرية
61	1's Complement	المتمم الأحادي	55	Sign	الاشارة
64	Sign Extension	تمديد الإشارة	56	Integers	الأعداد الصحيحة
66	Mathematical Over Flow	خطأ الفيض الحسابي	56	Byte	العدد من النوع بايت

الفصل الثالث 3

الأنظمة العددية

Number Systems



الأهداف العامة للفصل Chapter Objectives

عندما تكمل هذا الفصل سوف تكتسب مجموعة من الخبرات والمعارف وينبغي أن تكون قادراً على:

- معرفة كيف تمثل الأعداد وما هي أهم الأنظمة العددية الموجودة.
- التحويل بين النظام الثنائي والنظام العشري.
- إجراء العمليات الحسابية في النظام الثنائي.
- التحويل بين النظام الثماني والنظام العشري.
- إجراء العمليات الحسابية في النظام الثماني.
- التحويل بين النظام الست عشري والنظام العشري.
- إجراء العمليات الحسابية في النظام الست عشري.
- التحويل بين النظام الثنائي والنظام الثماني والست عشري.
- التعرف على تمثيل الأعداد بواسطة الفاصلة العائمة وأنواع الدقة الموجودة.
- التعرف على الأرقام الثنائية المؤشرة وعمليتي الجمع والطرح عليها.

1- مقدمة Introduction

إن من أفضل الطرق لفهم شيء جديد مقارنته بشيء معروف لدينا وبالتالي تظهر لنا الاختلافات، في هذا الفصل سوف نتناول بالدراسة نظام الأعداد الثنائية Binary Number System، والذي يعتبر من أهم النظم المستخدمة في الدوائر الالكترونية الرقمية Digital Electronic Circuits، ولكي نتمكن في فهم هذا النظام العددي الجديد، سوف نقوم بمقارنته بالنظام العشري للأعدّاد Decimal Number System، المألوف لدينا، وبالاضافة إلى النظام الثنائي للأعدّاد هناك نظامان عدديان آخران يستخدمان بكثرة في الالكترونيات الرقمية، وهما النظام الثماني للأعدّاد Octal Number System، والنظام الست عشري Hexadecimal Numbering System، سنقوم بالتعرف عليهما في هذا الفصل.

تستخدم الأعداد الثنائية على نطاق واسع في الالكترونيات الرقمية والحاسبات كما تستخدم نظم الأعداد الثمانية والست عشرية في تمثيل مجموعات الأرقام الثنائية، ويمكننا استخدام كل النظم العددية المذكورة سابقاً في الحاسبات، وكلها تعتمد على قيم وأماكن الخانات في الأعداد، وعند دراستنا لأي نظام عددي سنتناول فيه دراسة الخواص التالية:

1. أساس النظام.
2. الرموز المستخدمة.
3. التحويل من النظام العشري لهذا النظام والعكس.
4. التحويل من هذا النظام إلى بقية الأنظمة.
5. العمليات الحسابية الأربعة الخاصة بهذا النظام.

2- الأنظمة العددية Number System

2-1 العدد والرقم Number - Digit

قبل أن نتناول دراسة نظم الأعداد يجب أن نفرق بين مصطلحين هامين هما الرقم Digit والعدد Number، فالرقم هو قيمة رمز Symbol واحد من الرموز الأساسية للأعدّاد والذي يحتل خانة واحدة، فالأرقام (0,1,2,3,4,5,6,7,8,9) كل واحد منها يمثل رقم واحد في سلسلة العدد الواحد.

العدد في اللغة هو الكميّة، ويشير إلى تعدّاد بضعة أشياء أو مجموعها أو إلى مواقعها في قائمة مرتبّة، والألفاظ الدّالة على الكميّة بحسب الوضع تسمى أسماء العدد، أي العدد هو المقدار الذي يتكون من رقم واحد أو أكثر، أو أنه المقدار الذي يمثل خانة واحدة أو أكثر، فعلى سبيل المثال المقدار (14) يمثل عدداً وكذلك المقدار (123) يمثل عدداً، وفي المقدار الأول فإن العدد (14) يتكون من رقمين هما (1,4)، وفي المقدار الثاني فإن العدد (123) يتكون من ثلاثة أرقام هي (1,2,3)، ويمكن أن يكون (6) مثلاً عدد إذا كانت سلسلته تتكون من رقم واحد.

إذاً الأرقام هي أشكال تكتب فيها رموز الأعداد، وهي محدودة وعددها عشرة، من 1 حتى 9، أما الأعداد فلا ينتهي عدّها، فرمز العدد سبعة يتكون من رقم واحد هو 7، وعليه فالرّقم يشير إلى عدد من الأعداد.

2-2 تمثيل الأعداد Numbers Representation

تعريف قاعدة النظام العددي بشكل عام (أساس النظام System Base): هي العناصر التي يتم منها تشكيل أي عدد في النظام العددي المعني، وتساوي إلى أكبر رقم بين تلك العناصر مضافاً إليه واحد، ويسمى النظام بعدد الأرقام (العناصر) المستخدمة لتشكيل الأعداد فيه.

يمكن تمثيل أي عدد موجب N في أي نظام عددي باستخدام المعادلة التالية:

$$N = \sum_{i=-\infty}^{\infty} a_i r^i \qquad \text{(1) المعادلة}$$

حيث r تمثل أساس نظام العد (وهو عدد صحيح وأكبر من الواحد، مثلاً في النظام الثنائي r=2).

a أمثال العدد وتمثل الأعداد الصحيحة في كل خانة من خانات العدد (مثلاً a=1 أو a=0 في نظام العد الثنائي).

i تمثل خانة العدد، وعندما تكون موجبة تمثل الجزء الصحيح من العدد، وعندما تكون سالبة تمثل الجزء الكسري.

3-2 نظام العد العشري Decimal Number System

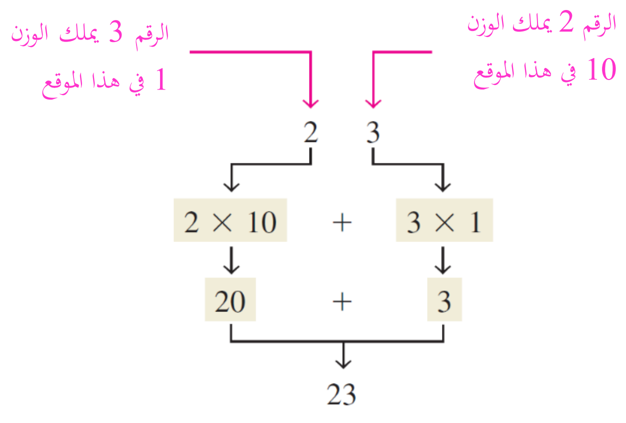
قاعدة النظام العشري هي (r=10) مؤلفة من الرموز (الأرقام Digits) 0,1,2,3,4,5,6,7,8,9 التي تستخدم لتمثيل الأعداد، وهو أقدم الأنظمة العددية وأكثرها استخداماً، ويعدو ذلك لامتلاك الانسان 10 أصابع.

كل رقم من الأرقام العشرة 0 ~9 يمكل قيمة معينة تمثل كمية محددة، وهذه الأرقام ليست محدودة بالتعبير فقط عن هذه القيم فقط، بل يمكن استعمال هذه الأرقام بمواقع مناسبة ضمن العدد للإشارة إلى مقدار الكمية التي نريدها، فإذا أردنا أن نعبر عن كمية أكبر من 9 فإننا نستعمل 2 أو أكثر من الأرقام، وموقع كل رقم ضمن العدد يخبرنا عن المقدار الذي تمثله، فإذا أردنا أن نعبر عن الكمية ثلاث وعشرون، نستعمل رقمين بمواقع محددة، فالرقم 2 يمثل الكمية عشرون، والرقم 3 يمثل الكمية ثلاثة كما في الشكل (3-1) الذي يوضح ذلك.

للنظام العشري خاصية مرتبة الرقم أو الوزن الموضعي Positional Weight، فعلى سبيل المثال العدد 128 نجد أن يتألف من الرقم الأول 8 يقع في المرتبة الأولى مرتبة خانة الآحاد، أي أن قيمته أو وزنه هو الثمانية، وتكون عبارة عن حاصل ضرب الرقم الذي يمثل هذه المرتبة في 1 (8×1=8)، أما الرقم الثاني فهو 2 فإنه يقع في المرتبة الثانية مرتبة العشرات وقيمته أو وزنه عبارة عن حاصل ضرب الرقم الذي يحتل هذه المرتبة في 10 (2×10=20)، أما الرقم الثالث 1 فإنه يقع في المرتبة الثالثة مرتبة المئات

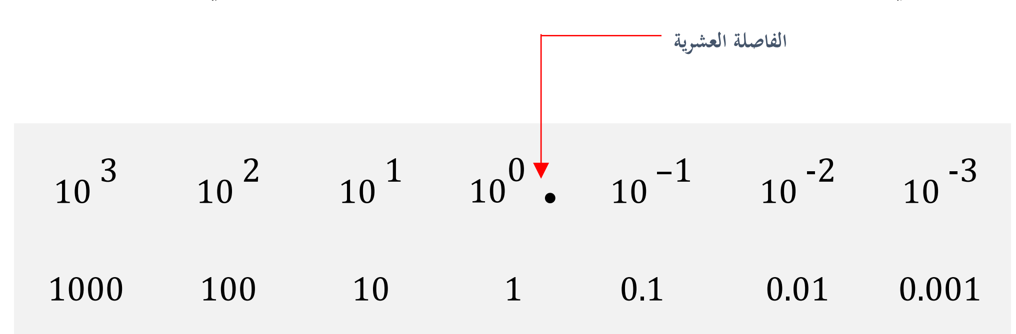
وقيمته أو وزنه عبارة عن حاصل ضرب الرقم الذي يحتل هذه الخانة في 100 (1×100=100)، فإذا جمعنا قيمة أو وزن كل خانة من الخانات السابقة نحصل على القيمة التي يمثلها العدد، أي أن:

$$(100\times1)+(10\times2)+(100\times1)=100+20+8=128$$



الشكل (3–1) التعبير عن الرقم 23 حسب الوزن

تمثّل الأعداد في النظام العشري بواسطة قوى الأساس 10، وهذه بدورها تسمى أوزان خانات العدد. فموقع كل رقم في العدد العشري يشير إلى مقدار الكمية التي يمثلها والتي يمكن أن تلحق بالوزن Weight، الأوزان Weights هي القوى الموجبة للعشرة التي تزداد من اليمين لليسار بدءا من $10^0=1$ للقسم الصحيح من العدد، وهي القوى السالبة للعشرة بالنسبة للقسم الكسري من العدد والتي تتناقص من اليسار إلى اليمين بدءاً من 10^{-1} ، وبالتالي أوزان النظام هي:



مثال

للتعبير عن العدد 4659.32 حسب المعادلة (1):

$$4\times10^3+\ 6\times10^2+5\times10^1+9\times10^0+\ 3\times10^{-1}+\ 2\times10^{-2}=$$

$$4\times1000+\ 6\times100+\ 5\times10+\ 9\times1+\ 3\times0.1+\ 2\times\ 0.01\ =$$

$$4000+\ 600\ +\ 50\ +\ 9\ +\ 0.3\ +\ 0.02=4659.32$$

2-4 نظام العد الثنائي Binary Number System

هو طريقة أخرى للتعبير عن الكميات، وهو أقل تعقيداً من النظام العشري، لأنه يتكون من رقمين فقط.

قاعدة النظام الثنائي هي (r=2) مؤلفة من العنصرين صفر وواحد {0،1}، وبالتالي فكل عدد ثنائي ينبغي أن يكون مكونا من هذين العنصرين عبر تتاليهم (مع إمكانية استخدام الإشارة الموجبة أو السالبة لأي عدد، كما في النظام العشري، لكن الإشارة ليست من قاعدة النظام العددي وإنما هي دلالة على الجهة). تسمى كل خانة ثنائية بالبت Bit. وأوزان النظام هي:

2^3	2^2	2^1	2^0 •	2^{-1}	2^{-2}	2^{-3}
8	4	2	1	0.5	0.25	0.125

مثال

العدد $11010.01_{(2)}$ يمثل عدداً في النظام الثنائي، يمكن التعبير عنه حسب مراتب كل رقم منه على الشكل التالي:

$$1x2^4 + 1x2^3 + 0x2^2 + 1x2^1 + 0x2^0 + 0x2^{-1} + 1x2^{-2} = 11010.01_{(2)}$$

2-5 تحويل الأعداد بين النظامين الثنائي والعشري

Numbers Conversion Between Binary and Decimal Systems

نظرًا للاعتياد على مفاهيم الأعداد العشرية بسبب الاستخدام المتكرر في الحياة العامة، فإننا سنحتاج عند التعامل مع أي نظام عددي إلى معرفة ما يعنيه ذلك العدد وفقا للمألوف في النظام العشري، علما أن الأعداد الثنائية هي أبسط بكثير من الأعداد العشرية، فالعدد الثنائي لا يتضمن سوى الصفر 0 أو الواحد 1.

فيما يأتي الجدول (3-1) يعرض مجموعة من الأعداد العشرية وما يكافئها بالقيمة في النظام الثنائي:

عشري	ثنائي	عشري	ثنائي	عشري	ثنائي	عشري	ثنائي
0	0	4	100	8	1000	12	1100
1	1	5	101	9	1001	13	1101
2	10	6	110	10	1010	14	1110
3	11	7	111	11	1011	15	1111

الجدول (3-1) الأعداد العشرية من 0~15 وما يكافئها في النظام الثنائي

بغية السهولة نجزء العدد إلى جزأين :القسم الصحيح والقسم الكسري، فنحصل على أربع حالات في تحويل العدد من النظام الثنائي إلى العشري وبالعكس، وسنسلك النهج نفسه في النظم العددية الأخرى.

2-5-1 تحويل عدد من نظام العد الثنائي إلى عدد بنظام العد العشري Binary to Decimal Conversion

لتحويل عدد ثنائي إلى عدد عشري، نقوم بنشر العدد باستخدام المعادلة (1) باعتبار الأساس الثنائي (r=2) على شكل كثير حدود لقوى خانات الأعداد a، i تمثل خانة العدد، فعندما تكون موجبة تمثل الجزء الصحيح من العدد، عندما i تكون سالبة تمثل الجزء الكسري من العدد. ويتم ذلك بأن نأخذ كل رقم من العدد الثنائي ونضربه بالعدد اثنين مرفوعا لقوة تساوي مرتبة الرقم مطروحا منها العدد واحد، ثم نجمع النواتج، فنحصل على العدد العشري المكافئ للعدد الثنائي.

يمكن أن نعرض فيما يأتي القاعدة العامة ونشتق منها لاحقا القواعد المختصة بكل نظام.

القاعدة العامة الأولى:

لتحويل العدد الصحيح في أي نظام عددي إلى النظام العشري، نأخذ كل رقم من العدد (مقيما بالنظام العشري) ونضربه بقاعدة النظام (مقيماً بالنظام العشري) مرفوعة لقوة تساوي مرتبة الرقم مطروحاً منها العدد واحد، ونجمع النواتج، فنحصل على العدد العشري الموافق.

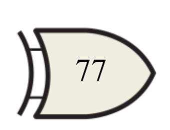
مثال

إن مكافئ العدد الثنائي $N=(1011)_2$ هو $(11)_{10}$ في النظام العشري، يمكننا حساب العدد العشري الذي يقابل العدد الثنائي 1011 وفق القاعدة العامة الأولى، حيث نجري العمليات التالية:

الرقم الأول بدء من اليمين هو الواحد، مرتبته هي الأولى، فقيمته العشرية هي	$1x2^{1-1} = 1x2^0 = 1x1=1$
الرقم الثاني بدء من اليمين هو الواحد، مرتبته هي الثانية، فقيمته العشرية هي	$1x2^{2-1} = 1x2^1 = 1x2=2$
الرقم الثالث بدء من اليمين هو الصفر، مرتبته هي الثالثة، فقيمته العشرية هي	$0x2^{3-1} = 0x2^2 = 0x4=0$
الرقم الرابع بدء من اليمين هو الواحد، مرتبته هي الرابعة، فقيمته العشرية هي	$1x2^{4-1} = 1x2^3 = 1x8=8$
نجمع النواتج فنحصل على الناتج التالي	8+0+2+1=11

ملاحظة 1:

المقصود بالرقم هو العدد المؤلف من مرتبة واحدة، وبالتالي فالرقم في النظام الثنائي سيكون إما صفراً 0 وإما واحداً 1.



ملاحظة 2:

يكون العدد الثنائي فردياً إذا كان الرقم الأول فيه من اليمين هو الواحد، ويكون زوجياً إذا كان ذلك الرقم هو الصفر.

ملاحظة 3:

في جميع أنحاء العالم يتم التعامل مع الأعداد وفقا للمنهجية العربية بدءاً من اليمين إلى اليسار (ومرتبة الرقم تحتسب اعتباراً من الآحاد)، وهذا بحد ذاته دليل كبير وهام على دور الحضارة العربية المحوري في العلوم الرياضية.

ملاحظة 4:

قولنا" مقيماً بالنظام العشري "هامة جداً في حالة كون قاعدة النظام العددي أكبر من عشرة، كما في حالة النظام الست عشري، لكن لا تظهر أهميتها في حالة النظم العددية التي قاعدتها أصغر من عشرة.

وهنا بعدما علمنا أنه يمكن للعدد أن يؤخذ بأكثر من نظام عددي، نجد أنه ينبغي تحديد النظام الذي يؤخذ فيه العدد لكي نتمكن من التعامل معه بشكل سليم، وهكذا نصطلح على وضع دليل جانبي صغير يدل على قاعدة النظام المعتمد للعدد المأخوذ، وهكذا نعبر عن النتيجة المحصلة في المثال كما يلي:

$$(1011)_2=(11)_{10}$$

ومعنى ذلك أن قيمة العدد الثنائي 1011 تساوي قيمة العدد 11 في النظام العشري.

2-5-2 تحويل العدد العشري الصحيح إلى النظام الثنائي Binary to Decimal Conversion

لتحويل العدد العشري الصحيح إلى النظام الثنائي، نقسم العدد العشري على العدد اثنين، ونكرر قسمة الناتج مراراً آخذين في كل مرة باقي القسمة، مرتبين البواقي من اليمين إلى اليسار، وفي المرتبة الأخيرة نضع باقي القسمة الأخير، ويتم ذلك وفق القاعدة العامة التالية:

القاعدة العامة الثانية:

لتحويل العدد العشري الصحيح إلى نظام عددي آخر نقسم العدد العشري على قاعدة النظام العددي(مقيمة بالنظام العشري)، ونكرر قسمة الناتج مراراً، آخذين في كل مرة باقي القسمة (مقيماً حسب النظام العددي الذي يتم التحويل إليه)، مرتبين البواقي حسب تسلسل ظهورها من اليمين إلى اليسار.

مثال

لتحويل العدد $(30)_{10}$ من النظام العشري إلى الثنائي، نقوم بالعمليات التالية:

- نأخذ بواقي القسمة بدءًا من الأول (الأعلى إلى الأسفل) ونرتبها من اليمين نحو اليسار.
- نضع في المرتبة الأخيرة أقصى اليسار باقي القسمة الأخير.

وبالتالي العدد الثنائي المقابل العدد $(30)_{10}$ هو $(11110)_2$ ، الشكل (3–2) التالي يبين خطوات العمل مع حساب الباقي

	باقي القسمة	حساب الباقي	قاعدة النظام	العدد
LSB	0	30-2x15=0	2	30
	1	15-2x7=15-14=1	2	15
	1	7-2x3=7-6=1	2	7
	1	3-2x1=3-2=1	2	3
	1	1-2x0=1	2	1
MSB	1		2	0

الشكل (3–2) خطوات التحويل من عدد عشري إلى عدد ثنائي

ملاحظة 1:

تسمى الخانة الواقعة في أقصى اليمين في العدد الثنائي بالخانة الدنيا أو الخانة الأقل أهمية (Least Significant Bit)، واختصاراً LSB، وذلك لأنها الخانة الأقل وزناً.

في حين تسمى الخانة الواقعة في أقصى اليسار بالخانة العليا أو الأكثر أهمية (Most Significant Bit)، واختصاراً نكتب MSB، وذلك لأنها الخانة الأعلى وزناً.

ملاحظة 2:

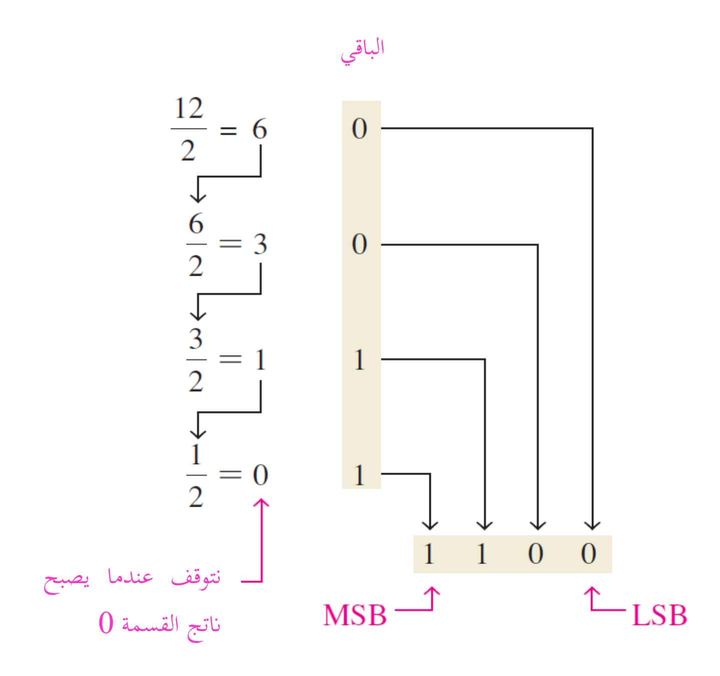
تحويل العدد الصحيح من أي نظام عددي إلى أي نظام عددي آخر يعطي عدداً صحيحاً.

ملاحظة 3:

الباقي يكون حتماً أصغر من قاعدة النظام وإلا لكنا قسمناه عليها.

مثال

تحويل العدد $(12)_{10}$ من النظام العشري إلى الثنائي، موضح بالشكل (3-3):



الشكل (3-3) تحويل العدد $(12)_{10}$ من النظام العشري إلى الثنائي مع توضيح الخانة الأقل أهمية والأكثر أهمية

مثال

حول الأعداد $(87)_{10}$ ، $(144)_{10}$ من النظام العشري إلى النظام الثنائي.

الحل

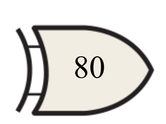
87	2	الباقي
43	2	1
21	2	1
10	2	1
5	2	0
2	2	1
1	2	0
0		1

يكتب الرقم الثنائي من اعلى الى اسفل

144	2	الباقي
72	2	0
36	2	0
18	2	0
9	2	0
4	2	1
2	2	0
1	2	0
0		1

$(1010111)_2 = (87)_{10}$

$(10010000)_2 = (144)_{10}$



3-5-2 تحويل العدد الكسري الثنائي إلى النظام العشري Binary Fraction to Decimal Conversion

أما حالة الجزء الكسري (أي الجزء الواقع يمين الفاصلة)، فلتحويل الجزء الكسري لعدد في النظام الثنائي إلى النظام العشري، نأخذ كل رقم من العدد الثنائي ونضربه بالعدد اثنين مرفوعاً لقوة تساوي مرتبة الرقم مأخوذة بالأس السالب، ونجمع النواتج، فنحصل على العدد الكسري العشري الموافق. ويتم ذلك وفق القاعدة العامة التالية:

القاعدة العامة الثالثة:

لتحويل الجزء الكسري في أي نظام عددي إلى النظام العشري نأخذ كل رقم من العدد (مقيماً بالنظام العشري)، ونضربه بقاعدة النظام (مقيمة بالنظام العشري)، مرفوعة لقوة تساوي مرتبة الرقم مأخوذ ة بالأس السالب، ونجمع النواتج، فنحصل على الجزء الكسري العشري الموافق. ونتوقف عندما نحصل على العدد المطلوب من الخانات العشرية أو عندما يصبح القسم الكسري صفر.

مثال

لتحويل العدد الثنائي الكسري $(0.1011)_2$ إلى العدد العشري المكافئ له نجري الخطوات التالية:

الرقم الأول يمين الفاصلة هو واحد نضربه بالعدد اثنين مرفوعا للأس ناقص واحد	$1x2^{-1}$=1 x0.5=0.5
الرقم الثاني يمين الفاصلة هو صفر نضربه بالعدد اثنين مرفوعا للأس ناقص اثنين	$0x2^{-2}$=0.5
الرقم الثالث يمين الفاصلة هو واحد نضربه بالعدد اثنين مرفوعا للأس ناقص ثلاثة	$1x2^{-3}$=1 x0.125=0.125
الرقم الرابع يمين الفاصلة هو واحد نضربه بالعدد اثنين مرفوعا للأس ناقص أربعة	$1x2^{-4}$=1 x0.0625=0625
نجمع النواتج فنحصل على العدد 0.6875 وبالتالي نجد	$(0.1011)_2=(0.6875)_{10}$

ملاحظة:

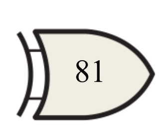
مرتبة كل رقم في العدد الكسري تبدأ من (1) اعتبارا من الفاصلة نحو اليمين وتتناقص بالقيمة السالبة.

مثال

أوجد المكافئ العشري للرقم الثنائي $N = 1110.101_{(2)}$

نكتبه على الشكل التالي:

$$N_{(10)} = 1x2^3 + 1x2^2 + 1x2^1 + 0x2^0 + 1x2^{-1} + 0x2^{-2} + 1x2^{-3}$$
$$= 8 + 4 + 2 + 0 + 0.5 + +0 + 0.125 = 14.625_{(10)}$$



4-5-2 تحويل العدد العشري الكسري إلى النظام الثنائي Decimal Fraction to Binary Conversion

لتحويل عدد عشري كسري إلى النظام الثنائي، نضرب العدد العشري بالعدد اثنين، ونقتطع منه الجزء الناتج يسار الفاصلة (هو ما يعتبر الجزء الصحيح من الناتج)، واضعين إياه في المرتبة الأولى يمين الفاصلة لتشكيل العدد الثنائي، ونكرر العملية حتى يصبح ما يبقى يمين الفاصلة من العدد العشري كله أصفارا.

وعملية تحويل العدد العشري إلى عدد ثنائي فقاعدتها كما يلي:

القاعدة العامة الرابعة:

لتحويل العدد العشري الكسري إلى نظام عددي آخر نضرب العدد العشري بقاعدة النظام العددي (مقيمة بالنظام العشري)، مقتطعين الجزء الصحيح من ناتج الضرب (مقيمين إياه حسب النظام العددي)، واضعين إياه في المرتبة التالية يمين الفاصلة لتشكيل العدد الموافق، ونكرر العملية على الجزء المتبقي من العدد العشري حتى يصبح ما يتبقى منه يمين الفاصلة كله أصفاراً.

ملاحظة:

اقتطاع الجزء الصحيح من ناتج الضرب يعني أن يبقى مكانه الصفر يسار الفاصلة.

مثال

لتحويل العدد الكسري الثنائي $(0.05)_{10}$ إلى عدد ثنائي، نتبع الخطوات التالية:

الشرح	المقتطع	عملية الضرب
نضرب العدد العشري باثنين ونقتطع الرقم الظاهر يسار الفاصلة وهو صفر 0	0	0.05x2=0.1
نضرب الناتج باثنين ونقتطع الرقم الظاهر يسار الفاصلة وهو صفر 0	0	0.1x2=0.2
نضرب الناتج باثنين ونقتطع الرقم الظاهر يسار الفاصلة وهو صفر 0	0	0.2x2=0.4
نضرب الناتج باثنين ونقتطع الرقم الظاهر يسار الفاصلة وهو صفر 0	0	0.4x2=0.8
نضرب الناتج باثنين ونقتطع الرقم الظاهر يسار الفاصلة وهو واحد فيتبقى 0.6	1	0.8x2=1.6
نضرب 0.6 باثنين ونقتطع الرقم الظاهر يسار الفاصلة وهو واحد فيتبقى 0.2	1	0.6x2=1.2
نضرب 0.2 باثنين ونقتطع الرقم الظاهر يسار الفاصلة وهو واحد فيتبقى 0.4	0	0.2x2=0.4
نضرب الناتج باثنين ونقتطع الرقم الظاهر يسار الفاصلة وهو صفر 0	0	0.4x2=0.8
نلاحظ أنه سبق أن ضربنا بالعدد 0.4 وبالتالي تتكرر الأرقام الظاهرة بعده	……	……

لتشكيل العدد الثنائي الموافق نأخذ الأرقام المقتطعة في العملية ونضعها جميعا يمين الفاصلة مبتدئين من أولها، فيكون العدد الثنائي المقابل للعدد العشري كما يلي: 0.0000110011

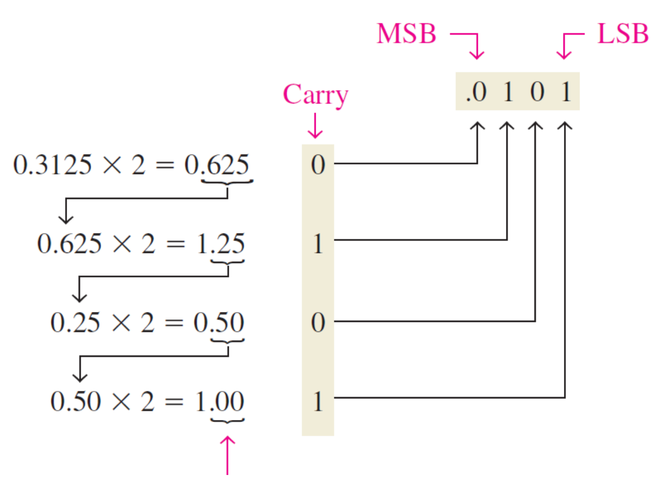
نتيجة :إذا كان العدد الكسري العشري منتهي المراتب فليس من الضروري أن يكون مقابله الثنائي منتهيا.

مثال

حول الكسر العشرى $(0,0625)_{10}$ إلى مقابله الثنائي.

نلاحظ أننا نستمر ضرب القسم الكسري بـ 2 حتى نحصل على العدد المطلوب من الخانات العشرية، أو يصبح القسم الكسري صفر كما هو موضح بالشكل (3-4)، ونلاحظ أنه تم الترتيب من الأعلى إلى الأسفل ومن اليسار إلى اليمين.

ونكتب $(0,0625)_{10}=(0.101)_2$



الشكل (3-4) تحويل الكسر العشرى $(0,0625)_{10}$ إلى مقابله الثنائي

ملاحظة 1:

تحويل أي عدد كسري من نظام عددي إلى أي نظام عددي آخر يعطي عددا كسريا.

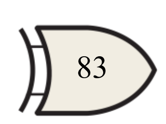
ملاحظة 2:

عند وجود عدد يتضمن جزأين أحدهما صحيح والآخر كسري فإنه يمكن تحويل كل جزء على حدة وفي النهاية يتم ضم الجزأين.

كما يمكن ترقيم عناصر العدد نحو اليسار واليمين بدء من الفاصلة.

ملاحظة :

توجد طرق تحويل أخرى للحالات الأربعة السابقة وهي تحويرات مختلفة للمبدأ نفسه.



2–6 العمليات الحسابية في النظام الثنائي Binary Arithmetic

يعتمد الحاسب على منهجية مختلفة عن المنهجية التي نعتمدها في معالجة الأعداد والعمليات عليها، وجميع حساباته تؤول إلى عمليات حسابية في النظام الثنائي، وبخاصة فهي تؤول إلى عملية الجمع.

2–6–1 عملية الجمع Addition

هي العملية الأساسية التي يعتمد عليها الحاسب لإجراء جميع العمليات الأخرى.

وبهذا الصدد يجب أن نعرض حقيقتين:

أولاً: أن الحاسب لا يمكنه أن يجمع أي عددين على الإطلاق إلا العددين الصفر 0 والواحد 1، وهو يحيل أي عدد آخر إلى شكله الثنائي.

ثانياً: أن كافة العمليات الحسابية تحال إلى عملية الجمع، فلا يحتاج الحاسب إلا لقواعد جمع هذين العددين، وهي تتم طبقاً للقواعد الأربعة الآتية:

الفيض Carry	المجموع Sum	العدد الأول B	العدد الأول A
0	0	0	0
0	1	1	0
0	1	0	1
1	0	1	1

إن هذه القواعد الأربعة تكفي لإنجاز أية عملية حسابية في النظام الثنائي، وأصعب عملية تصادفه هي العملية 1+1+1 ولحلها نجمع العددين الأوليين وفق القاعدة الرابعة فنحصل على العملية 1+10 وناتجها هو 11، ونلاحظ أن الناتج يحتاج لخانتين ثنائيتين للتعبير عنه.

وهذه القواعد تجري على الجزء الكسري تماما كما تجري على الجزء الصحيح.

مثال

اجمع العدد 011 مع العدد 1

نجمع العددين حسب قواعد الجمع السابقة مع مراعاة الفيض Carry.

Carry	Carry	
1	1	
0	1	1
+0	0	1
1	0	0

مثال

اجمع الأعداد الثنائية التالية:

(a) 11 + 11 (b) 100 + 10
(c) 111 + 11 (d) 110 + 100

(a)	11	3	(b)	100	4
	+ 11	+ 3		+ 10	+ 2
	110	6		**110**	6
(c)	111	7	(d)	110	6
	+ 11	+ 3		+ 100	+ 4
	1010	10		**1010**	10

مثال

اجمع الأعداد الثنائية التالية :

(110 . 111 + 111 . 011 & 110 +101)

111.011	110
110.111 +	101 +
1110.010	**1011**

ملاحظة:

بقية العمليات المتقدمة في الحساب كالرفع إلى قوة وغيرها تؤول كما هو معلوم إلى العمليات الأربعة الأساسية.

2-6-2 عملية الطرح Subtraction

تتم عملية الطرح في النظام الثنائي انطلاقا من العلاقات التالية:

العدد الأول A	العدد الأول B	الناتج Sub	الاستعارة Borrow
0	0	0	0
0	1	1	1
1	0	1	0
1	1	0	0

المثال التالي يشرح عملية الطرح

اطرح العدد $(011)_2$ من العدد $(101)_2$

$$\begin{array}{r} 101 \\ -011 \\ \hline \mathbf{010} \end{array} \qquad \begin{array}{r} 5 \\ -3 \\ \hline 2 \end{array}$$

المكافئ الثنائي لكل عدد يتألف من 3 ثلاث خانات، كل خانة تكون في عمود:

- العمود الأول على اليمين Right column

  عملية الطرح تكون 1-1=0

- العمود الثاني في الوسط Middle column

  يستعير واحد من العمود الذي يليه على اليسار borrow 1 from next column to the left

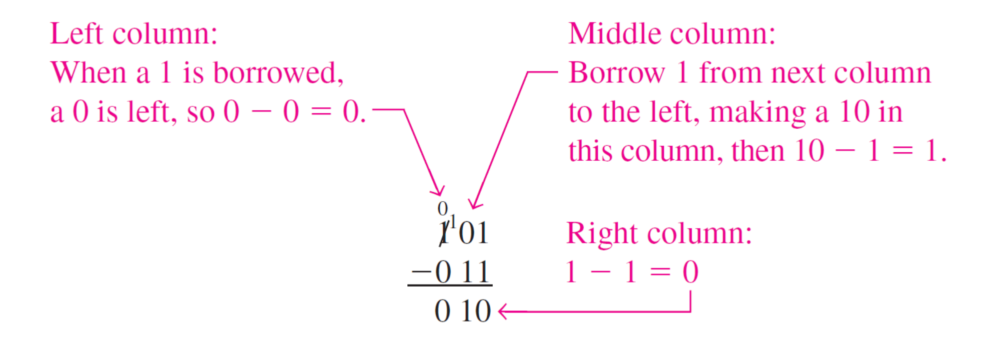
  تصبح عملية الطرح 10-1=1

- العمود الثالث في اليسار Left column

  عندما يعير واحد 1 يبقى صفر 0 When a 1 is borrowed a0 is left وبالتالي

  تصبح عملية الطرح: 0-0=0

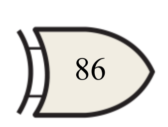
وذلك يكون كما يلي:



مثال

إطرح المقدار $(10001)_2 - (101110)_2$ & $(11010)_2 - (101110)_2$

101110	11010	المطروح منه
10001 -	1100 -	المطروح
011101	**01110**	باقي الطرح



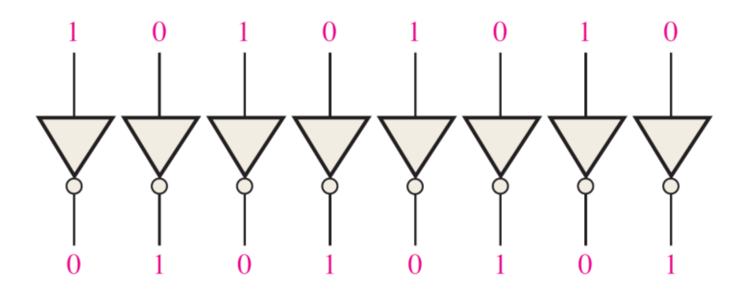
كما أسلفنا أن جميع العلميات الحسابية في الحاسب تؤول إلى عمليات حسابية في النظام الثنائي، لذلك بالنسبة للطرح، فإنه يلجأ لمفهوم متمم العدد الثنائي، وهو مفهوم هام جدا في نظام الحاسب وبدونه لا يستطيع الحاسب أن يجري العمليات الحسابية. ويعرّف متمم العدد الثنائي بشكلين، كما يلي:

3-6-2 المتمم الأحادي 1's Complement

المتمم الأحادي1's Complement للعدد الثنائي: هو عدد ثنائي مكافئ له بعدد الخانات وينتج منه بتبديل كل عنصر من العدد الثنائي بمتممه (تبديل الواحد 1 بالصفر 0 والصفر 0 بالواحد 1).

1 0 1 1 0 0 1 0	Binary number
↓↓↓↓↓↓↓↓	
0 1 0 0 1 1 0 1	1's complement

أبسط طريقة للحصول على المتمم الأحادي لعدد ثنائي باستخدام الدوائر الرقمية تكون باستخدام بوابات النفي Inverter gates على التوازي كما هو موضح بالشكل (3-5).



الشكل (3-5) إيجاد المتمم الأحادي للعدد الثنائي باستخدام بوابات النفي

نتيجة 1: الخانة الأخيرة إلى اليسار في المتمم الأحادي هي دائما الصفر 0 (إذا كان العدد مكتوبا دون إضافة أصفار لليسار).

نتيجة 2: مجموع العدد الثنائي مع متممه الأحادي يعطي عددا تكون مراتبه بعدد مراتب العدد الأصلي وكل عناصره واحدات.

نتيجة 3: المتمم الأحادي للعدد الثنائي الفردي يكون زوجياً وبالعكس.

4-6-2 المتمم الثنائي 2's Complement

المتمم الثنائي :هو المتمم الأحادي مضافا إليه العدد واحد 1.

نستنتج أن مجموع العدد مع متممه الثنائي يعطي عددا تكون مراتبه مساوية لمراتب العدد الثنائي الأساسي زائداً واحد 1، وتكون كل عناصره أصفارا ما عدا الواحد في أقصى اليسار.

ولطرح عددين ثنائيين صحيحين يقوم الحاسب بالخطوات التالية:

1- يأخذ العدد المطروح فإذا كان عدد خاناته أقل من خانات العدد المطروح منه فإنه يكملها بالأصفار من جهة اليسار ليصبح العددان من نفس عدد الخانات.

2- يوجد المتمم الثنائي للعدد المطروح.

3- يجمع العدد الناتج من الخطوة 3 مع العدد المطروح منه.

4- يحذف الرقم واحد الظاهر في أقصى اليسار من ناتج عملية الجمع (في حال وجوده)، والعدد المتبقي هو ناتج الطرح.

مثال

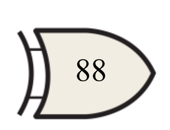
طبق الخطوات المذكورة في إجراء عملية الطرح التالية (وضعنا عددين غير صحيحين لنبين إمكانية اتباع تلك المنهجية جبرياً).

110100101.01-11011.1 =110001001.11

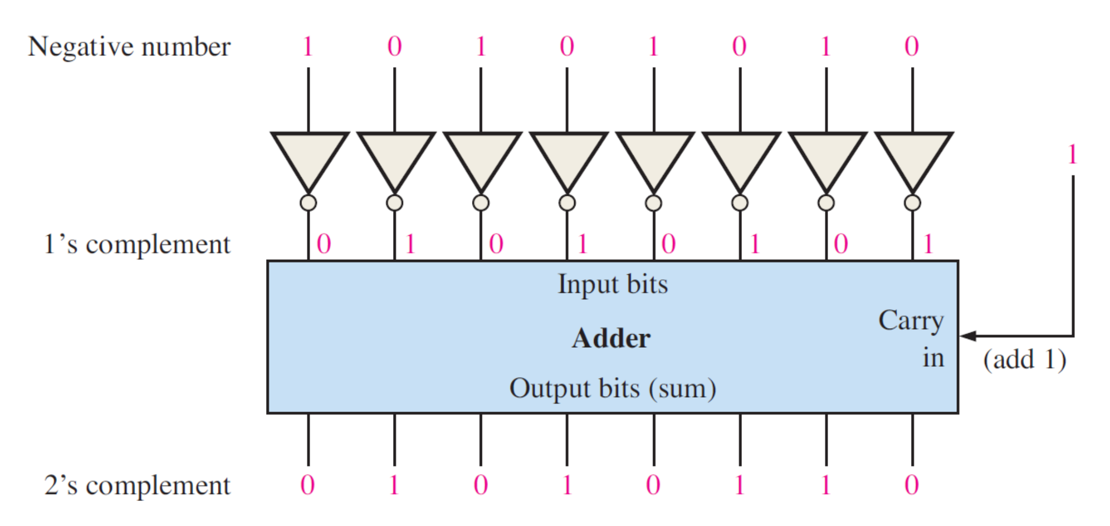
الحل:

1. إن العدد المطروح هو 11011.1 نتمم عدد خاناته لتصبح مساوية بالعدد لخانات المطروح منه، فنضيف صفرا من جهة اليمين وأربعة أصفار من جهة اليسار فنحصل على العدد 000011011.10
2. نوجد المتمم الأحادي للعدد 000011011.10 وهو العدد 111100100.01
3. نوجد المتمم الثنائي له بإضافة واحد فنحصل على العدد 111100101.10
4. نجمع هذا العدد مع العدد المطروح منه فنحصل على 1110001001.11
5. نحذف الواحد الظاهر في أقصى اليسار فنحصل على العدد 110001001.11 وهو ناتج الطرح.

```
  111100100.10
 +110100101.01
 -------------
 1110001001.11  ← يحذف
```



المتمم الثنائي يمكن أن ينفذ باستخدام بوابات النفي ودائرة الجمع كما هو موضح بالشكل (3-6).



الشكل (3-6) إيجاد المتمم الثنائي للعدد الثنائي السالب باستخدام بوابات النفي على التفرع ودائرة الجمع

ملاحظة 1:

إذا كان العدد المطروح أكبر من المطروح منه فإننا نجري العملية بالعكس ونضع الناتج بإشارة سالبة، أو يمكن أن نتبع خطوات العملية نفسها ثم نأخذ متمم الناتج بإشارة سالبة.

ملاحظة 2:

يمكن إجراء عملية الطرح بالطريقة الجبرية وتعطي النتائج نفسها.

ملاحظة 3:

عند عملية الجمع أو الطرح لعددين يتضمنان أجزاء كسرية ينبغي وضع المراتب الصحيحة والعشرية بمحاذاة بعضها البعض ابتداء من الفاصلة.

2-6-5 عملية الضرب Multiplication

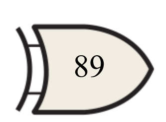
وهي عملية جمع متكرر، فيقوم الحاسب بتكرار عملية جمع أحد العددين بمقدار قيمة العدد الآخر.

مثال

لضرب العددي 100×11 نكرر جمع العدد 100 مع نفسه ثلاث مرات فنحصل على

$$1100=100+100+100$$

إذا كان كلا العددين كسريين فيتم التخلص من الفاصلة وتجرى عملية الضرب ثم تعاد الفاصلة لمكانها.



ملاحظة 1:

يمكن إجراء عملية الضرب بالطريقة الجبرية لعددين ثنائيين حسب القواعد التالية:

العدد 1	العدد 2	الناتج
0	0	0
0	1	0
1	0	0
1	1	1

مثال

نفذ عملية الضرب على الأعداد الثنائية التالية الاتية: **(b)** 101 × 111 **(a)** 11 × 11

(a)

```
          11        3
        × 11      × 3
Partial { 11        9
products{+11
        1001
```

(b)

```
           111      7
         × 101    × 5
Partial {  111     35
products{ 000
        {+111
        100011
```

مثال

نفذ عملية الضرب على الأعداد الثنائية التالية الاتية:

$(101)_2 \times (10111)_2$ & $(110)_2 \times (1101)_2$

```
   10111              1101
     101  x            110  x
 ---------          ---------
   10111              0000
   0000              1101
  10111   +         1101
 ---------          ---------  +
 1110011            1001110
```

6-6-2 عملية القسمة Division

عملية القسمة تتبع نفس الإجراء كما في الأعداد العشرية، ولكن هي عملية طرح متكرر، فلقسمة عدد ثنائي على آخر يقوم الحاسب بطرح العدد الثاني من الأول مرارا حتى يصبح ناتج الطرح صفرا، وتكون نتيجة القسمة هي عدد مرات الطرح، إذا لم يتم الوصول إلى ناتج طرح صفري فيتم الاستمرار بالعملية بإضافة صفر للمطروح منه واحتساب النتائج بعد الفاصلة.

مثال

لقسمة العدد 10101 على العدد 101 نقوم بعملية الطرح المتكرر كما يظهر في الشكل (3-7)

10101	10000	1111	1010	101
-101	-101	-101	-101	-101
10000	1111	1010	101	0

الشكل (3-7) شرح عملية القسمة في النظام الثنائي

لدى إجراء الطرح خمس مرات حصلنا على الصفر، فناتج القسمة هو العدد خمسة، والعدد خمسة في النظام الثنائي يكتب 101 وهو ناتج القسمة، إذن نكتب:

$$10101 \div 101 = 101$$

مثال

نفذ عملية القسمة للأعدّاد الثنائية التالية:

(a)110 , 11 (b) 110 , 10

(a)

$$\begin{array}{r} \mathbf{10} \\ 11\overline{)110} \\ \underline{11} \\ 000 \end{array} \qquad \begin{array}{r} 2 \\ 3\overline{)6} \\ \underline{6} \\ 0 \end{array}$$

(b)

$$\begin{array}{r} \mathbf{11} \\ 10\overline{)110} \\ \underline{10} \\ 10 \\ \underline{10} \\ 00 \end{array} \qquad \begin{array}{r} 3 \\ 2\overline{)6} \\ \underline{6} \\ 0 \end{array}$$

7-2 نظام العد الثماني Octal System

هو نظام عددي يتألف من مجموعة العناصر عددها 8، أي قاعدة النظام الثماني **(r=8)** وعناصره هي:

$$\{0،1،2،3،4،5،6،7\}$$

سمّي ثماني لأنه يتألف من 8 أرقام تستخدم لتشكيل الأعداد فيه، وكل عدد يتضمن رقماً لا ينتمي إلى هذه المجموعة ليس ثمانياً.

8-2 تحويل الأعداد بين النظامين الثماني والعشري

Numbers Conversion Between Octal and Decimal Systems

لمعرفة قيمة العدد الثماني في النظام العشري نعتمد على القواعد الأربعة العامة المذكورة في النظام الثنائي، لكن مع الأخذ بعين الاعتبار أن عدد عناصر قاعدة النظام الثماني هي ثمانية.

1-8-2 تحويل العدد من النظام الثماني إلى النظام العشري Octal to Decimal Conversion

تحويل الجزء الصحيح

نأخذ كل رقم من العدد الثماني ونضربه بالعدد ثمانية مرفوعا لقوة تساوي مرتبة الرقم مطروحاً منها العدد واحد، ثم نجمع النواتج، فنحصل على العدد العشري المكافئ للعدد الثماني.

مثال

العدد الثماني $(125)_8$ يحول إلى النظام العشري كما يلي:

$$1\times8^2+2\times8^1+5\times8^0+85$$

$$1\times64+2\times8+5\times1=85$$

$$64\ +16+5\ =85$$

ونكتب $(125)_8=(85)_{10}$

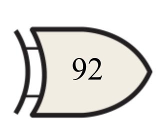
تحويل الجزء الكسري

نأخذ كل رقم من العدد الثماني ونضربه بالعدد ثمانية مرفوعا لقوة تساوي مرتبة الرقم مأخوذة بالأس السالب، ونجمع النواتج، فنحصل على الجزء الكسري الموافق في النظام العشري.

مثال

العدد $(0.5)_8$ في النظام الثماني يحول إلى النظام العشري كما يلي:

$$(0.5)_8=5\ x8^{-1}=(0.625)_{10}$$



2–8–2 تحويل العدد من النظام العشري إلى النظام الثماني Decimal to Octal Conversion

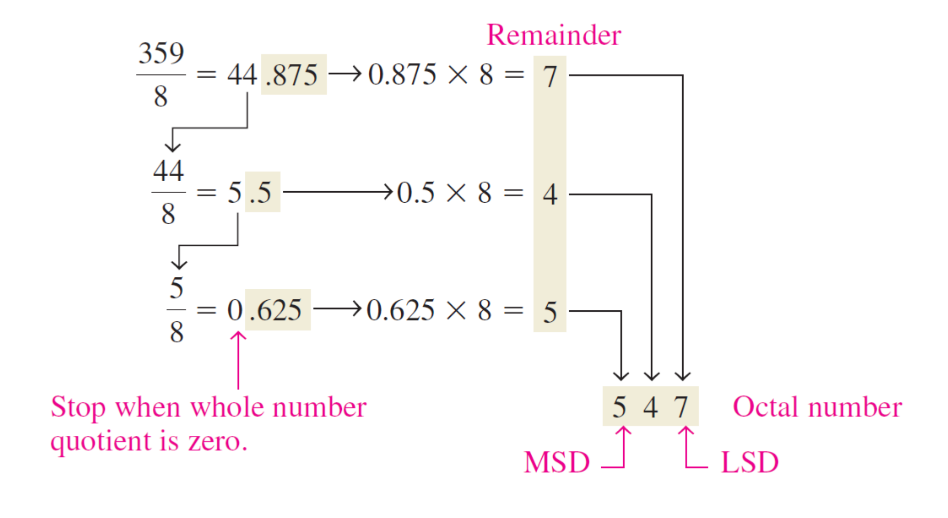
العدد العشري الصحيح

نقسم العدد العشري على العدد ثمانية، ونكرر قسمة الناتج مراراً آخذين في كل مرة باقي القسمة Remainder، مرتبين البواقي من اليمين إلى اليسار تبعاً لتسلسل الحصول عليها (من الأعلى إلى الأسفل)، المثال التالي يشرح العملية.

مثال

حول العدد العشري 359 إلى النظام الثماني

العدد سبعة هو باقي القسمة الأول Remainder، والعدد أربعة باقي القسمة الثاني Remainder، والعدد خمسة هو باقي القسمة الأخير Remainder، لذلك نرتبها من الأعلى إلى الأسفل ومن اليمين إلى اليسار، ونتوقف عندما ناتج القسمة يساوي الصفر 0 كما هو موضح:



نكتب

$(359)_{10}=(457)_8$.

مثال

لتحويل العدد العشري 200 إلى النظام الثماني خطوات العمل مع حاسب الباقي كما يلي:

المقسوم	قاعدة النظام	الباقي
200	8	200–8×25=0
25	8	12–8×3=1
3	8	3–8×0=3

العدد صفر 0 هو باقي القسمة الأول Remainder، والعدد واحد 1 باقي القسمة Remainder الثاني، والعدد ثلاثة 3 هو باقي القسمة Remainder الأخير، إذاً نكتب $(200)_{10}=(310)_8$.

تحويل الجزء الكسري

نضرب العدد العشري بالعدد ثمانية ونقتطع منه الجزء الناتج يسار الفاصلة، واضعين إياه في المرتبة الأولى يمين الفاصلة لتشكيل العدد الثماني، ونكرر العملية حتى يصبح ما يبقى يمين الفاصلة من العدد العشري كله أصفاراً.

مثال

تحويل العدد العشري الكسري 0.615 إلى النظام الثماني يتم كما يلي:

نضرب هذا العدد العشري بالرقم ثمانية فنحصل على ناتج، ثم نقتطع من الناتج الرقم الظاهر يسار الفاصلة وهو الرقم أربعة، ونضعه في المرتبة الأولى بعد الفاصلة من العدد الثماني المطلوب فنحصل على 0.9 ، ونكمل حتى يتبقى من العدد العشري بعد اقتطاع الجزء الصحيح الصفر، أو حسب عدد الخانات العشرية المطلوب وتحول عملية التحويل:

$$0.615\times8=4.920$$
$$0.920\times8=7.360$$
$$0.360\times8=2.880$$
$$0.880\times8=7.040$$

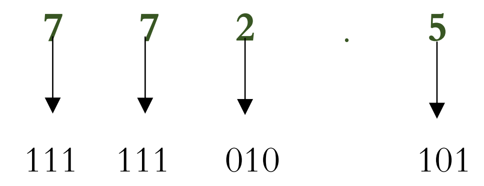
نكتب الناتج من الأسفل إلى الأعلى ومن اليسار إلى اليمين $(0.615)_{10}=(0.4727)_8$

2-8-3 تحويل العدد من النظام الثماني إلى النظام الثنائي Octal to Binary Conversion

لتحويل العدد بالنظام الثماني إلى مكافئه الثنائي، نستبدل كل رقم من أرقام العدد الثماني بمكافئه الثنائي المكون من ثلاث خانات، وبذلك ينتج لدينا العدد الثنائي المكافئ للعدد الثماني المطلوب.

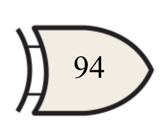
مثال

حول العدد الثماني $(772.5)_8$ إلى مكافئه الثنائي



نضم الأرقام الثنائية مع بعضها البعض لنحصل على العدد المطلوب ونكتب

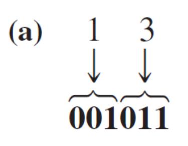
$$(772.5)_8=(111111010.101)_2$$

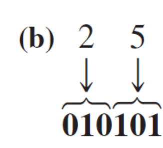


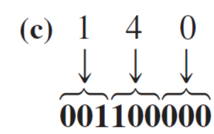
مثال

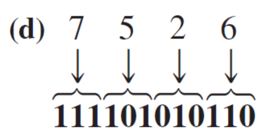
حول الأعداد الثمانية التالية إلى مكافئها الثنائي

(a) 13_8 **(b)** 25_8 **(c)** 140_8 **(d)** 7526_8









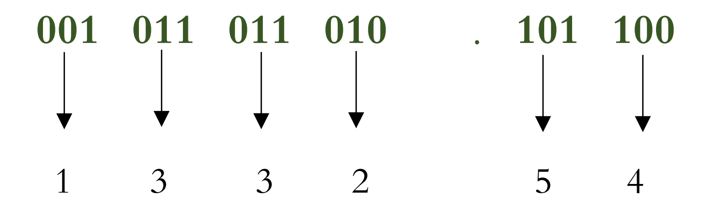
4-8-2 تحويل العدد من النظام الثنائي إلى النظام الثماني Binary to Octal Conversion

لتحويل العدد الصحيح الثنائي إلى مكافئه بالنظام الثماني نتبع الخطوات التالية:

1. نقسم العدد الثنائي إلى مجموعات كل منها مكون من ثلاث خانات، حيث يبدأ التقسيم من الخانة الأقل أهمية LSB.
2. إذا كانت المجموعة الأخيرة غير مكتملة نضيف في نهايتها أصفار حتى تصبح مكونة من ثلاث خانات.
3. نستبدل كل مجموعة ثنائية بما يكافئها في النظام العشري.
4. نضم الأرقام الثمانية معاً للحصول على العدد المطلوب.
5. في حالة العدد الثنائي الكسري نبدأ التقسيم إلى مجموعات من الخانة القريبة من الفاصلة.

مثال

حول العدد الثنائي $(1011011010.1011)_2$ إلى مكافئه الثماني



نكتب $(1011011010.1011)_2 = (1330.54)_8$

مثال

حول الأعداد الثنائية التالية إلى مكافئها الثماني

(a) 110101 **(b)** 101111001 **(c)** 100110011010 **(d)** 11010000100

(a) 110101 → 6 5 = 65_8

(b) 101111001 → 5 7 1 = 571_8

(c) 100110011010 → 4 6 3 2 = 4632_8

(d) 011010000100 → 3 2 0 4 = 3204_8

2–9 العمليات الحسابية في النظام الثماني Octal Arithmetic

سنقتصر على العمليات الحسابية الأربعة، علما أن بقية العمليات الرياضية الأخرى تؤول إليها.

2–9–1 عملية الجمع Addition

كافة عمليات الجمع تجري على غرار النظام العشري، إلا إذا كان الناتج أكبر من العدد سبعة، فعندئذ توجد قاعدة جديدة في هذا النظام وهي أن: 7+1=10، ومع أخذ هذه المعلومة بعين الاعتبار يمكن حل أي مسألة جمع في النظام الثماني عبر تأويلها إلى هذه العملية.

مثال

لجمع العددين 7+6 نكتبهما على الشكل التالي:

7+6=15 ⇨ 7+6=7+(1+5)=(7+1)+5=10+5=15

وهكذا فعندما نجمع عددين ثمانيين مؤلفين من عدة خانات فإننا فعليا نقوم بعمليات جزئية مشابهة لهذه العملية في كل مرتبة.

مثال

نفذ عملية الجمع على الأعداد الثمانية التالية:

```
   34          153          541
   42 +        173 +        642
  ----        -----         572 +
   76          346         -----
                            2175
```

2–9–2 عملية الطرح Subtraction

يمكن إجراء عملية الطرح بالطريقة المعروفة في النظام الثنائي مع الأخذ بعين الاعتبار إذا كان المطروح منه أكبر من المطروح فيتم الطرح كالارقام العشرية تماماً، إذا كان المطروح منه أصغر من المطروح فيتم استعارة (1) من الخانة التالية وتساوي 8

مثال

نفذ عملية الطرح على الأعداد الثمانية التالية

```
 6 13         14
 7 5        5 4 13
 7 -        6 5 3
 ----       5 5 5 -
 66         ------
            0 7 6
```

2–9–3 عملية الضرب Multiplication

وهو جمع متكرر ويمكن التعامل معه عبر حساب ناتج ضرب الرقمين وفقاً للنظام العشري ثم تحويل الناتج إلى النظام الثماني، فمثلاً نقول في النظام العشري أن $7\times3=21$ لكن العدد 21 العشري يكافئه 25 في النظام الثماني وبالتالي $7\times3=25$ في النظام الثماني وهكذا.

مثال

أوجد حاصل ضرب الأعداد الثمانية التالية: $(726)_8$ $(3)_8$

```
 726
   3 ×
 ----
 2602
```

الناتج $(3)_8 \times (726)_8 = (2602)_8$

2–9–4 عملية القسمة Division

وهي أيضا عبارة طرح متكرر (والطرح بدوره كما ذكرنا يؤول إلى جمع مع المتمم)، كما ويمكن إجراء القسمة في النظام الثماني بالطريقة الجبرية مع الأخذ بعين الاعتبار القيم الفعلية للأعدّاد الثمانية ومراعاة أصول عملية الضرب (للنظام الثماني).

مثال

نجد في النظام الثماني أن $24/4=5$ (يقابل ذلك في النظام العشري $20/4=5$).

ويمكن باستخدام الطريقة التقليدية.

مثال

أوجد ناتج قسمة الأعداد الثمانية التالية: $(2602)_8$ على $(3)_8$

ننفذ عملية القسمة العادية كما في النظام العشري كما يلي:

```
      0726
3 |  2602
      25  -
    ------
      010
       6  -
    ------
       22
       22 -
    ------
       00
```

الناتج $(2602)_8 \div (3)_8 = (726)_8$

10–2 نظام العد الست عشري Hexadecimal System

هو نظام عددي قاعدته مؤلفة من ستة عشر عنصراً (**r=16**)، والعنصر يقصد به رمز معين رقمي numeric، أو حرفي alphabetic characters ولترميز هذه العناصر الست–عشرة نستخدم الأرقام العشرة المعروفة في النظام العشري، ونحتاج لستة رموز أخرى للتعبير عن بقية عناصر القاعدة الأساسية للنظام، وقد اصطلح على استخدام الحروف الستة الأولى من الأبجدية اللاتينية، فتكون قاعدة النظام الست عشري هي:

.{F،E،D،C، B، A,9،8،7،6،5،4،3،2،1،0}

وعندما نرى عدداً ست عشري فينبغي أن نتوقع إمكانية أن يتضمن الرموز العشرية أو أحد هذه الحروف الستة. وفي الحقيقة فإن الحروف الستة ينبغي أن تكون بشكلها الكبير نظراً لعدم الالتباس.

مع رقم ست عشري واحد يمكن أن تعد حتى F_{16} الذي يقال 16 عشري، ومع رقمين يمكن أن نعد حتى FF_{16} والتي تقابل 255 عشري، ومع ثلاثة أرقام يمكن أن نعد حتى FFF_{16} التي تقابل 65536.

في الواقع فإن النظام الست عشري يستخدم بشكل فعال في الحاسب لأنه يسهل استخراجه من التوضعات الثنائية في ذاكرة الحاسب، وفائدته أنه يستوعب قيماً عددية أكثر من النظم الأخرى.

الاستخدام الأساسي للنظام الست عشري أنه يعتبر طريقة لعرض أو كتابة الأرقام الثنائية، ولذلك لسهولة التحويل بينهما، وهو مستخدم بشكل كبير في تطبيقات الحواسيب والمعالجات، فمعظم النظم الرقمية تعالج البيانات الثنائية في مجموعات التي هي من مضاعفات أربع بت، مما يجعل الأرقام الست عشرية مريحة للغاية في التعامل فكل كل رقم ست عشري يمثل رقم ثنائي 4 بأربع خانات ثنائية (4 بت).

بعد أن تعرفنا على قاعدة الأرقام الأساسية لهذه النظم العددية فمن الضروري معرفة كيفية كتابة الأرقام القاعدية للنظم العددية، كما في الجدول (3–2) الأرقام من 1 ~ 16 عشريا مع مكافئها من الأنظمة الثلاثة، (وقد ظللنا عمود الأرقام القاعدية لكل نظام عددي).

عشري	ست عشري	ثماني	ثنائي
0	0	0	0000
1	1	1	0001
2	2	2	0010
3	3	3	0011
4	4	4	0100
5	5	5	0101
6	6	6	0110
7	7	7	0111
8	8	10	1000
9	9	11	1001
10	A	12	1010
11	B	13	1011
12	C	14	1100
13	D	15	1101
14	E	16	1110
15	F	17	1111
16	10	20	10000

الجدول (3-2) الأرقام من 1 ~ 16 عشريا ممثلة بالأنظمة الثنائي والست عشري والثماني

ملاحظة:

أي عدد ينتمي إلى قاعدة نظامين عددين أو أكثر فإن قيمته هي نفسها في جميع النظم العددية.أي أن:

$(0)_2 = (0)_8 = (0)_{10} = (0)_{16}$

$(1)_2 = (1)_8 = (1)_{10} = (1)_{16}$

$(7)_8 = (7)_{10} = (7)_{16}$

$(9)_{10} = (9)_{16}$

مثال 1:

إلى أي نظام عددي ينتمي العدد التالي 1001010

الحل:

"لا نعلم"، فقد يكون عددا ثنائياً أو عددا ثمانياً أو عددا عشرياً أو عدداً ست عشرياً أو عدداً من أي نظام عددي آخر.

فإذا كان يقصد به عدد ثنائي فهو ما يعادل العدد العشري 74، وإذا كان يقصد به عدد ثماني فهو يكافئ العدد العشري 262664، وإذا كان يقصد به عدد عشري فهو العدد" مليون وألف وعشرة"، وإذا كان يقصد به عدد ستاعشري فهو ما يعادل العدد العشري 16781328. إذن لا بد من تحديد النظام العددي الذي يتم تمثيل العدد به، ولذلك ينبغي وضع دليل جانبي صغير يحسم التساؤل.

مثال 2:

العدد 5A1 هو عدد ست عشري حتماً ولا يمكن أن يكون عشرياً ولا ثمانياً ولا ثنائياً، وذلك لاحتوائه على الرموز.

2-11 تحويل الأعداد بين النظامين الست عشري والعشري

Numbers Conversion Between Hexadecimal and Decimal Systems

معرفة قيمة العدد الست عشري في النظام العشري نعتمد القواعد العامة الأربعة نفسها المذكورة في النظام الثنائي، لكن مع الأخذ بعين الاعتبار أن عدد عناصر قاعدة النظام الست عشري هي ستة عشر.

2-11-1 تحويل العدد من النظام الست عشري إلى النظام العشري

Hexadecimal to Decimal Conversion

نأخذ كل رقم من العدد الست عشري ونضربه بالعدد 16 مرفوعاً لقوة تساوي مرتبة الرقم مطروحاً منها العدد واحد، ثم نجمع النواتج، فنحصل على العدد العشري المكافئ للعدد الست عشري.

مثال

لحساب قيمة العدد الست عشري 3DA نكتب:

$$(3DA)_{16} = A x16^0+D x16^1+3 x16^2 =$$
$$10x1+13 x16+3 x256 = (986)_{10}$$

مثال

حول العدد $(2AF3)_{16}$ إلى مكافئه العشري

$$(2AF3)_{16} = 3x16^0 + F x16^1 + A x16^2 + 2 x16^3 =$$
$$3x1 + 15 x 16+10 x 256 +2\ 4096 = (986)_{10}$$

2-11-2 تحويل العدد من النظام العشري إلى النظام الست عشري

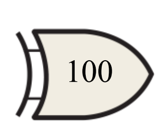
Decimal to Hexadecimal Conversion

تحويل الجزء الصحيح

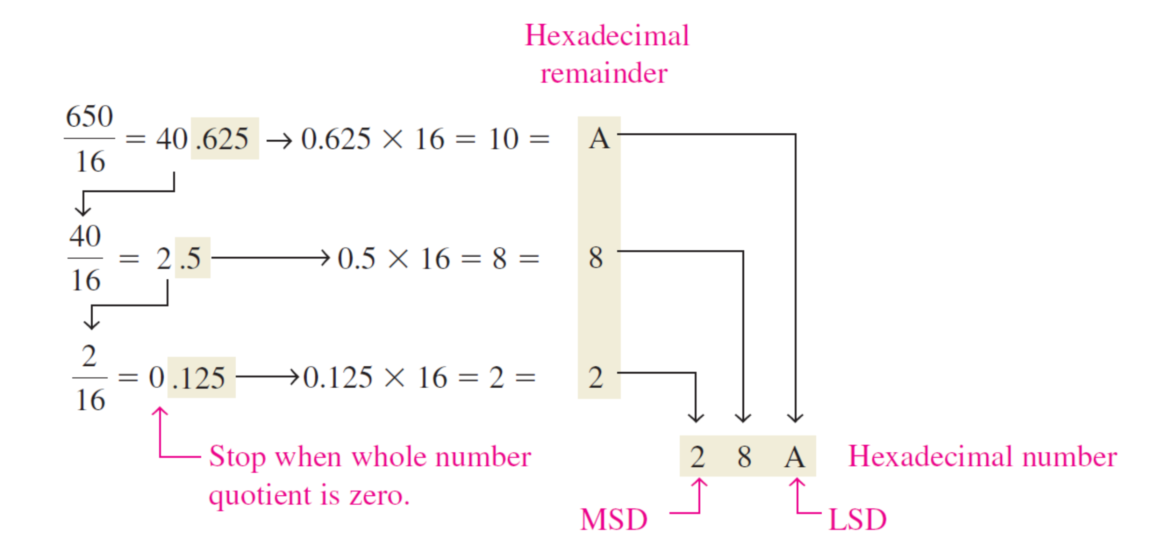
من أجل التحويل نقسّم العدد العشري على العدد 16 ونكرر قسمة الناتج مراراً، آخذين في كل مرة باقي القسمة Remainder (مقيمين إياه حسب النظام الست عشري)، مرتبين البواقي من اليمين إلى اليسار تبعاً لتسلسل الحصول عليها.

مثال

حول العدد العشري 650 إلى مكافئه بالنظام الست عشري.



لتحويل العدد العشري 650 إلى النظام الست عشري نجري عمليات القسمة على 16 حيث نأخذ بواقي القسمة hexadecimal Remainder بالتسلسل بدء من أول باق وهو العدد عشرة والذي يكتب بالست عشري A، ثم العدد 8، ثم بعد ذلك العدد 2، ومن ثم نرتبهم من الأسفل إلى الأعلى ومن اليمين إلى اليسار، ونتوقف عندما ناتج القسمة يساوي الصفر 0 كما هو موضح :



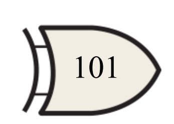
فنحصل على العدد 28A ويكون $(650)_{10}=(28A)_{16}$

مثال

لتحويل العدد العشري 1000 إلى النظام الست عشري نجري عمليات القسمة على 16 حيث نأخذ بواقي القسمة بالتسلسل بدءاً من أول باق وهو العدد ثمانية، ثم العدد 14 لكن هنا ننبه إلى أن العدد 14 لا يؤخذ كما هو، وإنما يؤخذ بشكله في النظام الست عشري أي الحرف E، ومن بعد ذلك نأخذ باقي القسمة التالي (وهو الأخير) والذي هو أصغر من قاعدة النظام، كما يلي:

المقسوم	قاعدة النظام	الباقي
1000	16	1000-16×62=8
62	16	62-16×3=14
3	16	3-16×0=3

فنحصل على العدد 3E8 ويكون $(1000)_{10}=(3E8)_{16}$



تحويل الجزء الكسري

لتحويل عدد كسري ست عشري إلى النظام العشري نضرب العدد العشري بالعدد 16 ونقتطع منه الجزء الناتج يسار الفاصلة (مقيمين إياه حسب النظام الست عشري)، واضعين إياه في المرتبة الأولى يمين الفاصلة لتشكيل العدد الست عشري، ونكرر العملية حتى يصبح ما يبقى يمين الفاصلة من العدد العشري كله أصفاراً.

مثال

العدد العشري 0.640625 يحول إلى النظام الست عشري بأن نضربه بالعدد 16 فنحصل على 10.2500 نقتطع الجزء الصحيح منه وهو 10 ونقيمه في النظام الست عشري وهو الحرف A فنضعه في المرتبة الأولى يسار الفاصلة 0.A، يتبقى من العدد العشري القيمة 0.25، فنعيد الضرب بالعدد 16 فنحصل على 4.00. نقتطع الرقم الظاهر يسار الفاصلة وهو 4 وتقيمه في النظام الست عشري فيبقى نفسه، ونضعه في المرتبة التالية فنحصل على 0. A 4، وبعد اقتطاع هذا الرقم نلاحظ أن ما تبقى من العدد العشري هو الصفر، وبالتالي تنتهي عملية التحويل، وبالتالي دائما نكمل حتى يتبقى من العدد العشري بعد اقتطاع الجزء الصحيح الصفر، أو حسب عدد الخانات العشرية المطلوب.

$$0.640625\times16=920.10.250$$
$$0.250\times16=4.00$$

نكتب الناتج من الأسفل إلى الأعلى ومن اليسار إلى اليمين $(0.A4)_{16}=(0.640625)_{10}$

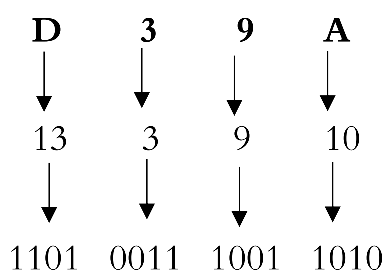
3-11-2 التحويل من النظام الست عشري إلى النظام الثنائي Hexadecimal to Binary Conversion

لتحويل العدد بالنظام الست عشري إلى مكافئه الثنائي، نتبع التالي:

1. نستبدل كل الخانات المكتوبة بدلالة الحروف في النظام الست عشري إن وجدت بالأعداد العشرية المكافئة لها.
2. نستبدل كل عدد عشري بمكافئه الثنائي المكون من أربع خانات.
3. نضم الأرقام الثنائية مع بعضها البعض نحصل على العدد المطلوب.

مثال

حول العدد الست عشري $(D39A)_{16}$ إلى مكافئه الثنائي



نضم الارقام الثنائية مع بعضها البعض لنحصل على العدد المطلوب ونكتب

$$(D39A)_{16} = (1101001110011010)_2$$

مثال

حول الأعداد الست عشرية التالية إلى مكافئها الثنائي

(a) $10A4_{16}$ **(b)** $CF8E_{16}$ **(c)** 9742_{16}

(a) 1 0 A 4 → **1000010100100**

(b) C F 8 E → **1100111110001110**

(c) 9 7 4 2 → **1001011101000010**

يمكن أن نحول عدد من النظام الست عشري إلى النظام العشري، بأنه نحوله أولاً إلى الثنائي ومن ثم من الثنائي إلى العشري، والمثال التالي يوضح ذلك.

مثال

حول الأعداد الست عشرية التالية إلى النظام العشري بأن تستخدم النظام الثنائي كوسيط.

(a) $1C_{16}$ **(b)** $A85_{16}$

(a) 1 C

$$00011100 = 2^4 + 2^3 + 2^2 = 16 + 8 + 4 = \mathbf{28}_{10}$$

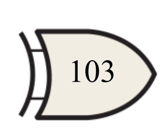
(b) A 8 5

$$101010000101 = 2^{11} + 2^9 + 2^7 + 2^2 + 2^0 = 2048 + 512 + 128 + 4 + 1 = \mathbf{2693}_{10}$$

4–11–2 التحويل من النظام الثنائي إلى النظام الست عشري Binary to Hexadecimal Conversion

لتحويل العدد الصحيح الثنائي إلى مكافئه بالنظام الست عشري نتبع الخطوات التالية:

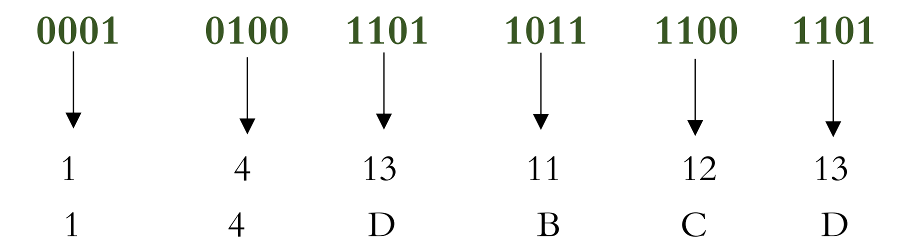
1. نقسم العدد الثنائي إلى مجموعات كل منها مكون من أربع خانات، حيث يبدأ التقسيم من الخانة الأقل أهمية LSB.
2. إذا كانت المجموعة الأخيرة غير مكتملة نضيف في نهايتها أصفار حتى تصبح مكونة من أربع خانات.
3. نستبدل كل مجموعة ثنائية بمكافئها بالنظام العشري.
4. نستبدل كل رقم عشري أكبر من 9 بدلالة حروف النظام الست عشري.



5. نضم الأرقام الست عشرية معاً للحصول على العدد المطلوب.
6. في حالة العدد الثنائي الكسري نبدأ التقسيم إلى مجموعات من الخانة القريبة من الفاصلة.

مثال

حول العدد الثنائي $(101001101101111001101)_2$ إلى مكافئه الست عشري

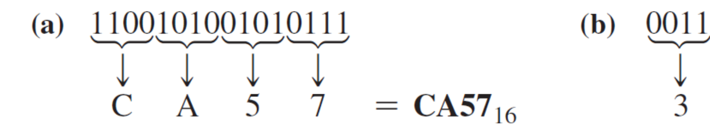


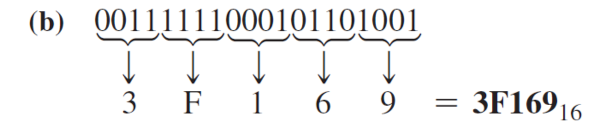
نكتب $(101001101101111001101)_2 = (14DBCD)_{16}$

مثال

حول العدد الثنائي إلى مكافئه الثماني

(a) 1100101001010111 **(b)** 111111000101101001





2-11-5 التحويل بين النظام الثماني والنظام الست عشري

Conversion Between Octal and Hexadecimal

لتحويل أي عدد من النظام الست عشري إلى النظام الثماني، نقوم أولاً بتحويله إلى النظام الثنائي، ومن ثم نقوم بتحويله من النظام الثنائي إلى النظام الثماني. ويتم ذلك بالعكس إذا أردنا التحويل من النظام الثماني إلى النظام الست عشري، نقوم باستخدام النظام الثنائي كوسيط نحول له أولاً، ومن ثم نحول إلى النظام الثنائي إلى النظام الست عشري.

12–2 العمليات الحسابية في النظام الست عشري Hexadecimal Arithmetic

1–12–2 عملية الجمع Addition

ينبغي الانتباه في هذا النظام إلى أنه إذا كان مجموع الرقمين أقل من ستة عشر فإنه يمثل برمز واحد فمثلاً نجد أن A=1+9 ولا نكتب 10=9+1، وكذلك فإن B+3=E وهكذا.

والعملية المحورية في هذا النظام هي العملية: F+1=10 وعندما يكون مجموع رقمين ستاعشريين أكثر أو يساوي 16 فإننا نلجأ إلى هذه القاعدة، على غرار ما فعلنا في النظام الثماني.

مثال

لحساب قيمة مجموع D+7 نجري العملية كما يلي:

إن قيمة D هي 13 فهي تحتاج للرقم ثلاثة لكي تصبح ستة عشرة لذلك نجزء الرقم 7 كما يلي:

4+3=7 ونكتب D+7=14 ⇨ D+7=D+(3+4)=(D+3)+4=10+4=14

وهكذا من أجل جمع أي عددين ست عشريين فإننا نجمع أرقامهما بالطريقة نفسها.

يمكن إجراء عملية الجمع كما بالطريقة الجبرية العادية كما في المثال التالي.

مثال

اجمع الأعداد الست عشرية التالية:

$$\begin{array}{r} 6AD \\ 253 + \\ \hline 900 \end{array} \qquad \begin{array}{r} F6F \\ ABE + \\ \hline 1A2D \end{array}$$

مثال

اجمع الأعداد الست عشرية التالية:

(a) $23_{16} + 16_{16}$ (b) $58_{16} + 22_{16}$ (c) $2B_{16} + 84_{16}$ (d) $DF_{16} + AC_{16}$

(a) $\begin{array}{r} 23_{16} \\ +\,16_{16} \\ \hline \mathbf{39_{16}} \end{array}$ (b) $\begin{array}{r} 58_{16} \\ +\,22_{16} \\ \hline \mathbf{7A_{16}} \end{array}$ (c) $\begin{array}{r} 2B_{16} \\ +\,84_{16} \\ \hline \mathbf{AF_{16}} \end{array}$ (d) $\begin{array}{r} DF_{16} \\ +\,AC_{16} \\ \hline \mathbf{18B_{16}} \end{array}$

2-12-2 عملية الطرح Subtraction

يمكن إجراء عملية الطرح بمساعدة مفهوم المتمم الأحادي للعدد الست عشري، مع الأخذ بعين الاعتبار أن المتمم الأحادي يكون ذلك العدد الذي يكون ناتج جمعه مع العدد الأساسي هو عدد كل خاناته مؤلفة من الحرف F.

مثال

لطرح العدد 6A من العدد 5DC نأخذ العدد المطروح ونتممه مرتبة بإضافة الصفر نحو اليسار فنحصل على 06A، وبالتالي فإن متممه الأحادي هو F95، نضيف له العدد واحد فنحصل على F96 نجمع هذا العدد مع المطروح منه فنحصل على: 5DC+F96=1572، نحذف الواحد الظاهر أقصى اليسار فنحصل على 572، إذن 5DC-6A=572

ملاحظة:

يمكن إجراء عملية الطرح بالطريقة الجبرية حيث تتم الاستعارة من مراتب لاحقة في حال كون الرقم المطروح أكبر من المطروح منه ولكن يجب الانتباه إلى أن الواحد المستعار من مرتبة لاحقة تكون قيمته ستة عشرة (وليس عشرة).

مثال

اطرح الأعداد الست عشرية التالية:

```
  8BE          AED
  7DF  -       826  -
 -----        -----
  0DF          27C
```

2-12-3 عملية الضرب Multiplication

وهو جمع متكرر ويمكن التعامل معه عبر حساب ناتج ضرب الرقمين وفقا للنظام العشري ثم تحويل الناتج إلى النظام الست عشري فمثلا نعلم أن العشرة في النظام الست عشري هي A، وبالتالي فإن A×A هو العدد مئة في النظام العشري نحوله إلى الست عشري فنحصل على 64 وبالتالي:

A×A=64 وهكذا بالنسبة لبقية الأرقام.

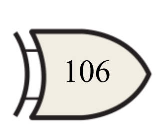
ويمكن باستخدام الطريقة التقليدية.

مثال

أوجد حاصل ضرب الأرقام الست عشرية التالية:

```
  A14
    5 ×
 -----
 3264
```

الناتج $(5)_{16} \times (A14)_{16} = (3264)_{16}$



4-12-2 عملية القسمة Division

وهي أيضا عبارة طرح متكرر ويمكن إجراؤها في النظام الست عشري جبريا مع الأخذ بعين الاعتبار القيم الفعلية للأعدّاد الست عشرية ومراعاة أصول عملية الضرب كما مر أعلاه.

فمثلا لقسمة العدد الست عشري 64 على العدد خمسة نعلم من النظام العشري أن الناتج هو العدد العشري 20 وهو يكتب في النظام الست عشري 14 وبالتالي: 64/5=14

ويمكن باستخدام الطريقة التقليدية.

مثال

أوجد ناتج قسمة الأعداد الثمانية التالية: $(3264)_{16}$ على $(5)_{16}$

```
     0A14
  5 | 3264
      32 -
     -----
      006
        5 -
     -----
       14
       14 -
     -----
       00
```

الناتج $(3264)_{16} \div (5)_{16} = (A14)_{16}$

ملاحظة:

يمكن إجراء عملية الضرب أو القسمة بتحويل الأعداد المراد ضربها أو قسمتها إلى مكافئها الثنائي أو العشري واجراء العملية المطلوبة، ومن ثم تحويل الناتج إلى مكافئه الست عشري.

نتيجة 1: إذا كان العدد منتهي المراتب في النظام الثنائي فهو منتهي المراتب في النظام الثماني. وفي النظام الست عشري وبالعكس.

نتيجة 2: إذا كان لدينا عدد ثماني عدد مراتبه n فعند تحويله إلى عدد ثنائي فإن العدد الثنائي، سيشغل عدداً من المراتب نرمز له m وهو يحقق العلاقة: $3(n-1)<m<3n+1$ ، وبدقة سيكون عدد خاناته مساوياً للقيمة $3(n-1)$ مضافاً إليها عدد الخانات الفعلية للرقم الثماني الأخير من جهة اليسار.

نتيجة 3: إذا كان لدينا عدد ست عشري عدد مراتبه n فعند تحويله إلى عدد ثنائي فإن العدد سيشغل عدداً من المراتب نرمز له m وهو يحقق العلاقة: $4(n-1)<m<4n+1$، وبدقة سيكون عدد خاناته مساوياً للقيمة $4(n-1)$ مضافا إليها عدد الخانات الفعلية للرقم الست عشري الأخير من جهة اليسار.

نتيجة 4: كلما كبرت قاعدة النظام العددي كلما أمكن تمثيل العدد بمراتب أقل.

نتيجة 5: لمقارنة أي عددين في نظام عددي محدد يكون العدد الأكبر هو العدد الذي مراتبه الصحيحة أكثر، فإذا تساوت المراتب نقارن رقماً برقم اعتباراً من أقصى اليسار، فأول مرة نجد في أحدهما رقما أكبر من مقابله بالمرتبة يكون ذلك هو العدد الأكبر، إذا كانت جميع الأرقام في المراتب الصحيحة متساوية نتابع على نفس المبدأ إلى ما بعد الفاصلة.

نتيجة 6: للتحويل بين النظام الثماني والست عشري يمكن أن نحول العدد إلى النظام الثنائي ومن ثم نعيد تحويله إلى النظام المطلوب.

3– تمثيل الأعداد بواسطة الفاصلة العائمة

Representation of Numbers by Floating Point

لتمثيل الأعداد الصحيحة الكبيرة نحتاج الى العديد من الخانات الثنائية (البتات)، وهناك مشكلة إذا كان العدد يحتوي على قسم كسري، نظام العدد ذو الفاصلة العائمة يعتمد على الترميز العلمي، وهو قادر على تمثيل الأعداد الكبيرة جداً، والصغيرة جداً والتي تحتوي قسم كسري بدون زيادة في عدد الخانات الثنائية.

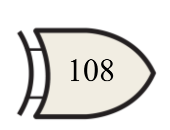
العدد ذو الفاصلة العائمة floating-point number يتألف من قسمين بالاضافة إلى الاشارة، **القسم الكسري mantissa** يكون القسم الذي يمثل مقدار العدد ويكون بين 0 و 1، **والأس exponent** يكون القسم الذي يمثل عدد المواضع التي تتحركها الفاصلة العشرية (أو الفاصلة الثنائية).

على سبيل المثال العدد العشري 241,506,800

القسم العشري mantissa يكون .2415068

الأس exponent يكون 9

عندما نريد أن نعبر عن العدد الصحيح كرقم ذو فاصلة عائمة يجب نقل الفاصلة العشرية إلى اليسار عبر كل الأرقام بحيث يكون القسم العشري يكون رقم كسري، والأس يكون من قوى العشرة.



العدد ذو الفاصلة العائمة يكتب:

$$0.2415068\times10^{9}$$

نلاحظ أن موقع الفاصلة داخل العدد غير ثابت (عائم) ويعتمد على الأس المرفوع له أساس نظام العد، ويمكن اعتبار أي عدد ممثل بواسطة الفاصلة العائمة منسجماً مع الشكل التالي:

$$-+M\times E^{+-p}$$

حيث M الجزء الكسري من العدد

E أساس نظام العد

P الأس

يشترط في العدد الممثل بواسطة الفاصلة العائمة ألا يكتب على شكل عدد صحيح وألا يكون أول رقم فيه على يمين الفاصلة صفراً.

تم تعريف تنسيط دقة وشكل الرقم الثنائي الممثل بواسطة الفاصلة العائمة من قبل المعهد الوطني الأمريكي للمعايير The American National Standards Institute (ANSI)، ومعهد مهندسي الكهرباء والاكترون الأمريكي Institute of Electrical and Electronic Engineers (IEEE) في ثلاث أشكال:

- أرقام ذات فاصلة عائمة أحادية الدقة Single-precision floating-point numbers بـ 32 خانة ثنائية.
- أرقام ذات فاصلة عائمة مضاعفة الدقة double-precision numbers بـ 64 خانة ثنائية.
- أرقام ذات فاصلة عائمة موسعة الدقة extended-precision numbers بـ 80 خانة ثنائية.

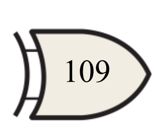
سنركز دراستنا على الأرقام ذات الدقة الأحادية.

3-1 الأرقام الثنائية الممثلة بواسطة الفاصلة العائمة ذات الدقة الأحادية

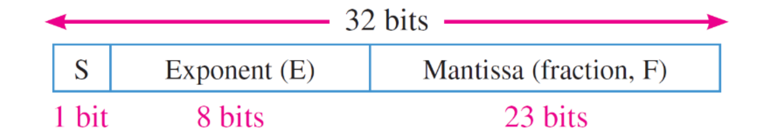
Single-Precision Floating-Point Binary Numbers

في الشكل القياسي من الرقم الثنائي الممثلة بواسطة الفاصلة العائمة ذات الدقة الأحادية الذي يتألف من 32 خانة كما هو موضح في الشكل (3-8)، تكون على كما يلي:

- خانة الإشارة (S) تكون في أقصى اليسار.



- الاس (E) تكون الخانات الثمانية التالية.
- والقسم الكسري أو (F) يتضمن 23 خانة المتبقية



الشكل (3-8) الأرقام الثنائية الممثلة بواسطة الفاصلة العائمة ذات الدقة الأحادية

في القسم الكسري الفاصلة الثنائية تكون في أقصى يسار 23 خانة، ويوجد 24 خانة في القسم الكسري لأن أي رقم ثنائي الخانات في أقصى اليسار دائما 1. لذلك هذا الواحد 1 يفهم على أنه موجود هناك مع أنه لا يحسب من مواقع الخانة الفعلية.

الخانات الثمانية للأس يعبر عنها كأس محيز *a biased exponent* الذي نحصل عليه باضافة 127 للأس الفعلي، الهدف من هذا الانحياز أن نسمح للأعدّاد الصغيرة جداً، والكبيرة جدا أن تمثل بدون موقع لخانة الاشارة للأس، الأس المنحاز يسمح بمجال قيم للأس الفعلي من 126- إلى 128+.

مثال

ليكن لدينا العدد الثنائي التالي ونريد تمثيله كعدد ذو فاصلة عائمة بدقة أحادية.

$$1011010010001 = 1.011010010001 \times 2^{12}$$

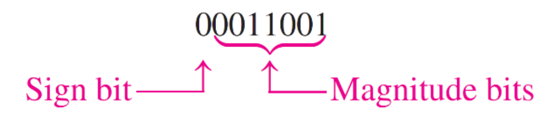
بافتراض أن العدد موجب، بالتالي خانة الاشارة تكون 0، الأس يكون 12، ويعبر عنه كأس منحاز باضافة 127 الشكل التالي (12+127=139). ويعبر عنه كرقم ثنائي (10001011). القسم الكسري من العدد يكون (011010010001.) بالتالي يمكن أن نعبر عن العدد باستخدام الفاصلة العائمة كما في الشكل (3-9):

S	E	F
0	10001011	01101001000100000000000

الشكل (3-9) تمثيل العدد الثنائي ذو الفاصلة العائمة احادية الدقة

4– الأرقام المؤشرة Signed Numbers

الرقم الثنائي المؤشرة Signed Binary Number هو الرقم الذي يتألف من معلومات عن الإشارة وعن المقدار، الإشارة تشير فيما إذا كان الرقم موجب أو سالب، والمقدار يشير إلى قيمة العدد، وهناك ثلاث طرق لتمثيل الأرقام المؤشرة الثنائية، الإشارة والمقدار sign-magnitude كما في الشكل (3–10)، المتمم الأحادي 1's complement، المتمم الثنائي 2's complement. الأكثر أهمية هي المتمم الثنائي، والأقل استخداماً هي طريقة الإشارة والمقدار. تناولنا سابقاً طرق المتممات وسنعرض طريقة الإشارة والمقدار.

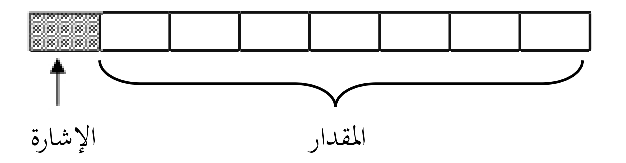


الشكل (3–10) رقم ثنائي ممثل بطريقة الإشارة والمقدار

4–1 الإشارة والمقدار Sign-Magnitude

يمكن حجز الخانة الأكثر أهمية MSB لتمثيل الإشارة، وتحديد إشارة العدد ويرمز لها بخانة الإشارة Sign Bit.

يبين الشكل التالي الخانة الخاصة بالإشارة لترميز عدد مؤلف من سبع خانات $n = 7$ **bits**



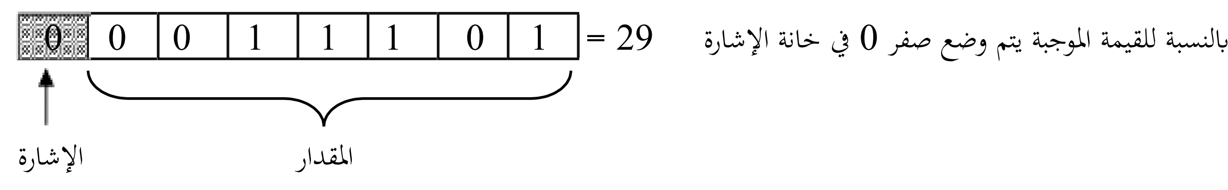
فعندما يكون

العدد موجب Sign Bit=0

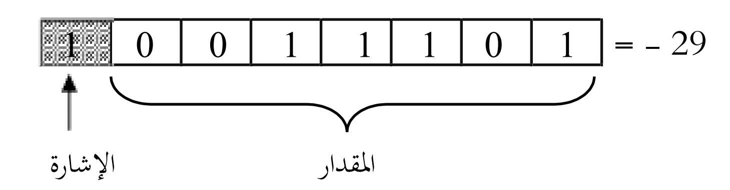
العدد سالب Sign Bit=1

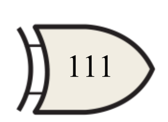
كمثال العدد $(29)_{10} = (0011101)_2$

بالنسبة للقيمة الموجبة يتم وضع صفر 0 في خانة الإشارة



وتمثيل القيمة - 29 يتم بنفس الطريقة و لكن مع وضع 1 في خانة الإشارة لأن القيمة سالبة.





2–4 العمليات الحسابية على الأرقام المؤشرة
Arithmetic Operations with Signed Numbers

سنستخدم طريقة المتمم الثنائي لأنه أكثر الطرق استخداماً في الحواسيب والأنظمة التي تعتمد على المعالجات وسنكتفي بالجمع والطرح فقط.

4–2–3 عملية الجمع Addition

جمع عددين موجبين ينتج عدد موجب.

4–2–4 عملية الطرح Subtraction

يمكن تبديل عملية الطرح بعملية الجمع مع المتمم.

- **لطرح عدد ثنائي من عدد ثنائي نتبع الخطوات التالية:**

1. نكتب العددين بعدد بتات متساوي.
2. نوجد متمم العدد السالب.
3. إذا حصلنا في الحمل المدور الأخير End Around Carry على:
   - 1 فإن نتيجة الطرح موجبة ويمهل الفيض الأخير.
   - 0 فإن نتيجة الطرح سالبة ونحصل على النتيجة النهائية بإيجاد المتمم.

أمثلة

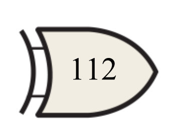
16	00010000	
+ −24	+ 11101000	
−8	11111000	

15	00001111	
+ −6	+ 11111010	
9	1 00001001	Discard carry ⟶ 1

- **إذا كان كلا العددي سالبين**

فإننا نوجد المتمم الثنائي لكل منهما ونقوم بالجمع، فتكون النتيجة سالبة ويهمل الفيض، ونحصل على النتيجة النهائية بإيجاد المتمم كما هو موضح بالمثال التالي:

−5	11111011	
+ −9	+ 11110111	
−14	1 11110010	Discard carry ⟶ 1



تدريبات

1- حول الارقام الثنائية التالية الى الشكل العشري

(a) 001 (b) 010 (c) 101 (d) 100001 (e) 1010 (f) 1011 (g) 1110 (h) 1111

2- حول الأعداد العشرية التالي إلى الشكل الثنائي

(a) 65 (b) 97 (c) 127 (d) 198 (e) 12 (f) 15 (g) 25 (h) 50

3- حول الكسور العشرية التالية إلى الشكل الثنائي

(a) 0.26 (b) 0.762 (c) 0.0975

4- اجمع الأرقام الثنائية التالية

(a) 10 + 10 (b) 10 + 11 (c) 100 + 11

(d) 111 + 101 (e) 1111 + 111 (f) 1111 + 1111

5- اطرح الأرقام الثنائية التالية

(a) 1111 - 11 (b) 1101 - 101 (c) 110000 - 1111

6- نفذ عملية الضرب على الأرقام الثنائية التالية

(a) 11 * 10 (b) 101 * 11 (c) 111 * 110

(d) 1100 * 101 (e) 1110 * 1110 (f) 1111 * 1100

7- نفذ عملية القسمة على الأرقام الثنائية التالية

(a) 110 /11 (b) 1010/ 10 (c) 1111/101

8- نفذ عملية الجمع على الأرقام الثنائية المؤشرة التالية

(a) -57+33 (b) 22+33 (c) -46+25

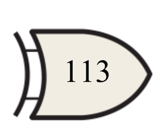
9- حول الارقام الست عشرية التالية الى الشكل العشري، ومن ثم إلى الشكل الثنائي

(a) 46_{16} (b) 54_{16} (c) $B4_{16}$ (d) $1A3_{16}$

(e) FA_{16} (f) ABC_{16} (g) $ABCD_{16}$

10- حول الارقام الثنائية التالية إلى الشكل الست عشري، ومن ثم نفس الارقام حولها إلى الشكل الثماني

(a) 1111 (b) 1011 (c) 11111 (d) 10101010



(e) 10101100 (f) 10111011

11– نفذ عملية الجمع على الأرقام التالية

(a) $25_{16} + 33_{16}$ (b) $43_{16} + 62_{16}$ (c) $A4_{16} + F5_{16}$ (d) $FC_{16} + AE_{16}$

12– حول الأرقام الثمانية التالية إلى الشكل العشري أولا، ثم نفس الارقام حولها إلى الشكل الثنائي

(a) 635_8 (b) 254_8 (c) 2673_8 (d) 7777_8 (e) 14_8 (b) 53_8 (c) 67_8 (d) 174_8

13– اجمع الأرقام التالية

(a) $635_8 + 254_8$ (b) $2673_8 + 7777_8$ (c) $14_8 + 53_8$ (d) $67_8 + 174_8$

14– نفذ عملية الجمع على الأرقام التالية

(a) $25_{16} + 33_{16}$ (b) $43_{16} + 62_{16}$ (c) $A4_{16} + F5_{16}$ (d) $FC_{16} + AE_{16}$

15– نفذ عملية الطرح على الأرقام التالية

(a) $60_{16} - 39_{16}$ (b) $A5_{16} - 98_{16}$ (c) $F1_{16} - A6_{16}$ (d) $AC_{16} - 10_{16}$

16– حدد قيمة كل من الأعداد الثنائية التالية الممثلة بواسطة الفاصلة العائمة ذو الدقة الأحادية

(a) 1 10000001 01001001110001000000000

(b) 0 11001100 10000111110100100000000

Key Terms and Abbreviations المصطلحات والعبارات الرئيسة واختصاراتها

المصطلح أو العبارة	الترجمة	الصفحة	المصطلح أو العبارة	الترجمة	الصفحة
نظام الأعداد الثنائية	**Binary Number System**	73	باقي القسمة	**Remainder**	93
الدوائر الالكترونية الرقمية	**Digital Electronic Circuits**	73	رموز حرفية	**Alphabetic Characters**	98
نظام الأعداد العشرية	**Decimal Number System**	73	رمز رقمي	**Numeric**	98
نظام الأعداد الثمانية	**Octal Number System**	73	العدد ذو الفاصلة العائمة	**Floating-Point Number**	108
نظام الأعداد الست عشرية	**Hexadecimal Numbering System**	73	القسم الكسري	**Mantissa**	108
أساس النظام	**System Base**	74	الأس	**Exponent**	108
مرتبة الرقم أو الوزن الموضعي	**Positional Weigh**	74	المعهد الوطني الأمريكي للمعايير	**The American Nati onal Standards Inst ،ANSI (itute)**	109
الخانة الدنيا أو الخانة الأقل أهمية	**Least Significant Bit(LSB)**	79	معهد مهندسي الكهرباء والاكترون الأمريكي	**Institute of Electrical and Electronic Engineers(IEEE)**	109
الخانة العليا أو الأكثر أهمية	**Most Significant Bit(MSB)**	79	أرقام ذات فاصلة عائمة أحادية الدقة	**Single-Precision Floating-point Numbers**	109
بوابات النفي	**Inverter Gates**	87	أرقام ذات فاصلة عائمة مضاعفة الدقة	**Double-Precision Numbers**	109
المتمم الأحادي	**1's Complement**	87	أرقام ذات فاصلة عائمة موسعة الدقة	**Extended-Precision Numbers**	109
المتمم الثنائي	**2's Complement**	88	الأرقام الثنائية الممثلة بواسطة الفاصلة العائمة ذات الدقة الأحادية	**Single-Precision Floating-Point Binary Numbers**	109

111	Signed Numbers	الأرقام المؤشرة	110	a biased exponent	أس مميز
111	Sign Bit	خانة الإشارة	111	Signed Binary Number	الرقم الثنائي المؤشرة
112	End Around Carry	الحمل المدور الأخير	111	Sign-Magnitude	الإشارة والمقدار

الفصل الرابع 4

البوابات المنطقية

Logic Gates



الأهداف العامة للفصل Chapter Objectives

عندما تكمل هذا الفصل سوف تكتسب مجموعة من الخبرات والمعارف وينبغي أن تكون قادراً على:

- التعرف على البوابات المنطقية الأساسية، النفي NOT، الآند AND، والأور OR وجدول الحقيقة لكل منها.
- التعرف على عمل البوابات المنطقية مع مدخلات ذات نبضات متغيرة المستوى.
- وصف عمل البوابات ناند NAND ، نور NOR، اكس اور XOR، اكس نور XNOR.
- استعمال البوابات المنطقية في تطبيقات بسيطة.
- التعرف على شرائح الدوائر المتكاملة للبوابات المنطقية.
- التعرف على البوابة المنطقية العامة وكيفية بناء البوابات المنطقية الأساسية من البوابة العامة.
- كتابة التعابير المنطقية للبوابات المنطقية.

1– مقدمة Introduction

معظم الأنظمة الرقمية، كالحاسبات وأنظمة الاتصالات تحتوي على مجموعة من الدوائر المنطقية التي تؤدي بضع العمليات الأساسية، والتي يتكرر تنفيذها كثيراً وبسرعة كبيرة جداً، وهذه العمليات الأساسية هي في الواقع مجموعة من العمليات المنطقية، ولذلك تسمى الدوائر البسيطة التي تقوم بهذه العمليات بالدوائر أو البوابات المنطقية.

تمثل البوابات المنطقية حجر الأساس لبناء أي دائرة منطقية، ومن ثم أي نظام رقمي أو منطقي، فهي دوائر رقمية لها وظيفة محددة، وعند تجميع عدد من البوابات المنطقية يمكن أن نبني الدائرة المنطقية. وحيث أن كلمة منطق ترمز إلى عملية "صنع القرار " لذا فإن بوابة المنطقية هي البوابة التي تعطي خرج فقط عندما تتحقق شروط معينة على مداخل هذه البوابة.

يقدم هذا الفصل شرحاً تفصيلياً لكل بوابة من البوابات المنطقية الأساسية، من حيث جدول الحقيقة لهذه البوابة والرمز القياسي المستخدم في المراجع لكل منها، مع بعض التطبيقات البسيطة لكل بوابة وشرح لبعض الشرائح المتاحة فى السوق والتي تحقق هذه البوابة. من خلال التركيبات البسيطة للبوابات الأساسية الثلاث يمكننا الحصول على باقي أنواع البوابات الأخرى.

سنقدم أيضاً بعض البوابات الأخرى كالبوابة اكس اور XOR، والبوابة XNOR، وسنتعرف على كيفية بناء البوابات المنطقية الأساسية من البوابة العامة ناند NAND، ونور NOR.

2– مستويات الإشارة المنطقية Logic Signal Levels

قبل أن نبدأ بدراسة البوابات المنطقية LOGIC GATES يجب أولاً مراجعة للمستويات التي تعمل عليها هذه البوابات، والمنطق الذي يتبع ذلك والتي تعرفنا عليها في الفصل الأول.

تعمل البوابات المنطقية على السماح بمرور البيانات أو عدم مرورها، وعند سماحها للبيانات بالمرور يمكن أن يقاس ذلك كجهد خرج لها وكذلك عند منعها، أي أن لها مستويان من جهد الخرج، وبالطبع فإن جهد الخرج عند السماح بمرور البيانات يختلف عن جهد الخرج عند منع مرورها، وهذان المستويان للخرج يناسبان تماماً نظام الأعداد الثنائية، وعلى ذلك إذا كان:

- جهد الخرج مرتفع HIGH فإنه يقابل المستوى الثنائي (1)
- جهد الخرج منخفض LOW فإنه يقابل المستوى الثنائي (0)

هناك نوعان من المنطق، يسمى الأول المنطق الموجب Positive Logic، والثاني المنطق السالب Negative Logic. إذا كان مستوى اشارة خرج البوابة الذي يقابل المستوى (1) أكثر ايجابية من المستوى (0)، يقال أن البوابة تعمل على منطق موجب، إما إذا كان المستوى (0) أكثر ايجابية من المستوى (1)، يقال أن البوابة تعمل على منطق سالب.

3- البوابات المنطقية الأساسية Basic logic gates

3-1 عملية النفي، المتمم المنطقي Logical Complementation (NOT)

يطلق عليها أيضاً عملية العكس المنطقي أو المتمم (Logical Inversion OR complementation)، وفيها يكون الخرج عبارة عن معكوس الدخل، فإذا كان الدخل مساوياً واحد 1 فإن الخرج يكون مساوياً صفر 0، و إذا كان الدخل مساوياً 0 صفر فإن الخرج يكون مساوياً واحد 1. يرمز للعملية بوضع خط فوق المتغير، مما يعني أنه معكوس.

$$X = NOT\ A$$

$$X = \overline{A}$$

فإذا كان: $A=1$ فإن $\overline{A}=0$

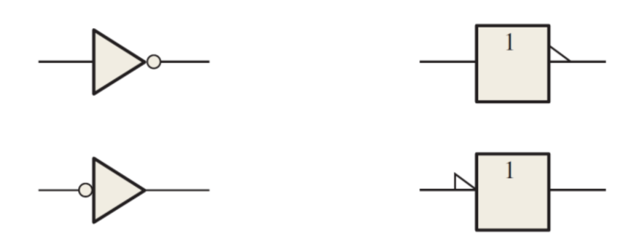
وإذا كان $A=0$ فإن $\overline{A}=1$

A	X
0	1
1	0

جدول الحقيقة Truth Table لعملية النفي والمتمم المنطقي NOT يوضح جميع احتمالات الدخل والخرج المقابل لكل منها.

لاحظ أن الدخل هنا هو A والخرج هو X، والدخل في هذه الحالة عبارة عن متغير واحد يمكن أن يأخذ واحدة من قيمتين، إما صفر 0 أو واحد 1، أي أن هناك احتمالين فقط للدخل.

البوابة المنطقية Logic Gate التي تقوم بإجراء عملية النفي أو المتمم هي بوابة النفي NOT (NOT Gate) التي يطلق عليها أيضاً العاكس المنطقي Logic Inverter. الشكل (4-1) يظهر أشكال البوابة وفق معايير (IEEE)/ (ANSI)، مع الإشارة إلى النفي والقطبية، حيث لكل بوابة شكلان، الشكل الأول يدعى الشكل المميز Distinctive shape، وهو عبارة عن مثلث ودائرة صغيرة في الخرج أو الدخل، والشكل الثاني يأخذ شكل المربع Rectangular shape ويتم وضع حرف معين داخل المربع يميز كل بوابة عن الأخرى، وبالنسبة لدائرة النفي يتم وضع حرف I الكبير في داخل المربع، ويتم وضع مثلث في الدخل أو الخرج، والشكل (4-2) يظهر شكل البوابة مع الخرج الذي تعطيه من أجل نبضة دخل، حيث t_1 و t_2 تشير إلى الزمن الذي تتحول فيه حالة شكل الموجة من الحالة المرتفعة HIGH إلى الحالة المنخفضة LOW وبالعكس، فعندما الدخل في الحالة المنخفضة LOW فإن الخرج في الحالة المرتفعة HIGH، وعندما الدخل في الحالة المرتفعة HIGH، فإن الخرج في الحالة المنخفضة LOW.



(a) Distinctive shape symbols with negation indicators

(b) Rectangular outline symbols with polarity indicators

الشكل (4-1) أشكال بوابة النفي NOT وفق معايير (IEEE)/ (ANSI) وهي الشكل المربع في (b) والشكل المميز في (a)

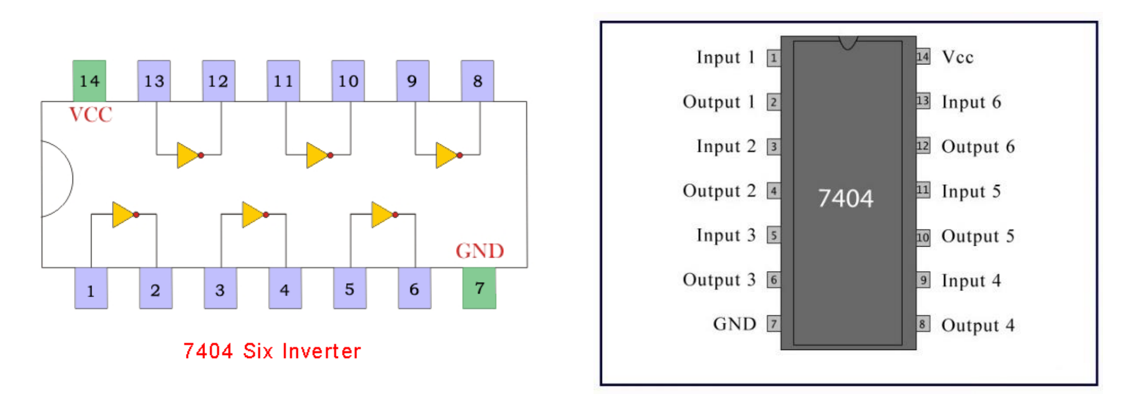
A — $X = \bar{A}$

HIGH (1) LOW (0) t_1 t_2 Input pulse

HIGH (1) LOW (0) t_1 t_2 Output pulse

الشكل (4–2) التعبير المنقطي لبوابة النفي NOT مع نبضة الدخل Input pulse ونبضة الخرج Output pulse

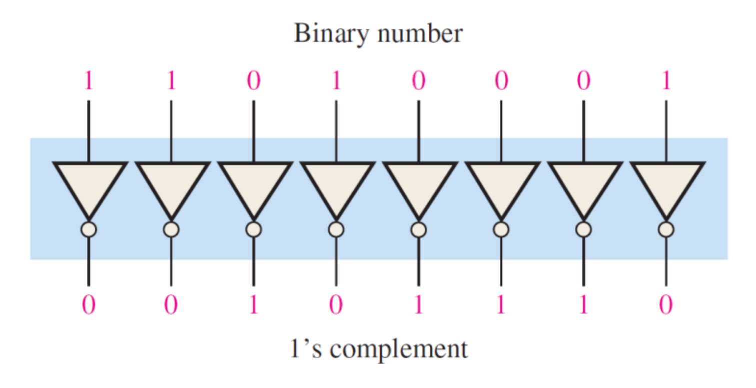
تتوفر بوابة النفي Inverter على شكل دائرة متكاملة IC واحدة تحمل الرقم 7404، وهي من عائلة الدوائر المتكاملة 74 ويبين الشكل (4–3) توزع ستة بوابات عاكس ضمن الدائرة المتكاملة 7404.



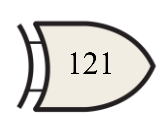
الشكل (4–3) الدائرة المتكاملة 7404 التي تحتوي ست بوابات نفي Inverter

3–1–1 تطبيق على بوابة النفي Application on NOT Gate

التطبيقات على استخدام بوابة النفي Inverter كثيرة ومتعددة، فبوابة النفي تقريباً من أكثر البوابات المنطقية استخداماً، وكمثال على بوابة النفي لدينا الدائرة في الشكل (4–4)، وهي الدائرة التي تنتج المتمم الأحادي 1’s complement لرقم ثنائي بـثمان خانات(8 بت) 8-bit binary number، وهي دائرة تبنى من بوابات نفي على التوازي.



الشكل (4–4) تطبيق على بوابة بوابة النفي Inverter الدائرة التي تنتج المتمم الأحادي 1’s complement

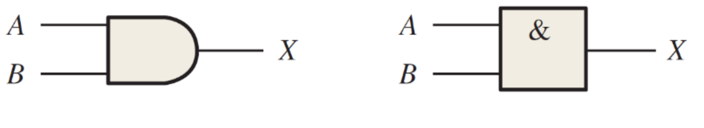


2–3 عملية الضرب المنطقي (AND) Logical Multiplication

في عملية الضرب المنطقي Logical Multiplication يكون الخرج مساوياً واحد 1 فقط إذا كانت جميع متغيرات الدخل مساوية واحد 1، و يكون الخرج مساوياً صفر 0 إذا كان أي متغير من متغيرات الدخل مساوياً صفر 0. الضرب المنطقي يقابل العملية آند AND، وتمثل باستخدام البوابة آند AND Gate.

الشكل (4–5) يظهر أشكال البوابة آند AND Gate، وهما الشكل المميز والشكل المربع وفق معايير (IEEE)/(ANSI)، الشكل (4–6) يظهر بوابة آند AND Gate بمدخلين، ثلاث مداخل، وأربع مداخل مع التعبير المنطقي Logical expression المقابل للخرج.

الشكلين (4–7)(4–8) يظهر المخطط الزمني لبوابة آند AND Gate تظهر فيه العلاقة بين الدخل والخرج عند تطبيق إشارتين A و B، ونلاحظ أنها تتبع جدول الحقيقة، حيث أن الخرج X في الحالة المرتفعة HIGH، فقط عندما تكون جميع المداخل مع بعض في الحالة المرتفعة HIGH.



(a) Distinctive shape

(b) Rectangular outline with the AND (&) qualifying symbol

الشكل (4–5) أشكال البوابة آند AND Gate وفق معايير (IEEE)/ (ANSI)، الشكل المربع في (b)، الشكل المميز في (a)

ليكن لدينا المتحولين المنطقيين A وB كمدخلان لبوابة منطقية من نوع آند AND Gate التعبير المنطقي الذي يعطي خرج البوابة يعبر عنه بالعلاقة:

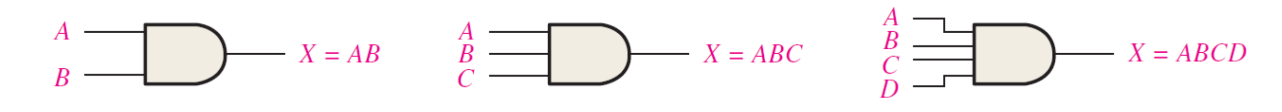
X= A AND B

X= A . B

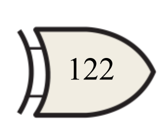
X= AB

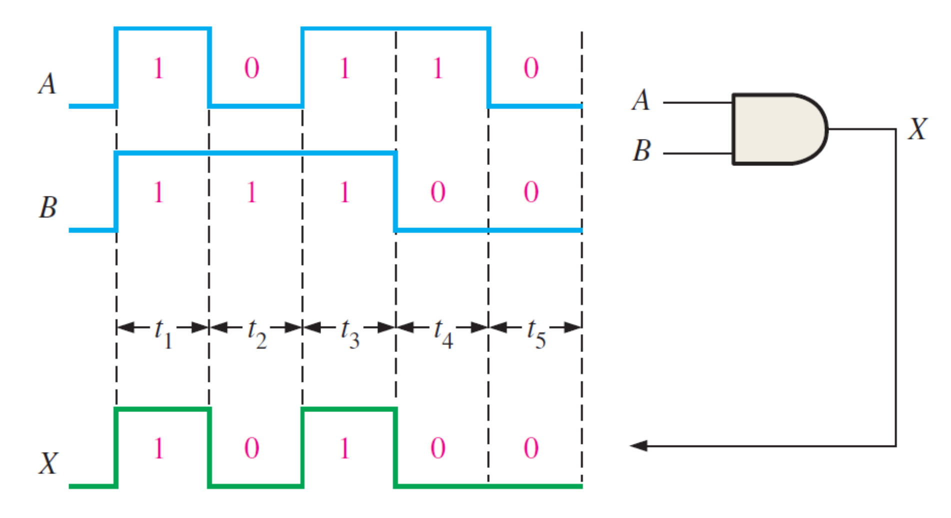
جدول الحقيقة Truth Table للبوابة آند AND Gate بمدخلين

A	B	X= A . B
0	0	0
0	1	0
1	0	0
1	1	1

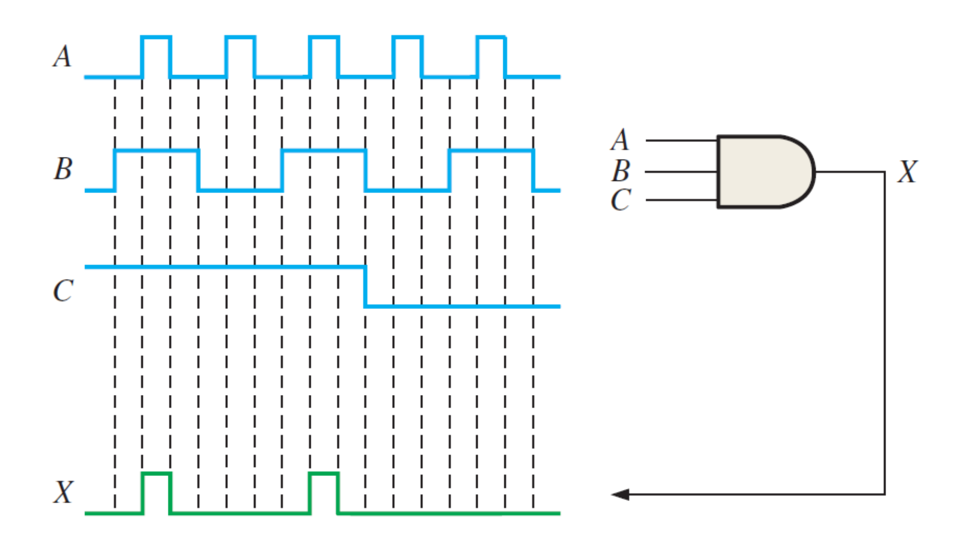


الشكل (4–6) أشكال بوابة آند AND Gate متعددة المداخل مع التعبير المنطقي المقابل



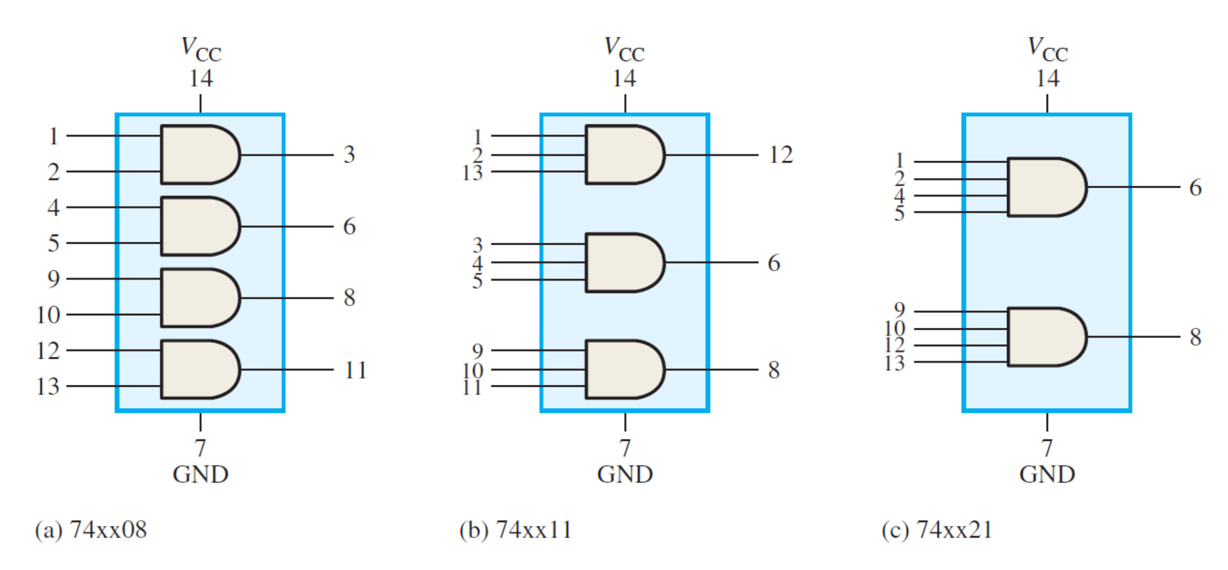


الشكل (4-7) يظهر المخطط الزمني لبوابة آند AND Gate تظهر فيه العلاقة بين الدخل والخرج



الشكل (4-8) يظهر المخطط الزمني لبوابة آند AND Gate بثلاثة مداخل

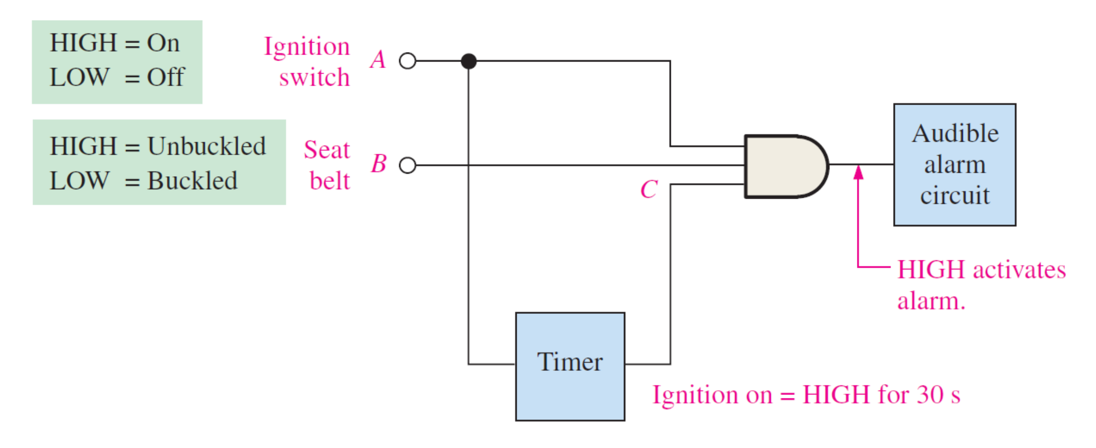
تتوفر بوابة آند AND Gate على شكل دائرة متكاملة واحدة، ويبين الشكل (4-9) مجموعة من الدوائر المتكاملة من سلسلة 74 تحتوي كل منها عدد من بوبات آند AND Gate، الأولى تحتوي على أربع بوابات بمدخلين quad 2-input AND gate تحمل الرقم 7408، (xx يعني أنها قد تكون من نوع LS أو من نوع HC).



الشكل (4–9) أشكال الدوائر المتكاملة للبوابة آند AND Gate مع أرقامها

3–2–1 تطبيق على البوابة آند Application on AND Gate

يمكن استخدام بوابة آند AND في نظام انذار حزام الأمان Seat belt في السيارة، من أجل اكتشاف هل حزام الأمان مقفل Buckled أم غير مقفل Unbuckled، الشكل (4–10) يظهر ذلك، نلاحظ من الشكل عناصر هذا النظام، عندما يكون مفتاح التشغيل للسيارة ignition switch=on، ينتج حالة جهد مرتفعة HIGH على المدخل A للبوابة آند AND، أيضاً وبنفس الوقت سوف يفعل المؤقت الذي يبدأ انتاج حالة مرتفعة HIGH على المدخل C للبوابة آند AND لمدة 30 ثانية، وعندما حزام الأمان غير مقفل سينتج حالة مرتفعة HIGH على المدخل B للبوابة آند AND، وبالتالي إذا كانت الشروط الثلاثة موجودة، السيارة في حالة عمل (مفتاح التشغيل في حالة On)، وحزام الأمان غير مقفل، والمؤقت الزمني يعمل، فإن مداخل البوابة آند AND الثلاثة في حالة مرتفعة HIGH، بالتالي خرج البوابة سيكون فيي حالة مرتفعة HIGH، ليفعل نظام التنبيه الصوتي Audible alarm circuit الذي يعلم السائق أن حزام الأمان غير مقفل.



الشكل (4–10) تطبيق على بوابة آند AND Gate نظام انذار حزام الأمان Seat belt في السيارة

3-3 عملية الجمع المنطقي Logical Addition (OR)

في هذه العملية يكون الخرج مساوياً واحد 1 فقط إذا كان أي من متغيرات الدخل مساوية واحد 1، و يكون الخرج يكون مساوياً صفر 0 إذا كانت جميع متغيرات الدخل مساوية صفر 0. الجمع المنطقي يقابل العملية أور OR، وتمثل باستخدام البوابة أور OR Gate Gate. الشكل (4-11) يظهر أشكال البوابة أور OR Gate وفق معايير (IEEE)/ (ANSI).



(a) Distinctive shape

(b) Rectangular outline with the OR (≥ 1) qualifying symbol

الشكل (4-11) أشكال البوابة أور OR Gate وفق معايير (IEEE)/(ANSI)، الشكل المربع في (b)، الشكل المميز في (a)

ليكن لدينا المتحولين المنطقيين A وB كمدخلان لبوابة منطقية من نوع أور OR Gate، التعبير المنطقي الذي يعطي خرج البوابة يعبر عنه بالعلاقة:

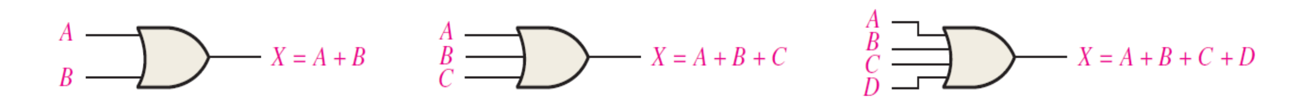
X= A OR B

X= A + B

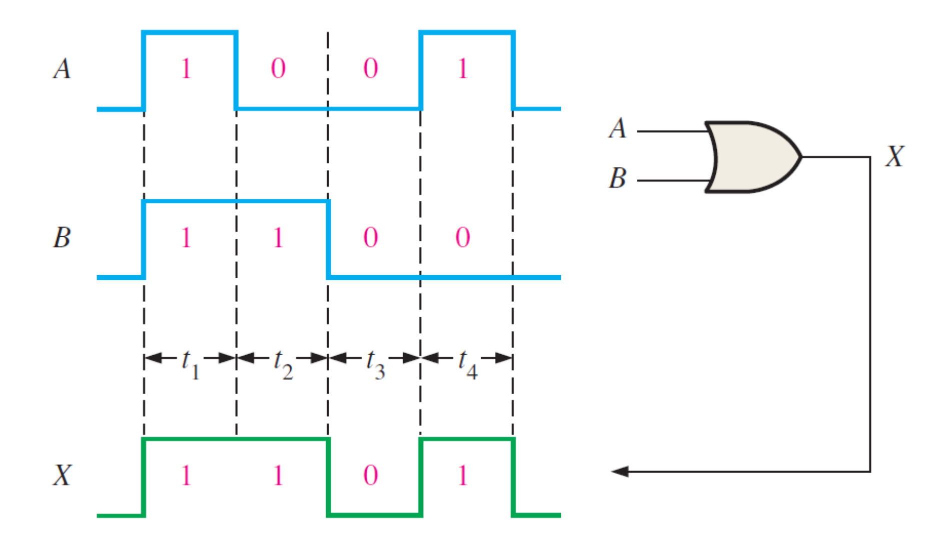
A	B	X= A + B
0	0	0
0	1	1
1	0	1
1	1	1

جدول الحقيقة Truth Table للبوابة أور OR بمدخلين

توجد بوبات أور OR Gate بمدخلين أو بثلاث مداخل، أو أربع أو أكثر من ذلك حسب الاستخدام، الشكل (4-12) يظهر هذه البوابات مع التعبير المنطقي المقابل للخرج، بينما يظهر الشكل (4-13) المخطط الزمني لبوابة أور OR Gate تظهر فيه العلاقة بين الدخل والخرج عند تطبيق إشارتين A و B، ونلاحظ أنها تتبع جدول الحقيقة، حيث أن الخرج X في الحالة الحالة المرتفعة HIGH، عندما أحد المدخلين A, B في الحالة المرتفعة HIGH.

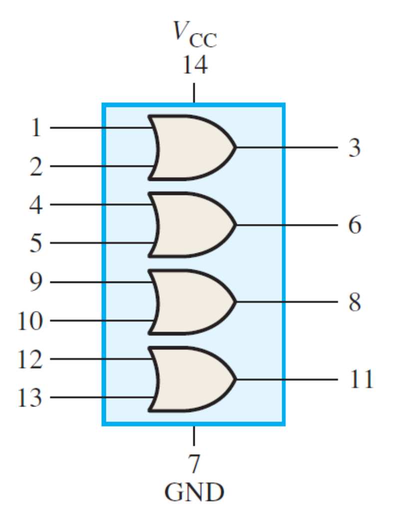


الشكل (4-12) يظهر بوابة أور OR Gate بمدخلين، ثلاث مداخل، أربع مداخل مع التعبير المنطقي المقابل للخرج



الشكل (4-13) يظهر المخطط الزمني لبوابة أور OR Gate تظهر فيه العلاقة بين الدخل والخرج

تتوفر بوابة أور OR Gate على شكل دائرة متكاملة واحدة تحمل الرقم 7432، تحتوي هذه الدائرة على أربع بوبات بمدخلين quad 2-input OR gate الشكل (4-14).

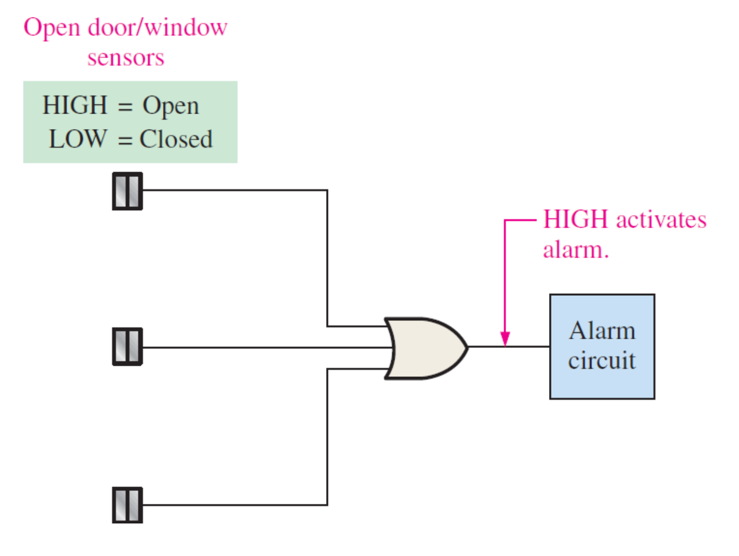


الشكل (4-14) الدائرة المتكاملة 7432 تحتوي على أربع بوبات أور OR Gate بمدخلين

3-3-1 تطبيق على البوابة أور Application on OR Gate

يمكن استخدام بوابة أور OR في نظام للتنبيه وكشف التطفل أو السرقة الموضح في الشكل (4-15)، هذا النظام يمكن أن يستخدم في غرفة لها نافذتان وباب واحد، المستشعرات تكون مفاتيح مغناطيسية تنتج الخرج المرتفع HIGH عند الفتح، والخرج المنخفض LOW عند الاغلاق، هذه المفاتيح توصل إلى مداخل بوابة أور OR، طالما النوافذ والباب مغلقة ومؤمنة، المفاتيح مغلقة وجميع مداخل البوابة أور OR تكون بجهد منخفض LOW، عندما أحد النوافذ، أو الباب يفتح، ينتج جهد مرتفع HIGH على

أحد مداخل البوابة أور OR، وبالتالي خرج البوابة يصبح بجهد مرتفع HIGH، والذي يفعل دائرة تنبيه للتحذير من وجود متطفل أو وجود أحد قام بالفتح.

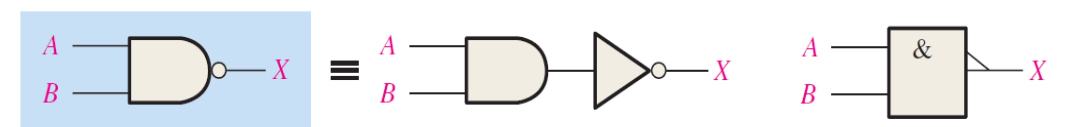


الشكل (4-15) نظام كشف التطفل مبسط يستعمل بوابة أور OR

3-4 العملية ناند NAND Operation

بوابة الناند NAND Gate التي تنفذ العملية المنطقية ناند NAND Operation واحدة من البوابات التي تستخدم بكثرة في بناء الكثير من الدوال والتوابع والأنظمة الرقمية كما سنرى، حيث يمكن بناء النظام بالكامل باستخدام هذه البوابة، وسنرى أيضا كيفية الحصول البوابات الأساسية الآند AND، والأور OR، والنفي NOT، باستخدام بوابة الناند NAND Gate، وذلك لاحقاً.

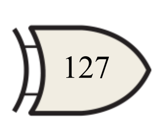
بوابة الناند NAND Gate يكون لها دخلان أو أكثر، وهي تقوم بعملية الضرب المنطقي على هذه المداخل ثم عكسها ووضعها على الخرج الوحيد، إن ذلك يعني أنها عبارة عن بوابة الآند AND متبوعة ببوابة النفي. لذلك فإن خرج هذه البوابة يكون صفر 0 في حالة واحدة فقط وهي عندما تكون كل المداخل تساوي واحدات 1، ويكون الخرج واحد 1 في كل الحالات الأخرى التي يكون فيها أي من المداخل أو كل المداخل تساوي أصفار 0، الشكل (4-16) يظهر أشكال البوابة الناند NAND Gate وفق معايير (IEEE)/ (ANSI).



(a) Distinctive shape, 2-input NAND gate and its NOT/AND equivalent

(b) Rectangular outline, 2-input NAND gate with polarity indicator

الشكل(4-16) أشكال البوابة الناند NAND Gate وفق معايير(IEEE)/(ANSI)، الشكل المربع في(b)، الشكل المميز في(a)



ليكن لدينا المتحولين المنطقيين A وB كمدخلان لبوابة منطقية من نوع الناند NAND Gate، التعبير المنطقي الذي يعطى خرج البوابة يعبر عنه بالعلاقة:

$$X = A \text{ NAND } B$$

$$X = \overline{A \text{ AND } B}$$

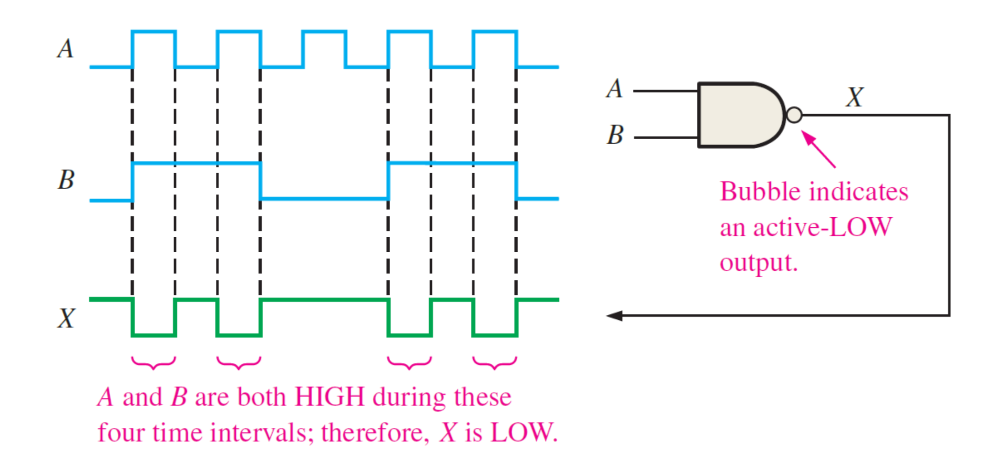
$$X = \overline{A . B}$$

$$X = \overline{A B}$$

A	B	$X = \overline{A . B}$
0	0	1
0	1	1
1	0	1
1	1	0

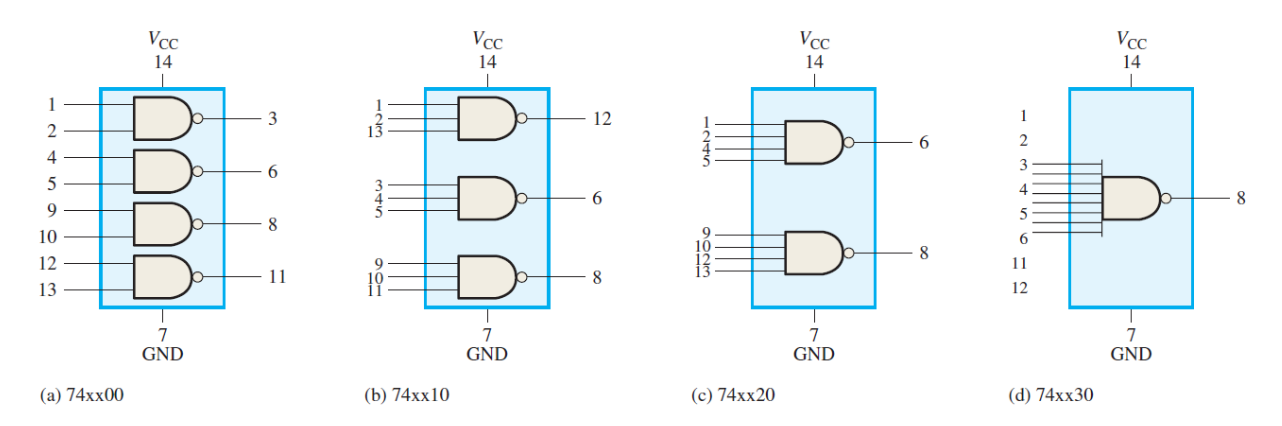
جدول الحقيقة Truth Table للبوابة ناند NAND Gate بمدخلين

يظهر الشكل (4–17) المخطط الزمني لبوابة الناند NAND Gate، تظهر فيه العلاقة بين الدخل والخرج عند تطبيق إشارتين A و B، ونلاحظ أنها تتبع جدول الحقيقة، حيث أن A, B مع بعض في الحالة المرتفعة HIGH خلال أربع فواصل زمنية، يقابلهما الخرج X في الحالة المنخفضة LOW، ويكون الخرج في الحالة المرتفعة HIGH في ما عد ذلك.



الشكل (4–17) يظهر المخطط الزمني لبوابة ناند NAND Gate تظهر فيه العلاقة بين الدخل والخرج

توجد بوبات الناند NAND Gate بثلاث مداخل أو أربع أو أكثر من ذلك حسب الاستخدام، وتتوفر بوابة الناند NAND Gate على شكل دائرة متكاملة واحدة ويبين الشكل (4–17) مجموعة من الدوائر المتكاملة من سلسلة 74 تحتوي كل منها عدد من بوابات ناند NAND Gate، تظهر الأولى تحتوي على أربع بوابات بمدخلين quad 2-input NAND gate تحمل الرقم 7400، الثانية تحتوي على ثلاث بوبات بثلاثة مداخل triple 3-input NAND gate تحمل الرقم 7410، والثالثة تحتوي على بوابتين بأربع مداخل dual 4-input NAND gate device تحمل الرقم 7420، الرابعة تحتوي على بوابة واحدة بثمانية مداخل NAND gate single 8-input تحمل الرقم 7430.



الشكل (4–17) أشكال الدوائر المتكاملة للبوابة ناند NAND Gate

التعبير المنطقي لبوابة ناند بثلاثة مداخل triple 3-input NAND gate يكتب بالشكل:

$$X = \overline{A \, . \, B. \, C}$$

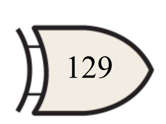
3–4–1 تطبيق على البوابة ناند Application on NAND Gate

يمكن استخدام بوابة الناند NAND Gate في نظام كشف محتوى سائل مخزن في اثنين أو أكثر من البراميل كما هو موضح في الشكل (4–18)، كل برميل يحتوي على مستشعر (حساس) يكتشف انخفاض مستوى السائل في البرميل إلى أقل من الربع، هذه المستشعرات تنتج جهد مرتفع HIGH أي 5v عندما مستوى السائل أكثر من الربع، وعندما ينخفض مستوى السائل إلى أقل من الربع، المستشعر سوف ينتج جهد منخفض LOW أي 0v، عندما يكون مستوى السائل في كلا البرميلين أكثر من الربع، فإن المستشعرات سوف تنتج جهد مرتفع HIGH وبالتالي كلا مدخل البوابة ناند NAND في حالة جهد مرتفع HIGH أي 5v وخرجها سيكون بجهد منخفض LOW أي 0v، وبالتالي سيعمل الديود مضيء باللون الاخضر مشيراً على أن مستوى السائل في كلا البرميلين أكثر من الربع.

دائرة الديود الضوئي light-emitting diode (LED) موصلة على أساس أن الجهد المنخفض LOW يشغل الديود.

الشكل (4–18) في نظام كشف محتوى سائل مخزن في اثنين أو أكثر من البراميل يستعمل بوابة ناند NAND

Tank A
Level sensor
HIGH
HIGH
LOW
+V
Green light indicates both tanks are greater than 1/4 full.
Tank B
Level sensor



2-4-3 الخاصية العامة للبوابة ناند The Universal Property of NAND Gate

في الكثير من الدوائر العملية، وبالذات فى تصنيع الدوائر المتكاملة المنطقية يكون فى العادة من المفيد بناء كل الدائرة أو كل النظام المنطقي من نوع واحد من البوابات، سنرى فى هذا الجزء كيف نستخدم بوابات ناند NAND فقط للتعبير عن البوابات المنطقية الأساسية، وبالتالي يمكن منها بناء الدائرة المنطقية بالكامل.

تسمى البوابة ناند NAND GATE **البوابة العامة Universal Gate**، حيث يمكن باستخدام أي تركيبة من البوابة العامة بناء أي دائرة منطقية.

في الجزء التالي سنوضح كيفية الحصول على البوابات الأساسية الثلاث، النفي NOT، وأند AND، وأور OR، باستخدام بوابة ناند NAND.

بوابة النفي NOT:

يمكن أن نقوم باستخدام بوابة ناند NAND كبوابة نفي منطقي بربط جميع أطراف الدخل لها في طرف واحد. يمكن أن نرمز لبوابة ناند NAND المستخدمة كبوابة نفي منطقي ببوابة NAND بطرف دخل واحد، الشكل (4-19) يوضح ذلك. وخرج البوابة في هذه الحالة هو:

$$\overline{A} = \overline{A\,.\,A}$$

بوابة آند AND:

يمكن الحصول على البوابة آند AND وتنفيذ العملية آند AND عن طريق إجراء العملية ناند NAND على المدخلين الأساسيين، ومن ثم الخرج ندخله على بوابة ناند NAND تعمل كبوابة نفي منطقي، كما تشير المعادلة التالية، وموضح في الشكل (19-4).

$$X = \overline{\overline{A\,B}} = A\,B$$

بوابة أور OR:

يمكن الحصول على البوابة أور OR وتنفيذ العملية أور OR عن طريق إجراء العملية ناند NAND تعمل كبوابة نفي منطقي من أجل عكس كل من المدخلين الأساسيين، ومن ثم خرج بوابتي النفي ندخلهما على بوابة ناند NAND، كما تشير المعادلة التالية، والخرج النهائي نحصل عليه بتطبيق نظرية ديمورغان، والشكل (4-19) يوضح ذلك.

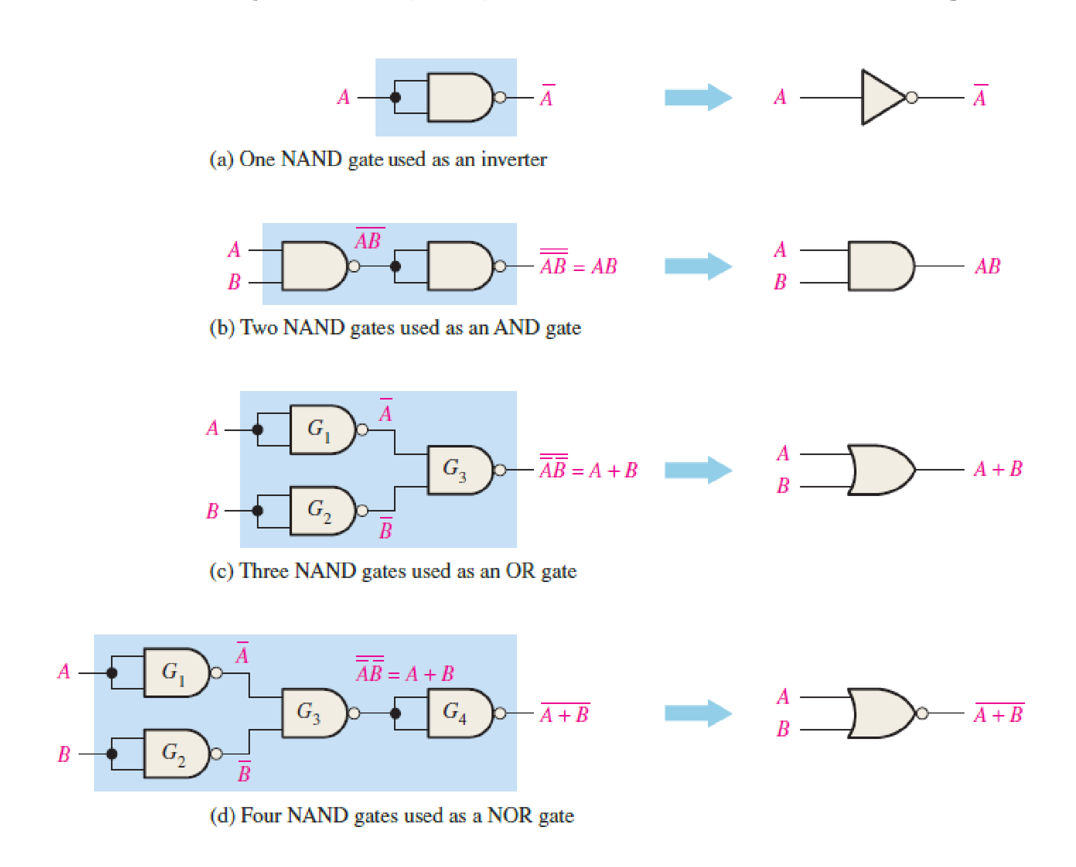
$$X = \overline{\overline{A}\,\overline{B}} = A + B$$

بوابة نور NOR:

ويمكن ادخال خرج التركيبة السابقة من بوابات ناند NAND المستخدمة للحصول على بوابة أور OR على بوابة ناند NAND تعمل كبوابة نفي منطقي فنحصل على بوابة نور NOR، كما تشير المعادلة:

$$X = \overline{A + B}$$

أي يمكن أيضاً تنفيذ **البوابة نور NOR** باستخدام بوابة ناند NAND فقط، عن طريق إجراء العملية ناند NAND تعمل كبوابة نفي منطقي من أجل عكس كل من المدخلين الأساسيين، ومن ثم خرج كل بوابة النفي ندخله على بوابة ناند NAND، ومن ثم الخرج ندخله على بوابة ناند NAND تعمل كبوابة نفي منطقي، كما هو موضح بالشكل (4–19).

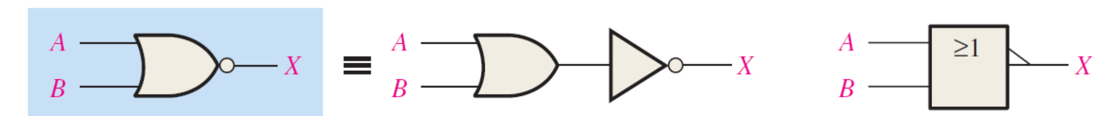


الشكل (4–19) الخاصية العامة للبوابة ناند NAND

3–5 العملية نور NOR Operation

بوابة النور NOR Gate التي تنفذ العملية نور NOR Operation واحدة أيضاً من البوابات التي تستخدم بكثرة في بناء الكثير من الدوال والتوابع والأنظمة الرقمية كما سنرى، حيث يمكن بناء النظام بالكامل باستخدام هذه البوابة وسنرى أيضا كيفية الحصول البوابات الأساسية الآند AND، والأور OR، والنفي NOT ، باستخدام بوابة النور NOR Gate، وذلك لاحقاً.

بوابة النور يكون لها دخلان أو أكثر وهي تقوم بعملية الجمع المنطقي على هذه المداخل ثم عكسها ووضعها على الخرج الوحيد، إن ذلك يعني أنها عبارة عن بوابة أور OR متبوعة ببوابة نفي NOT، لذلك فإن خرج هذه البوابة يكون واحد 1 في حالة واحدة فقط وهي عندما تكون كل المداخل تساوى أصفار 0، ويكون الخرج صفر 0 في كل الحالات الأخرى التي يكون فيها أي واحد من المداخل أو كل المداخل تساوي واحدات 1. الشكل (4–20) يظهر أشكال البوابة نور NOR Gate وفق معايير (ANSI)/ (IEEE).



(a) Distinctive shape, 2-input NOR gate and its NOT/OR equivalent

(b) Rectangular outline, 2-input NOR gate with polarity indicator

الشكل (4-20) يظهر أشكال البوابة نور NOR Gate وفق معايير (ANSI)/(IEEE)، الشكل المربع في (b)، الشكل المميز في (a)

ليكن لدينا المتحولين المنطقيين A وB كمدخلان لبوابة منطقية من نوع نور NOR Gate، التعبير المنطقي الذي يعطي خرج البوابة يعبر عنه بالعلاقة:

X= A NOR B

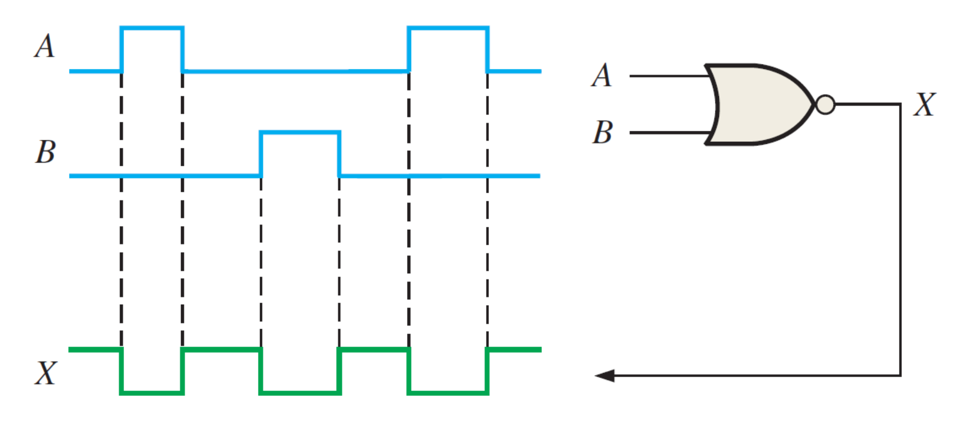
$X = \overline{A \text{ OR } B}$

$X = \overline{A + B}$

A	B	$X = \overline{A + B}$
0	0	1
0	1	0
1	0	0
1	1	0

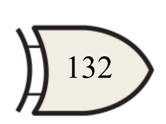
جدول الحقيقة Truth Table للبوابة نور NOR Gate بمدخلين

يظهر الشكل (4-21) المخطط الزمني لبوابة نور NOR Gate، تظهر فيه العلاقة بين الدخل والخرج عند تطبيق إشارتين A و B، ونلاحظ أنها تتبع جدول الحقيقة، حيث يكون الخرج X في الحالة المرتفعة HIGH فقط عندما يكون كلا الدخلين A, B في الحالة المنخفضة LOW.

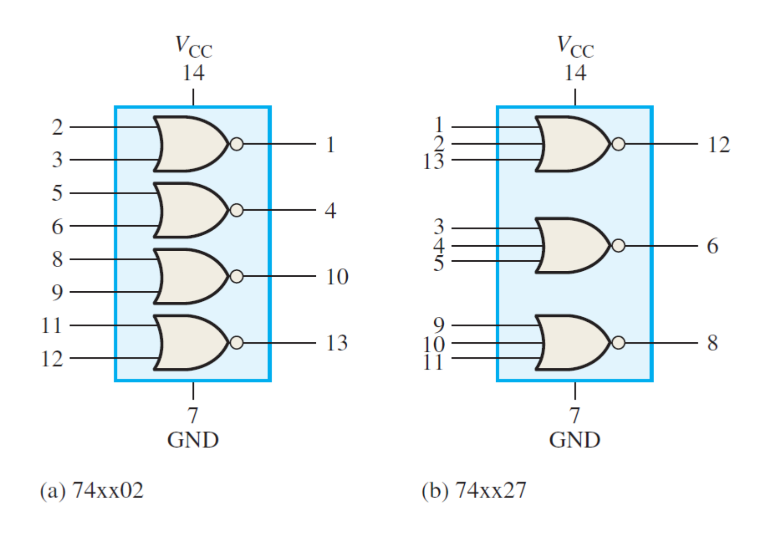


الشكل (4-21) يظهر المخطط الزمني لبوابة نور NOR Gate تظهر فيه العلاقة بين الدخل والخرج

توجد بوبات نور NOR Gate بثلاث مداخل أو أربع أو أكثر من ذلك حسب الاستخدام، وتتوفر بوابة نور NOR Gate على شكل دائرة متكاملة واحدة، ويبين الشكل (4-22) شكلين من الدوائر المتكاملة من سلسلة 74، تحتوي كل منها



عدد من بوابات نور NOR Gate، الأولى تحتوي على أربع بوابات بمدخلين quad 2-input NOR gate تحمل الرقم 7402، الثانية تحتوي على ثلاث بوبات بثلاثة مداخل triple 3-input NOR gate تحمل الرقم 7427.



الشكل (4-22) شكلين من الدوائر المتكاملة للبوابة نور NOR Gate

التعبير المنطقي لبوابة نور بثلاثة مداخل triple 3-input NOR gate يكتب بالشكل:

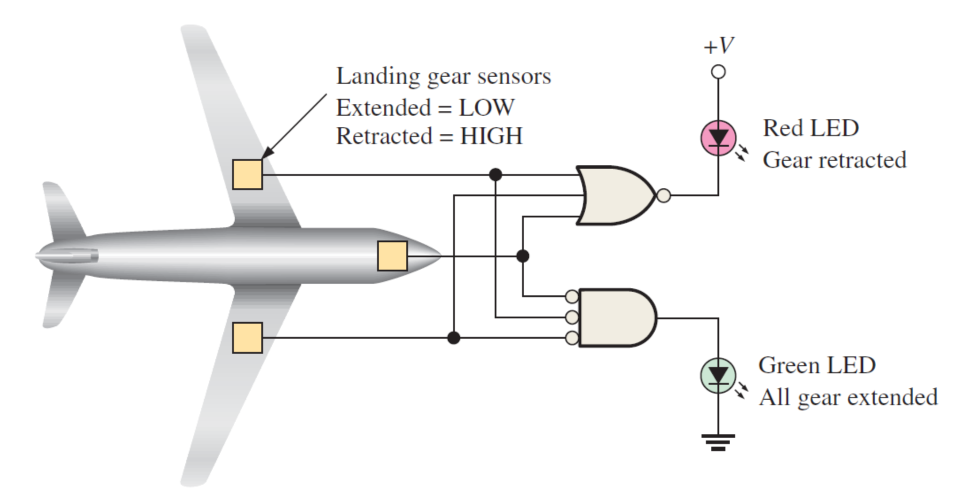
$$X = \overline{A + B + C}$$

3-5-1 تطبيق على البوابة نور Application on NOR Gate

يمكن استخدام بوابة نور NOR Gate كجزء من نظام الرصد الوظيفي للطائرة، كما هو موضح في الشكل (4-23)، إذ يلزم وجود دائرة للإشارة إلى حالة تروس الهبوط landing gears قبل الهبوط، إذ يتم تنشيط وتمديد " الترس" استعدّاداً للهبوط، يعمل النظام على الشكل التالي:

- إذا كانت كل التروس تعمل بشكل صحيح فإن أجهزة الاستشعار تنتج الجهد المنخفض LOW، و نحصل على الجهد المرتفع HIGH من البوابة نفي آند negative-AND gate التي تعمل نفس عمل بوابة نور NOR، وبالتالي تشغيل شاشة الليد الخضراء، إذاً يتم تشغيل شاشة الليد الخضراء إذا كانت جميع التروس الثلاثة تعمل بشكل صحيح (مداخل البوابة نفي آند في حالة HIGH).

- إذا كان واحد من التروس أو أكثر لم يعمل ولم يمتد، أجهزة الاستشعار تنتج الجهد المرتفع HIGH، التي تكون أحد مداخل البوابة نور NOR Gate، والتي تنتج على الخرج الجهد المنخفض LOW، ويتم تشغيل شاشة الليد الحمراء.



الشكل (4–23) نظام رصد تروس الهبوط للطائرة كمثال تطبيقي على البوابة نور NOR Gate، إذ يكون الليد الأخضر مضاء إذا كانت التروس الثلاثة ممتدة وتعمل بشكل صحيح، ويكون الليد الأحمر مضاء في حال أحد التروس لا يعمل

3–5–2 الخاصية العامة للبوابة نور The Universal Property of NOR Gate

يمكن أيضاً استخدام البوابة نور NOR Gate فقط، لبناء الدائرة المنطقية بالكامل، إذ يمكن الحصول على البوابات الأساسية الثلاث، النفي NOT، وأند AND، وأور OR، باستخدام البوابة نور NOR Gate والتي تسمى أيضاً **البوابة العامة Universal Gate**، وباستخدام أي تركيبة من البوابة العامة يمكن بناء أي دائرة منطقية.

بوابة النفي NOT:

يمكن أن نقوم باستخدام البوابة نور NOR Gate كبوابة نفي منطقي بربط جميع أطراف الدخل لها في طرف واحد. يمكن أن نرمز لبوابة نور NOR المستخدمة كبوابة نفي منطقي ببوابة NOR بطرف دخل واحد، الشكل (4–24) يوضح ذلك. وخرج البوابة في هذه الحالة هو:

$$A = \overline{A + A}$$

بوابة أور OR:

يمكن الحصول على البوابة أور OR وتنفيذ العملية أور OR عن طريق إجراء العملية نور NOR على المدخلين الأساسيين، ومن ثم الخرج ندخله على بوابة نور NOR تعمل كبوابة نفي منطقي، كما تشير المعادلة التالية، وموضح في الشكل (4–24).

$$X = \overline{\overline{A + B}} = A + B$$

بوابة آند AND:

يمكن الحصول على البوابة آند AND وتنفيذ العملية آند AND عن طريق إجراء العملية نور NOR تعمل كعملية النفي المنطقي من أجل نفي كل من المدخلين الأساسيين، ومن ثم خرج بوابتي النفي ندخلهما على بوابة نور NOR.

المعادلة التالية توضح ذلك، والخرج النهائي نحصل عليه بتطبيق نظرية ديمورغان، والشكل (24-4) يوضح ذلك.

$$X=\overline{\overline{A}+\overline{B}} =A + B$$

ويمكن ادخال خرج التركيبة السابقة من بوابات نور المستخدمة للحصول على البوابة آند AND على بوابة نور NOR تعمل كبوابة نفي منطقي فنحصل على بوابة ناند NAND، كما تشير المعادلة:

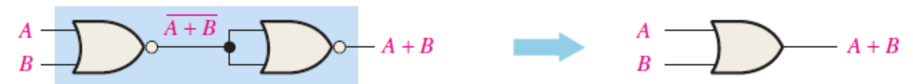
$$X= \overline{A.B}$$

بوابة ناند NAND:

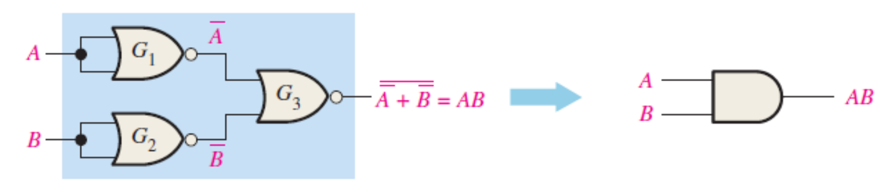
أي يمكن أيضاً **تنفيذ بوابة ناند NAND** باستخدام بوابة نور NOR فقط، عن طريق إجراء العملية نور NOR تعمل كبوابة نفي منطقي من أجل نفي كل من المدخلين الأساسيين، ومن ثم خرج كل بوابة نفي ندخله على بوابة نور NOR، ومن ثم الخرج ندخله على بوابة نور NOR تعمل كبوابة نفي منطقي، كما هو موضح بالشكل (24-4).



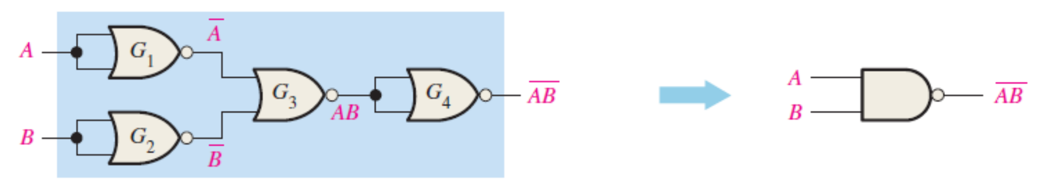
(a) One NOR gate used as an inverter



(b) Two NOR gates used as an OR gate

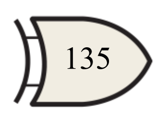


(c) Three NOR gates used as an AND gate



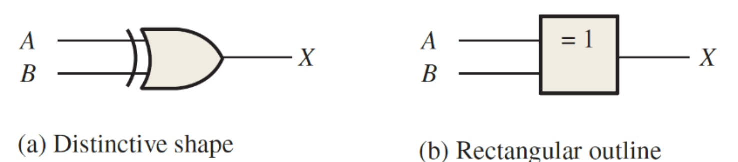
(d) Four NOR gates used as a NAND gate

الشكل (24-4) الخاصية العامة للبوابة نور NOR



6–3 العملية أور المقصورة اكس أور Exclusive OR, XOR

البوابة أور المقصورة اكس أور XOR Gate عبارة عن تركيبة من البوابات الأساسية السابقة، ونظرا لكثرة استخدامها في العديد من التطبيقات فقد تم إفراد رمز لها واستخدامها كبوابة منفصلة، هذه البوابة لها دخلان فقط ويكون خرجها واحد 1 إذا كان الدخلان مختلفان، وتسمى عملية البوابة اكس أور XOR عملية الاختلاف، ويكون خرجها صفر 0 إذا كان الدخلان متشابهان، وتنفذ باستخدام البوابة اكس أور XOR Gate التي لها الأشكال الموضحة في الشكل (4–25) وفق معايير (IEEE)/(ANSI).



(a) Distinctive shape (b) Rectangular outline

الشكل (4–25) يظهر أشكال البوابة اكس أور XOR Gate وفق معايير (IEEE)/(ANSI)، الشكل المربع في (b)، الشكل المميز في (a)

ليكن لدينا المتحولين المنطقيين A وB كمدخلان لبوابة منطقية من نوع اكس أور XOR، التعبير المنطقي الذي يعطى خرج البوابة يعبر عنه بالعلاقة:

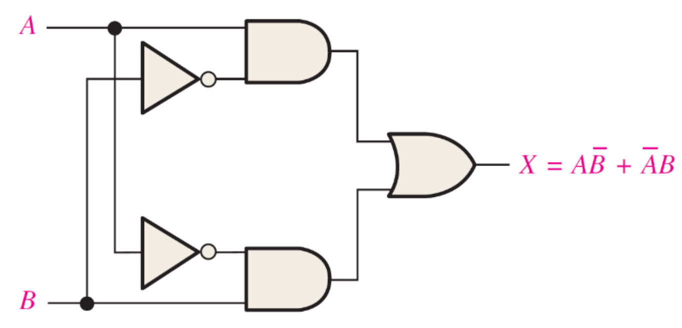
X= A XOR B

$X= \overline{A}\,B + A\,\overline{B}$

A	B	X
0	0	0
0	1	1
1	0	1
1	1	0

جدول الحقيقة Truth Table للبوابة اكس أور XOR Gate بمدخلين

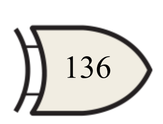
والدائرة المنطقية التي تعبر عن الخرج في الشكل (4–26)، وهذه التركيبة مبنية من البوابات الأساسية، تسمى بوابة أكس أور XOR.



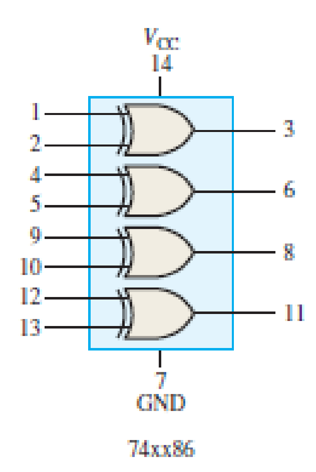
الشكل (4–26) تركيبة من البوابات الأساسية تمثل البوابة أكس أور XOR

يرمز لمعامل عملية أور المقصورة XOR بالشكل ⊕، ويكون التعبير المنطقي بالشكل:

$X= A \oplus B$



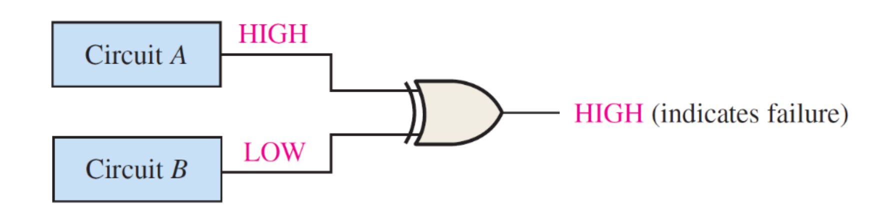
تتوفر البوابة اكس أور XOR Gate على شكل دائرة متكاملة واحدة، تحتوي على أربع بوابات بمدخلين quad 2-input XOR gate تحمل الرقم 7486، الشكل (4–27).



الشكل (4–27) الدائرة المتكاملة للبوابة اكس أور XOR Gate، تحتوي على أربع بوابات بمدخلين تحمل الرقم 7486

3–6–1 تطبيق على البوابة أور المقصورة اكس أور Application on XOR Gate

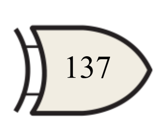
يمكن استخدام البوابة اكس أور XOR Gate، في نظام لكشف العطل في دائرتين يعملان على التفرع، يوصل خرجهما على مدخل بوابة اكس أور XOR، كما هو موضح في الشكل (4–27)، طالما هاتان الدائرتان تعملان بشكل صحيح، فإن خرج الدئراتين متشابه وخرج البوابة اكس أور XOR في حالة جهد منخفض LOW، وإذا حدث عطل في إحدى الدائرتين فإن خرج الدائرتين سيكون مختلف، وبالتالي خرج البوابة سيكون في حالة جهد مرتفع HIGH إشارة إلى وجود عطل في أحد الدوائر.



الشكل (4–27) نظام كشف عطل في أحد دائرتين باستخدام البوابة اكس اور XOR Gate

3–7 العملية نور المقصورة، اكس نور Exclusive NOR, XNOR

تعمل البوابة نور المقصورة، اكس نور XNOR Gate بطريقة معاكسة للبوابة اكس أور XOR، هذه البوابة لها دخلان فقط ويكون خرجها واحد 1 إذا كان الدخلان متشابهان وتسمى عملية البوابة اكس نور بعملية التشابه، ويكون خرجها صفر 0 إذا كان الدخلان متشابهان، وتنفذ عملية نور المقصورة اكس نور XNOR باستخدام البوابة اكس نور XNOR Gate التي لها الأشكال الموضحة في الشكل (4–28) وفق معايير (IEEE)/ (ANSI).





الشكل (28-4) يظهر أشكال البوابة اكس نور XNOR Gate وفق معايير (ANSI)/(IEEE)، الشكل المربع في (b)، الشكل المميز في (a)

ليكن لدينا المتحولين المنطقيين A و B كمدخلان لبوابة منطقية من نوع اكس نور XNOR، التعبير المنطقي الذي يعطى خرج البوابة يعبر عنه بالعلاقة:

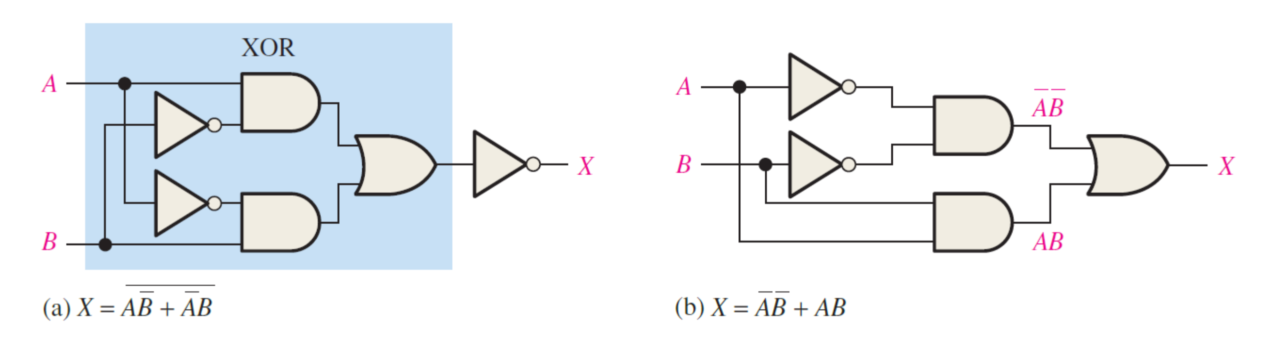
$$X = A \text{ XNOR } B$$

$$X = A\,B + \overline{A}\,\overline{B}$$

A	B	X
0	0	1
0	1	0
1	0	0
1	1	1

جدول الحقيقة Truth Table للبوابة اكس نور XNOR Gate بمدخلين

والدائرة المنطقية التي تعبر عن الخرج موضحة في الشكل (29-4)، وهي مبنية من تركيبة من البوابات الأساسية، وهذه التركيبة تسمى بوابة أكس نور XNOR، ونلاحظ أن القسم المظلل يمثل بوابة أكس أور، وبالتالي بوابة أكس نور XNOR تمثل بوابة أكس أور XOR منفية.

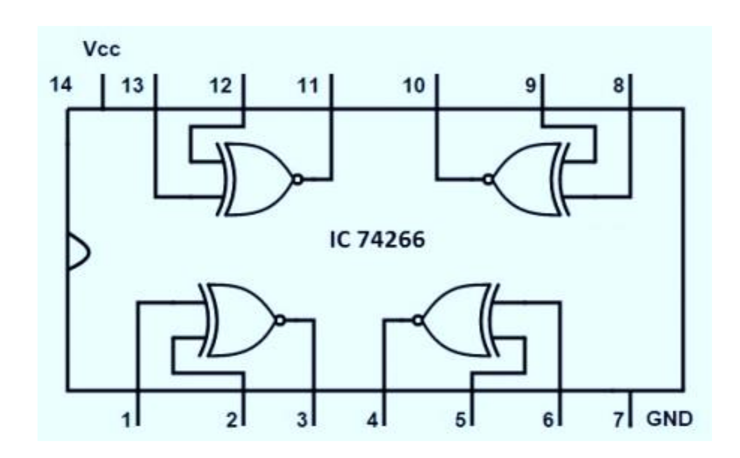


(a) $X = \overline{A\overline{B} + \overline{A}B}$

(b) $X = \overline{A}\overline{B} + AB$

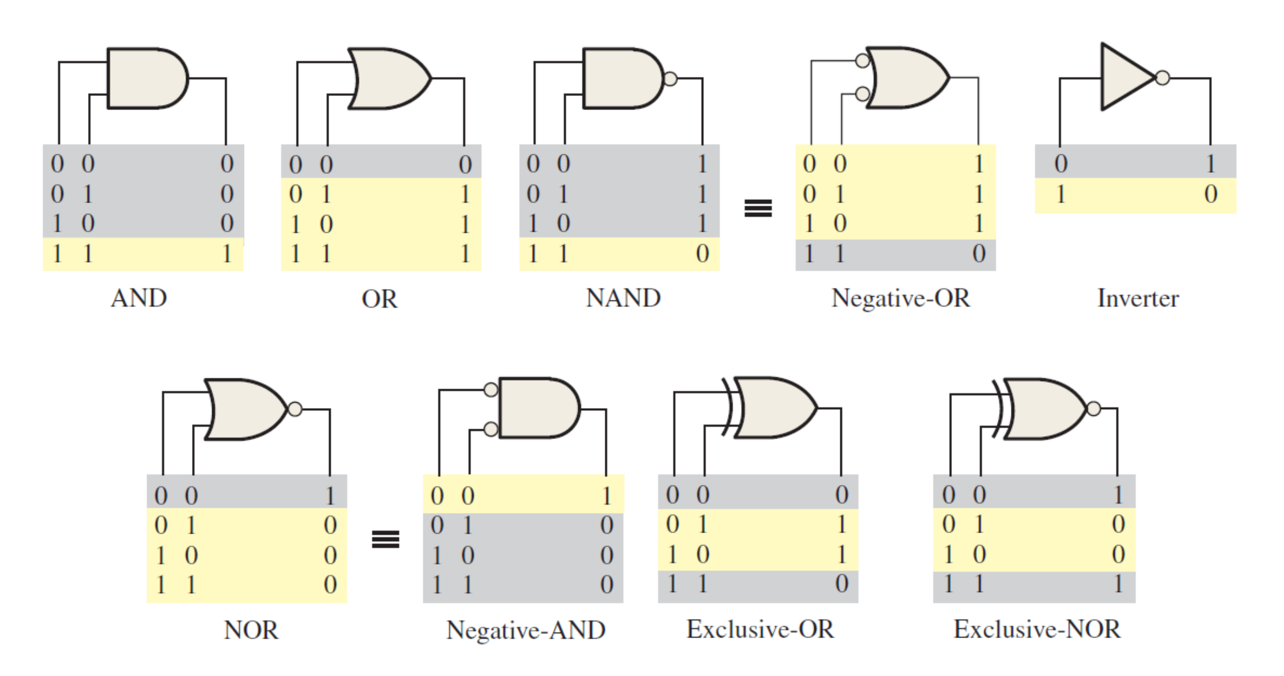
الشكل (29-4) تركيبة من البوابات الأساسية تمثل البوابة أكس نور XNOR

تتوفر البوابة اكس نور XNOR Gate على شكل دائرة متكاملة واحدة، تحتوي على أربع بوابات بمدخلين-2 quad input XNOR gate تحمل الرقم 74266، الشكل (30-4).



الشكل (4-30) الدائرة المتكاملة للبوابة اكس أور XNOR Gate، تحتوي على أربع بوابات بمدخلين تحمل الرقم 74266

يقدم الشكل (4-31) ملخصاً عن كل البوابات المنطقية مع حالات الدخل الممكنة والخرج المقابل لكل منها. (توجد بوابة نفي أور Negative-OR Gate وهي تعمل نفس بوابة ناند NAND مع الاختلاف أن النفي يكون على المداخل. أيضاً البوابة نفي آند Negative-AND Gate وهي تعمل نفس بوابة نور NOR مع الاختلاف أن النفي يكون على المداخل).



الشكل (4-31) يظهر جميع البوابات المنطقية مع حالات الدخل الممكنة والخرج المقابل لكل منها

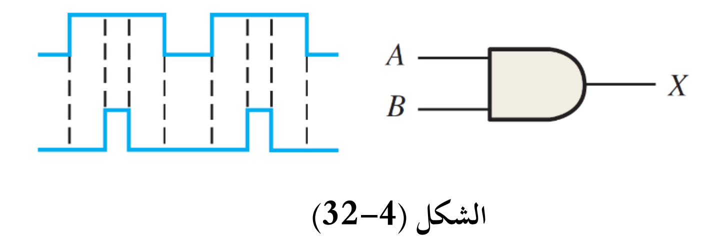
الجدول (4-1) يلخص الدوائر المتكاملة التي تم عرضها سابقاً، مع أرقامها ومحتوياتها

نوع الدائرة المتكاملة		رقمها
دائرة بست بوابات نفي NOT	Hex (6) Inverter	7404
دائرة بأربع بوابات ناند NAND بمدخلين	Quad (4) 2-Input NAND Gate	7400
دائرة بأربع بوابات آند AND بمدخلين	Quad (4) 2-Input AND Gate	7408
دائرة بأربع بوابات أور OR بمدخلين	Quad (4) 2-Input OR Gate	7432
دائرة بأربع بوابات اكس او XOR بمدخلين	Quad (4) 2-Input XOR Gate	7486
دائرة بأربع بوابات اكس نور XNOR بمدخلين	Quad (4) 2-Input XNOR Gate	74266
دائرة بأربع بوابات نور NOR بمدخلين	Quad (4) 2-Input NOR Gate	7402
دائرة بثلاث بوابات ناند NAND بثلاثة مداخل	Triple (3) 3-Input NAND Gate	7410
دائرة بثلاث بوابات آند AND بثلاثة مداخل	Triple (3) 3-Input AND Gate	7411
دائرة بثلاث بوابات نور NOR بثلاثة مداخل	Triple (3) 3-Input NOR Gate	7427
دائرة ببوابتين ناند NAND بأربعة مداخل	Dual (2) 4-Input NAND Gate	7420
دائرة ببوابتين ناند AND بأربعة مداخل	Dual (2) 4-Input AND Gate	7421
دائرة ببوابة ناند NAND واحدة بثمانية مداخل	8-Input NAND Gate	7430

الجدول (4-1) الدوائر المتكاملة التي تم عرضها في هذا الفصل

تدريبات

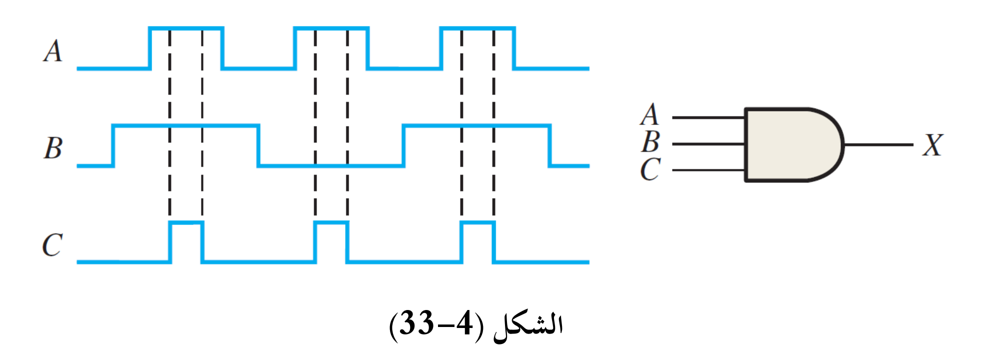
1- ارسم شكل المخطط الزمني للخرج X لبوابة آند AND ذات المدخلين A, B إذا كان شكل نبضات الدخل على المدخلين كما هو موضح بالشكل (4-32)



الشكل (4-32)

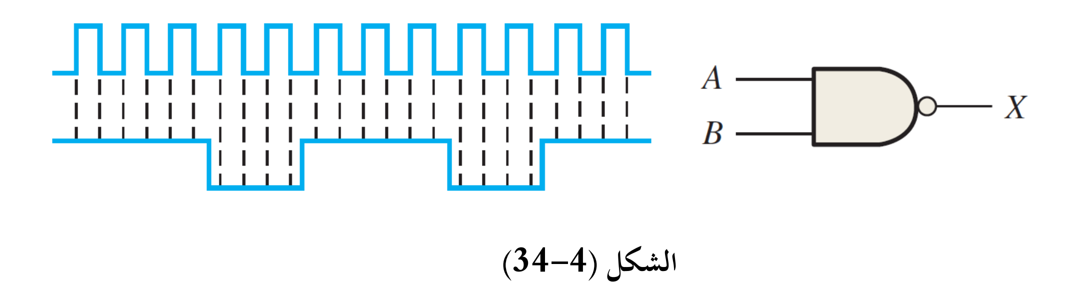
2- ارسم شكل المخطط الزمني للخرج x لبوابة أور OR ذات المدخلين A, B إذا كان شكل نبضات الدخل على المدخلين كما هو موضح بالشكل الشكل (4-32)

3- ارسم شكل المخطط الزمني للخرج X لبوابة آند AND ذات الثلاث مداخل A, B, C إذا كان شكل نبضات الدخل على المداخل كما هو موضح بالشكل (4-33)

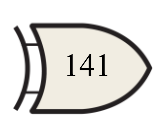


الشكل (4-33)

4- ارسم شكل المخطط الزمني للخرج X لبوابة آند AND ذات الثلاث مداخل A, B, C إذا كان شكل نبضات الدخل على المداخل كما هو موضح بالشكل (4-34)



الشكل (4-34)



5- أي من البوابات المنطقية تعطي المستوى المرتفع (1) على خرجها عندما يكون كلا مدخليها في المستوي المنخفض.

6- أي من البوابات المنطقية تعطي المستوى المرتفع (0) على خرجها عندما يكون كلا مدخليها في المستوي المرتفع.

7- متى يكون خرج البوابة ناند NAND في المستوى المنخفض (0).

8- أي من البوابات المنطقية تعطي التعبير المنطقي التالي على خرجها.

$$X = A\ B + \overline{A}\ \overline{B}$$

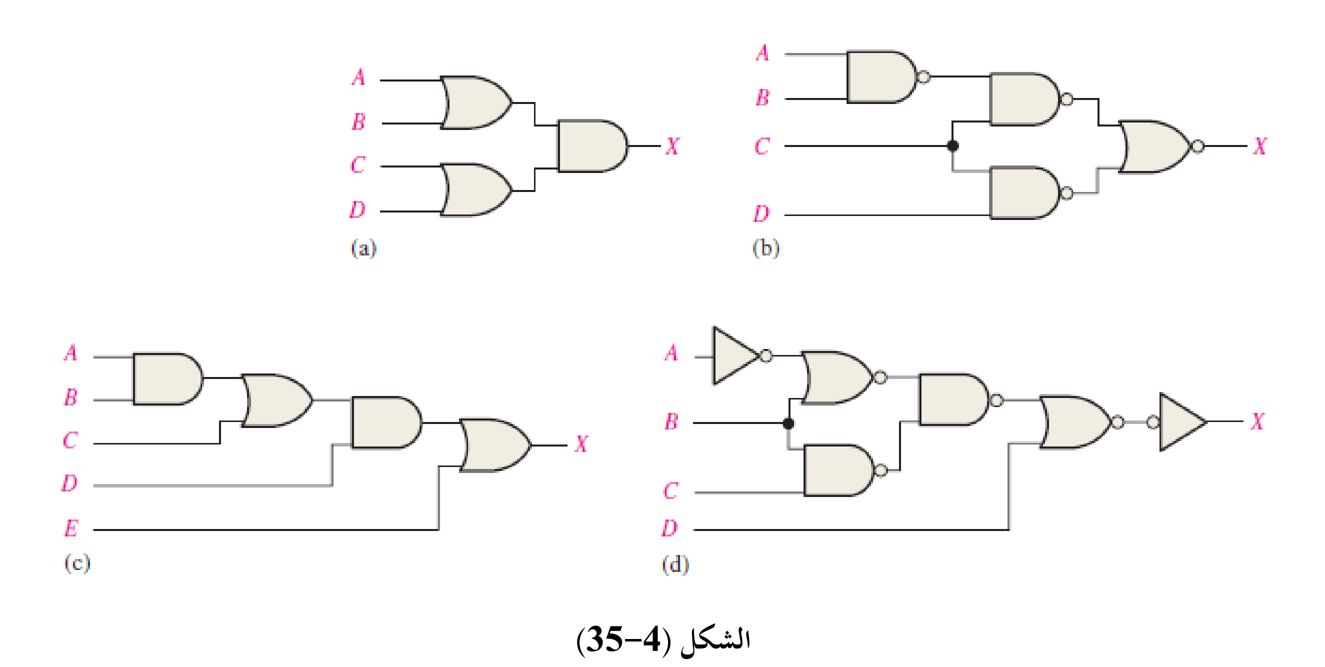
9- ارسم الدوائر التي تعبر عنها التعابير المنطقية التالية باستخدام كل من بوابتي ناند NAND ونور NOR .

$$X = \overline{A}\ B + C\ D + (\overline{A + B})\ (A\ C\ D + \overline{B\ E})$$

$$X = A\ B\ \overline{C + D} + D\ \overline{E}\ F + \overline{A\ F})$$

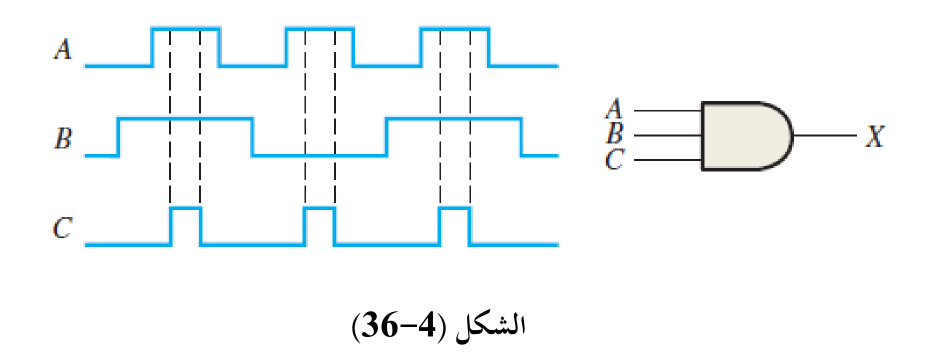
10- اكتب الخرج التي تعبر عنه الداوائر المنطقية في الشكل (4-35)

11- اكتب جدول الحقيقة للداوائر المنطقية في الشكل (4-35)



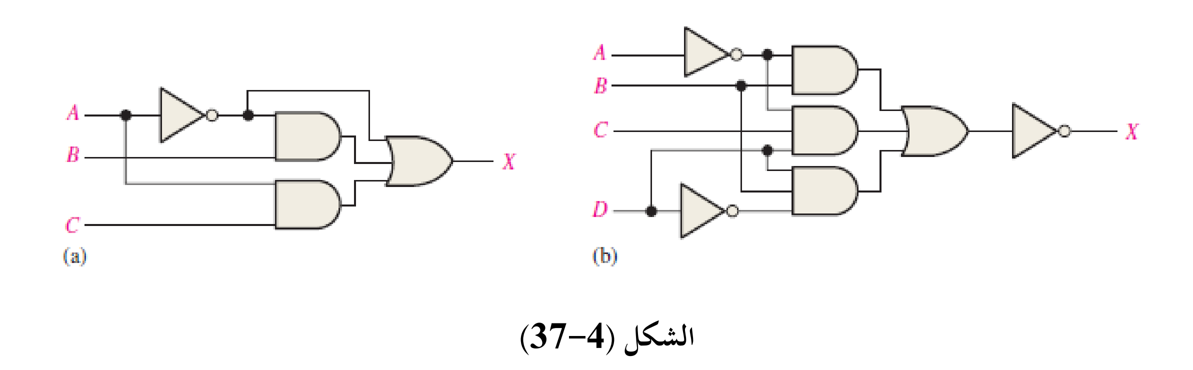
الشكل (4-35)

12- ارسم شكل المخطط الزمني للخرج x لبوابة آند AND ذات الثلاثة مداخل A, B,C إذا كان شكل نبضات الدخل على المداخل كما هو موضح بالشكل الشكل (4-36)



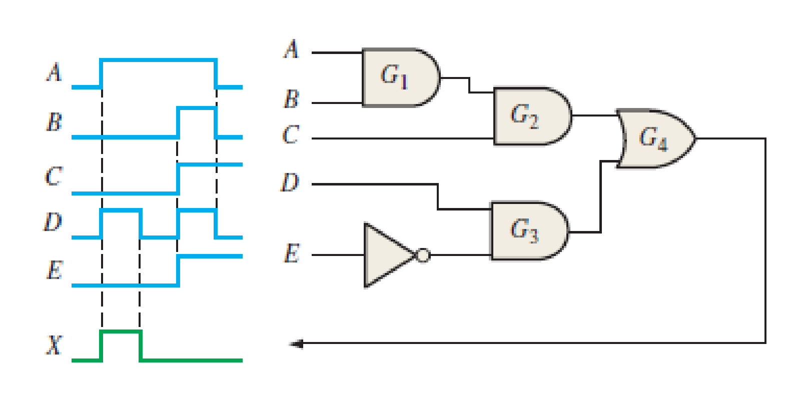
الشكل (4-36)

13- اكتب التعبير المنطقي التي تعبر عنه كل من الدوائر في الشكل (4-37)، ثم ارسم الدائرة باستخدام نوع واحد من البوابات.

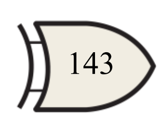


الشكل (4-37)

14- المخطط الزمني للدائرة في الشكل (4-38) يعطي اشارة خرج خاطئة من أجل الدخل المطبق على مداخلها، ارسم اشارة الخرج الصحيحة، ثم حدد أي دئراة يمكن ان نصحح خرجها فتكون اشارة الخرج صحيحية.



الشكل (4-38)



15- ارسم الدائرة التي يعبر عنها جدول الحقيقة التالي:

A	*B*	*C*	*X*
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

A	*B*	*C*	*X*
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	0
1	0	0	0
1	0	1	1
1	1	0	0
1	1	1	0

Key Terms and Abbreviations المصطلحات والعبارات الرئيسة واختصاراتها

المصطلح أو العبارة	الترجمة	الصفحة	المصطلح أو العبارة	الترجمة	الصفحة
مستويات الاشارة المنطقية	Logic Signal Levels	119	أربع بوابات آند AND بمدخلين	Quad 2-Input AND	123
البوابات المنطقية	Logic Gates	119	مفتاح تشغيل	Ignition Switch	124
المنطق الموجب	Positive Logic	119	نظام التنبيه الصوتي	audible Alarm Circuit	124
المنطق السالب	Negative Logic	119	حزام الأمان	Seat Belt	124
المتمم المنطقي	Logical Complementation	120	عملية الجمع المنطقي	Logical Addition (OR)	125
النفي المنطقي	Logical Inversion	120	أربع بوبات أور OR بمدخلين	quad 2- OR gate input	126
جدول الحقيقة	Truth Table	120	أربع بوبات ناند NAND بمدخلين	Quad 2-Input NAND Gate	128
بوابة النفي	NOT Gate	120	ثلاث بوبات ناند NAND بثلاثة مداخل	Triple 3-Input NAND Gate	128
الشكل المميز	Distinctive Shape	120	بوابتين ناند NAND بأربع مداخل	Dual 4-Input NAND Gate Device	128
الشكل المربع	Rectangular Shape	120	بوابة ناند NAND بثمانية مداخل	Single 8-Input NAND Gate	128
المتمم الأحادي	1's Complement	121	الديود الضوئي	Light-Emitting Diode (LED)	129
الرقم الثنائي بـثمان خانات	8-Bit Binary Number	121	البوابة العامة	Universal Gate	130
الضرب المنطقي	Logical Multiplication (AND)	122	العملية نور NOR	NOR Operation	131
التعبير المنطقي	Logical Expression	122	أربع بوابات نور NOR بمدخلين NOR	Quad 2-Input NOR Gate	132

137	Quad 2-Input XOR Gate	بوابة أور المقصورة اكس أور XOR بمدخلين	132	Triple 3-Input NOR Gate	ثلاث بوابات نور NOR بثلاثة مداخل
137	Exclusive NOR, XNOR	العملية نور المقصورة اكس نورXNOR	133	Landing Gears	تروس الهبوط
138	Quad 2-Input XNOR Gate	أربع بوابات اكس نور XNOR بمدخلين	133	Negative-AND Gate	بوابة نفي آند AND
139	Negative-OR Gate	بوابة نفي أور OR	136	Exclusive OR, XOR	العملية أور المقصورة اكس أور XOR

الفصل الخامس 5

الجبر البولياني وتبسيط التعابير المنطقية

Boolean Algebra And Logic Simplification



الأهداف العامة للفصل Chapter Objectives

عندما تكمل هذا الفصل سوف تكتسب مجموعة من الخبرات والمعارف وينبغي أن تكون قادراً على:

- التعرف على أساسيات جبر بول.
- التعرف على المتغير المنطقي والتعبير المنطقي.
- التعرف على العمليات البوليانية الأساسية.
- التعرف على قواعد وقوانين ونظريات جبر بول.
- التعرف على كيفية استنتاج التعبير البولياني للدائرة المنطقية.
- القدرة على تمثيل دائرة منطقية بدلالة التعبير البولياني.
- كتابة التعابير المنطقية والتعامل معها باستخدام صيغة مجموع مضاريب SOP، ومضروب مجاميع POS.
- القدرة على التحويل فيما بين أشكال التعابير المنطقية.
- القدرة على تحويل تعبير منطقي إلى جدول الحقيقة وبالعكس.
- اختصار وتبسيط التعابير المنطقية باستخدام قوانين جبر بول.
- التعرف على جداول كارنوف واستخدامها.
- المقدرة على تبسيط التعابير المنطقية باستخدام جداول كارنوف.

1- مقدمة Introduction

يسمى جبر بول Boolean Algebra على اسم العالم الانجليزي جورج بول George Boole الذي كان أول من وضع أساسيات ونظريات الجبر المنطقي في سنة 1854. جبر بول أو جبر المتغيرات المنطقية، هو مجموعة من النظريات والقواعد والقوانين التي تسهل التعامل مع الدوائر المنطقية، وسنغطي في هذا الفصل هذه القواعد والقوانين والنظريات، وسنرى من خلال هذا الفصل كيف يمكن أن نعبر عن أي دائرة منطقية بمعادلة جبرية، وكيف نقوم بإعدّاد جدول الحقيقة لهذه المعادلة، ثم سنتعرف على طرق تبسيط هذه الدوائر إلى أبسط شكل ممكن باستخدام جبر بول وباستخدام مخطط كارنوف، ومن ثم كيفية بناء هذه الدوائر.

2- العمليات والتعابير المنطقية Operations and Expression Logic

2-1 المتغير المنطقي Logical Variable

المتغير المنطقي Logical variable هو رمز يستخدم لتمثيل كمية منطقية تكون إما حدث أو شرط أو بيانات، هذا المتغير يمكن أن يأخذ قيمة واحدة فقط من قيمتين، يرمز لإحدى القيمتين بالرمز واحد 1 و للقيمة الأخرى بالرمز صفر 0 ... فأي متغير منطقي لا يمكن أن يأخذ إلا إحدى هاتين القيمتين، ولا يوجد أي احتمال ثالث. فإذا كان X متغير منطقي فإنه إما أن يكون $X=0$ أو $X=1$

تستخدم الحروف الكبيرة لتمثيل المتغير المنطقي والمتمم له.

المتمم complement هو العكس أو النفي للمتغير ويشار إليه بوضح خط أو شرطة فوق المتغير overbar، مثلاً المتمم للمتغير A هو $\overline{A}$، متمم المتغير A يقرأ بالشكل ليس A (not A) أو $\overline{A}$ بار.

كأمثلة عن الكميات المنطقية:

صواب	أو	خطأ
False	أو	True
OFF	أو	ON
+5 Volts	أو	0 Volts
Low	أو	High
أبيض	أو	أسود
Female	أو	Male

2–2 العمليات المنطقية Logical Operations

العمليات المنطقية Logical Operations هي العمليات التي يمكن إجراؤها على المتغيرات المنطقية، وقد تناولناها بالتفصيل بالفصل الرابع، بعض هذه العمليات هي عمليات أساسية مثل الجمع المنطقي أور OR والضرب المنطقي آند AND والنفي المنطقي NOT، وبعضها عمليات غير أساسية، مثل عمليات XOR و NOR و NAND ، وهذه العمليات يمكن التعبير عنها باستخدام العمليات الأساسية.

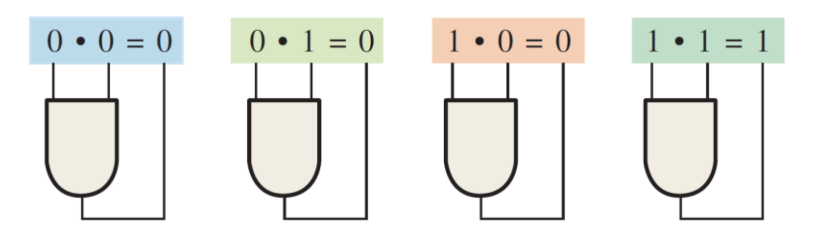
3–2 الضرب البولياني (المنطقي) Boolean Multiplication

الضرب البولياني أو المنطقي Boolean Multiplication يكافئ بالعملية آند AND، قواعده الأساسية وعلاقته بالبوابة آند AND موضحة بالشكل (5–1)، وفي جبر بول **حد الضرب product term** ينتج من تطبيق عملية آند AND على مجموعة من المتغيرات، ولا يتضمن العملية أور OR، وكأمثلة:

$$A . B,\ A . \overline{B} . C,\ A . B . C . D,\ \overline{C} . \overline{D}$$

حد الضرب يساوي واحد 1 إذا كانت كل متغيراته تساوي الواحد 1.

حد الضرب يساوي صفر 0 إذا كان أحد متغيراته يساوي الصفر 0.



الشكل (5–1) الضرب البولياني وقواعده الأساسية وعلاقته بالبوابة آند AND

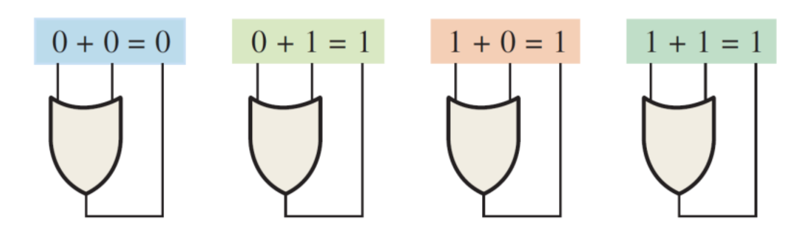
4–2 الجمع البولياني (المنطقي) Boolean Addition

الجمع البولياني أو المنطقي Boolean Addition يكافئ بالعملية أور OR، قواعده الأساسية وعلاقته بالبوابة أور OR، موضحة بالشكل (5–2)، وفي جبر بول **حد المجموع sum term** ينتج من تطبيق عملية أور OR، على مجموعة من المتغيرات، ولا يتضمن العملية آند AND، وكأمثلة

$$(A + B + C)\ (A + \bar{B})\ (B+\bar{C})$$

حد المجموع يساوي صفر 0 إذا كانت كل متغيراته تساوي الصفر 0.

حد المجموع يساوي واحد 1 إذا كان أحد متغيراته يساوي الواحد 1.



الشكل (5-2) الجمع البولياني وقواعده الأساسية وعلاقته بالبوابة أور OR

5-2 التعبير المنطقي Logical Expression

التعبير المنطقي Logical Expression هو عبارة عن مجموعة من المتغيرات المنطقية المترابطة مع بعضها البعض بعمليات منطقية، كمثال التعبير المنطقي

$$X= A + \overline{B} . \overline{C}$$

يتكون التعبير المنطقي هنا من أربعة متغيرات هي X, A, B, C تربط بينها عمليات أور OR وآند AND والنفي NOT وعملية التكافؤ =.

أسبقية إجراء العمليات Operation Precedence

يتم إجراء العمليات المنطقية الأساسية الثلاث بالترتيب التالي:

1- عملية النفي المنطقي NOT.

2- عملية الضرب المنطقي AND.

3- عملية الجمع المنطقي OR.

ففي التعبير أعلاه، مثلاً يتم أولاً إجراء عملية النفي المنطقي للمتغيرين C,B أولاً، ثم عملية الضرب المنطقي آند AND بين $\overline{A}$ و $\overline{C}$، وأخيراً عملية الجمع المنطقي أور OR.

في حالة ظهور عدة عمليات متساوية من حيث الأسبقية في التعبير المنطقي يتم إجراؤها بالترتيب من اليسار لليمين.
يمكن استخدام الأقواس للتحكم في ترتيب إجراء العمليات، حيث أن الأقواس لها الأسبقية العليا، أي أن ما بين الأقواس يتم حسابه دائماً أولاً، مثلاً إذا قمنا في التعبير السابق بإضافة قوسين كالتالي:

$$X= (A + \overline{B}) . \overline{C}$$

فيتم إجراء الجمع المنطقي أور OR الموجودة بين قوسين قبل العملية آند AND، وذلك على الرغم من أن عملية آند AND لها أسبقية أعلى من عملية أور OR، والسبب وجودها بين القوسين، حيث يتم احتساب ما بين القوسين أولاً، فيتم إجراء

عملية النفي المنطقي للمتغير B، ثم عملية أور OR بين A و $\overline{B}$، وبعد الانتهاء من الأقواس يتم إجراء العمليات خارجها، فيتم إجراء عملية النفي المنطقي للمتغير C، ثم عملية آند AND لما بين القوسين و $\overline{C}$.

6-2 جدول الحقيقة Truth Table

يمكن أن ننشئ لأي دائرة منطقية لها n مدخل ومخرج وحيد X جدولاً يسمى جدول الحقيقة Truth Table، عدد أعمدته يساوي إلى n+1 وعدد سطوره يساوي إلى 2^n ، بحيث تحتوي أعمدة المداخل على مختلف تراكيب متغيرات الدخل، بينما يُظهر عمود الخرج قيم خرج الدائرة المنطقية المحتملة لجميع قيم الدخل المقابلة.

n: عدد المتغيرات 2^n: (عدد الحالات)

من أجل 2 من متغيرات الدخل فإن $N= 2^2= 4$ تراكيب.

من أجل 3 من متغيرات الدخل فإن $N= 2^3= 8$ تراكيب.

من أجل 4 من متغيرات الدخل فإن $N= 2^4= 16$ تراكيب.

جدول الحقيقة من أجل 3 متغيرات، نلاحظ وجود $N= 2^3= 8$ من التراكيب المختلفة من متغيرات الدخل

A	B	C	X= A + B + C	X= A . B . C
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	1	0
1	0	0	1	0
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

نلاحظ أن الخرج يمثل

X= A + B + C   عملية أور OR ثلاثية المداخل

X= A . B . C   عملية آند AND ثلاثية المداخل





2–7 الدائرة المنطقية Logic Circuit

هي دائرة الكترونية Logic Circuit رقمية لها عدد من المداخل والمخارج تحتوي على عدد من البوابات المنطقية، وتؤدي وظيفة محددة. والخطوة الأولى في تصميم أي دائرة منطقية هي تحديد مواصفات تلك الدائرة بدقة Determine the logical circuit specification، ويتم ذلك بإعطاء:

1- تعبير منطقي (Logic Expression)
2- مخطط منطقي (Logic Diagram)
3- جدول الحقيقة (Truth Table)

لتصميم دائرة منطقية من الضروري أن نتبع خطوات التصميم التالية:

خطوات تصميم دائرة منطقية

1- تحديد مداخل ومخارج الدائرة.
2- وضع جدول الحقيقة وذلك حسب معطيات الدائرة المطلوبة.
3- إيجاد التعابير المنطقية لمخارج الدائرة بدلالة مداخلها.
4- اختصار التوابع المنطقية الناتجة.
5- رسم الدائرة.

2–8 التحليل البولياني للدوائر المنطقية Boolean Analysis of Logic Circuits

يمكن التعبير عن أي دائرة منطقية توافقية مهما كانت معقدة باستخدام العلاقات الجبرية التي تصف عمل البوابات المنطقية التي تشكل هذه الدائرة ويمكن أن نكتب المعادلة البوليانية لها، ويمكن تمثيل أي تعبير منطقي بدائرة منطقية، حيث ننظر للعمليات المنطقية الموجودة بالتعبير ونقوم بربط البوابات المنطقية لتي تقوم بإجراء تلك العمليات بالأسلوب المناسب.

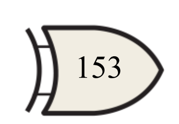
مثال:

التعبير المنطقي التالي:

AND

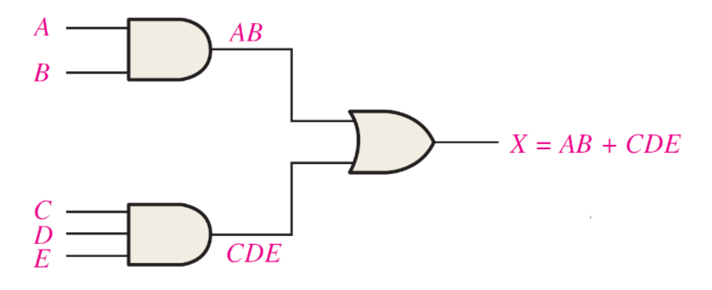
$$AB + CDE$$

OR



عدد المتغيرات في التعبير هو خمس متغيرات، نصمم الدائرة التي تنفذ التعبير المنطقي وهي في الشكل (5-3)، حيث فيه حدين منفذ عليهم عملية الجمع المنطقي تنفذه البوابة أور OR، حيث:

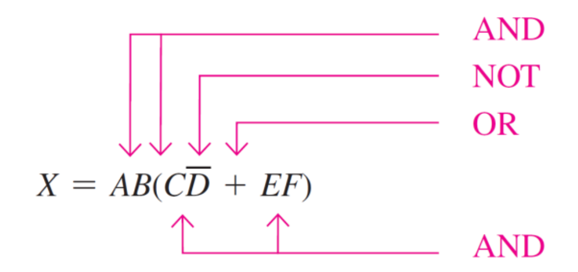
- الحد الأول متغيرين A, B منفذ عليهم عملية الضرب المنطقي تنفذه البوابة آند AND.
- الحد الثاني ثلاث متغيرات C, D, E منفذ عليهم عملية الضرب المنطقي تنفذه العملية آند AND.



الشكل (5-3) الدائرة المنطقية المعبرة عن التابع X=AB+CDE

مثال:

التعبير المنطقي التالي:

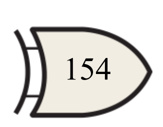


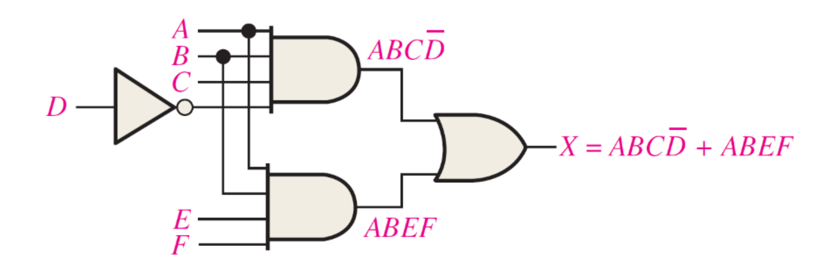
التعبير المنطقي يجب أن يحول إلى شكل مجموع مضاريب كما يلي:

$$AB(C\overline{D} + EF) = ABC\overline{D} + ABEF$$

عدد المتغيرات في التعبير هو ست متغيرات، نصمم الدائرة التي تنفذ التعبير المنطقي وهي في الشكل (5-4)، حيث فيه حدين مضاريب منفذ على كل واحد منهم عملية الضرب المنطقي تنفذه البوابة آند AND، هذين الحدين منفذ عليهم عملية الجمع المنطقي تنفذه البوابة أور OR، وفيه قبل عملية التحويل إلى شكل مضاريب التالي:

- المتغيرين A, B منفذ عليهم عملية الضرب المنطقي تنفذه البوابة آند AND.
- المتغيرين C, $\overline{D}$ منفذ عليهم عملية الضرب المنطقي تنفذه البوابة آند AND، يمثل الحد الأول لعملية الجمع المنطقي.
- المتغيرين E,F منفذ عليهم عملية الضرب المنطقي تنفذه البوابة آند AND، يمثل الحد الثاني لعملية الجمع المنطقي.
- عملية الجمع المنطقي تنفذه البوابة أور OR على الحد الأول والثاني.





الشكل (4–5) تمثيل دائرة باستخدام التعبير البولياني

2–9 تمثيل دائرة منطقية باستخدام جدول الحقيقة

Represent a Logical Circuit using the Truth Table

يمكن انطلاقاً من جدول الحقيقة تمثيل دائرة منطقية، فيمكن أن نكتب التعبير المنطقي مباشرة من جدول الحقيقة على شكل مجموع مضاريب sum-of-products form (SOP)، ومن ثم ننفذ الدائرة المنطقية، كما شرحنا سابقاً.

مثال

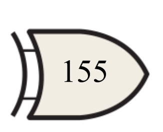
من أجل جدول الحقيقة التالي:

- استنتج التابع المنطقي
- ارسم الدائرة المنطقية التي تمثل التعبير المنطقي.

المداخل Inputs			الخرج Output
A	B	C	X
0	**0**	**0**	**0**
0	**0**	**1**	**0**
0	**1**	**0**	**0**
0	**1**	**1**	**1**
1	**0**	**0**	**1**
1	**0**	**1**	**0**
1	**1**	**0**	**0**
1	**1**	**1**	**0**

من جدول الحقيقة لإيجاد التعبير المنطقي على شكل مجموع مضاريب ننظر إلى عمود الخرج، ونقوم بأخذ الحدود المنطقية التي يكون فيها عمود الخرج مساوياً واحد 1، أي X=1.

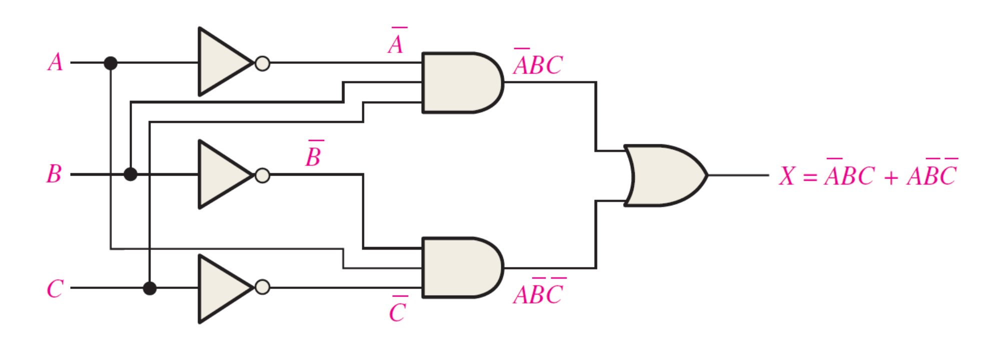
من جدول الحقيقة التالي نحصل على التعبير المنطقي التالي:



$$X = \overline{A}BC + A\overline{B}\,\overline{C}$$

أصبحت لدينا حالة كالحالة السابقة، نقوم برسم الدائرة المنطقية حسب الخطوات التي درسناسابقاً، وهي في الشكل (5-5)

A	B	C	X	حد الضرب Product term
0	0	0	0	
0	0	1	0	
0	1	0	0	
0	1	1	1	$\overline{A}BC$
1	0	0	1	$A\overline{B}\,\overline{C}$
1	0	1	0	
1	1	0	0	
1	1	1	0	

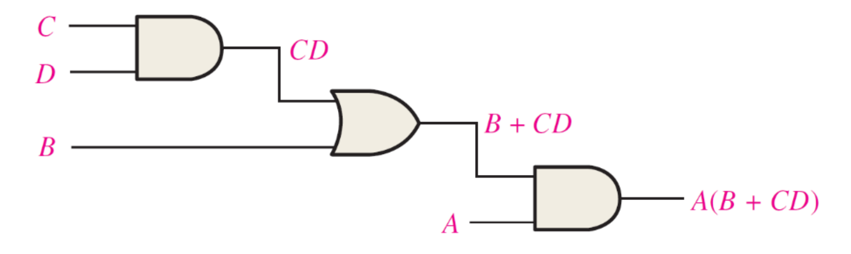


الشكل (5-5) دائرة منطقية تمثل تعبير منطقي تم استنتاجه من جدول الحقيقة

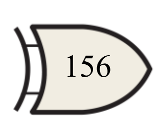
10-2 استنتاج التعبير البولياني المنطقي من دائرة منطقية

Boolean Expression for a Logic Circuit

لاستنتاج التعبير البولياني المنطقي لأي دائرة منطقية نبدأ من المدخلات في أقصى اليسار متجهين إلى الخرج النهائي للدائرة، وذلك بكتابة الخرج لكل بوابة كما في الدائرة في الشكل (5-6).



الشكل (5-6) كتابة التعبير البولياني لدائرة منطقية



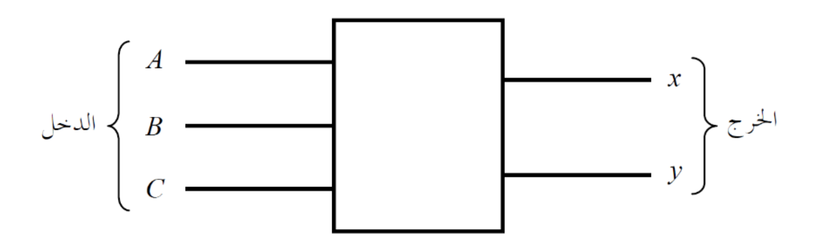
من الدائرة المنطقية في الشكل (5-6) نجد أن التعبير المنطقي الذي يمثل الدائرة هو:

$$A(B+CD)$$

11-2 المخطط المنطقي Logic Diagram

المخطط المنطقي Logic Diagram هو عبارة عن مخطط مبسط يوضح متغيرات الدخل للدائرة المنطقية ومسمياتها ومتغيرات الخرج ومسمياتها بالإضافة إلى اسم الدائرة الدال على وظيفتها.

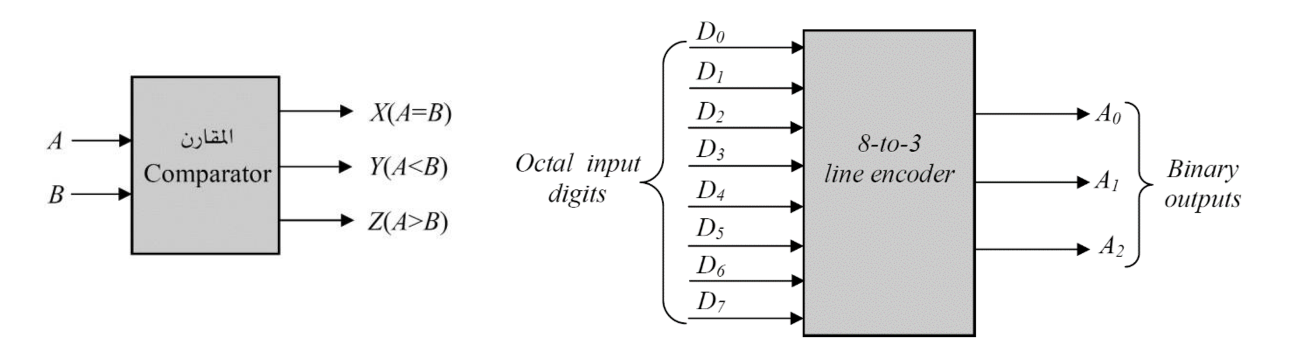
مثلاً، الداوائر المنطقية في الأشكال (5-4)، (5-5)، (5-6) يمكن تمثيلهما بالمخطط المنطقي في الشكل (5-7).



الشكل (5-7) المخطط المنطقي Logic Diagram

المخطط المنطقي هنا يوضح أن الدائرة المطلوب تصميمها لها ثلاثة متغيرات دخل A, B, C ومتغيرا خرج هما X, Y.

الشكل (5-8) يظهر المخطط المنطقي لبعض الدوائر المنطقية، (المقارن والمشفر 8 إلى 3)، حيث نقوم باستخدام المخططات المنطقية كبديل للدائرة المنطقية المفصلة كنوع من التبسيط، وذلك عندما لا نكون بحاجة للتفاصيل الداخلية للدائرة المنطقية، كما في الدوائر المعقدة المكونة من عدد من الدوائر الصغيرة المربوطة مع بعضها البعض، حيث نقوم بتمثيل تلك الدوائر الصغيرة بمخططاتها المنطقية.



الشكل (5-8) المخطط المنطقي المخطط المنطقي لبعض الدوائر المنطقية (المقارن، المشفر 8 إلى 3)

3- جبر بول Boolean Algebra

جبر بول Boolean Algebra هو رياضيات المنطق الرقمي، يتألف من عدد من القواعد والقوانين والنظريات التي تساعد في فهم وتحليل الدوائر المنطقية. يختلف جبر بول عن الجبر العادي في أن متغيرات وثوابت جبر بول تأخذ قيمتين فقط وهما الصفر " 0 " والواحد " 1 ".

يمكن أن يمثل المتغير المنطقي جهد الخرج أو الدخل لدائرة الكترونية، حيث:

- يأخذ المتغير القيمة صفر منطقي " 0 " عندما يكون الجهد الكهربائي في خرج الدائرة يقع ضمن المجال من 0 إلى 0.8v.
- بينما يأخذ المتغير القيمة واحد منطقي " 1 " عندما يكون جهد الخرج يقع ضمن المجال من 3 إلى 5v.

تستخدم الأحرف الكبيرة المائلة عادة (usually an italic uppercase letter) لتمثيل المتغيرات المنطقية، فمثلاً الحرف A يمكن أن يمثل متغير منطقي يعبر عن دخل أو خرج دائرة منطقية تأخذ فقط القيمتين المنطقيتين صفر " 0 " أو واحد " 1 " .

بما أن جبر بول يتعامل فقط مع قيمتين فلا يوجد في جبر بول طرح، أو قسمة، أو جزر تربيعي، أو فواصل، أو أرقام سالبة، أو تربيع أو تكعيب، أو لوغاريتمات.

3-1 قواعد وقوانين جبر بول Laws and Rules of Boolean Algebra

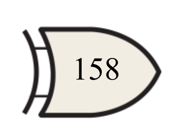
كما هو الحال في مجالات الرياضيات الأخرى، هناك بعض القواعد والقوانين التي يجب اتباعها من أجل تطبيق صحيح لجبر بول أهمها المقدمة في هذا القسم.

3-1-1 قوانين جبر بول Laws of Boolean Algebra

1) قوانين التبديل *Commutative Laws*

A + B = B + A

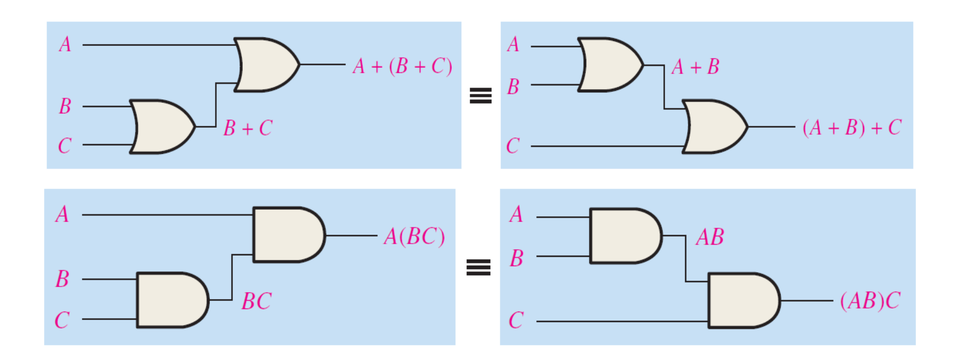
A . B = B . A



2) قوانين التجميع *Associative Laws*

A +(B + C)= (A + B) + C

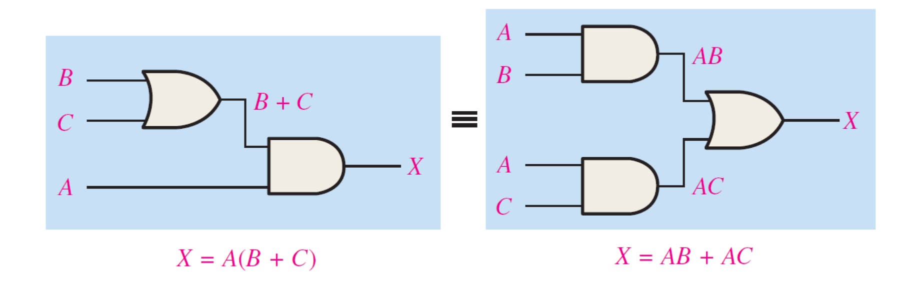
A . (B . C) = (A . B) . C



3) قوانين التوزيع *Distributive Laws*

A . (B + C) = A . B + A. C

A + (B . C) = (A + B) . (A + C)



X = A(B + C)   X = AB + AC

3–1–2 قواعد جبر بول Rules of Boolean Algebra

القواعد الأساسية لجبر بول هي 12 قاعدة، تساعد في معالجة وتبسيط التعابير البوليانية المنطقية، وهي التالية:

1. $A + 0 = A$	**7.** $A \cdot A = A$
2. $A + 1 = 1$	**8.** $A \cdot \overline{A} = 0$
3. $A \cdot 0 = 0$	**9.** $\overline{\overline{A}} = A$
4. $A \cdot 1 = A$	**10.** $A + AB = A$
5. $A + A = A$	**11.** $A + \overline{A}B = A + B$
6. $A + \overline{A} = 1$	**12.** $(A + B)(A + C) = A + BC$

القواعد من 1 حتى 9 قواعد أساسية، والقواعد من 10 حتى 12 يمكن أن تشتق باستخدام القواعد والقوانين السابقة.

المتغيرات A,B,C يمكن أن تكون متغيرات مفردة أو يمكن أن تكون أي تركيب من المتغيرات.

1. القاعدة 1 *Rule*

أي متغير مثل A إذا نفذت عليه العملية أور OR مع الصفر 0 يبقى المتغير نفسه.

$$A + 0 = A$$

$A = 1$, 0 → $X = 1$; $A = 0$, 0 → $X = 0$

$X = A + 0 = A$

2. القاعدة 2 *Rule*

أي متغير مثل A إذا نفذت عليه العملية أور OR مع الواحد 1، فإن الناتج هو الواحد 1.

$$A + 1 = 1$$

$A = 1$, 1 → $X = 1$; $A = 0$, 1 → $X = 1$

$X = A + 1 = 1$

3. القاعدة 3 Rule

أي متغير مثل A إذا نفذت عليه العملية آند AND مع الصفر 0 فإن الناتج هو الصفر 0.

$$A . 0 = 0$$

$A = 1$, 0 → $X = 0$; $A = 0$, 0 → $X = 0$

$X = A \bullet 0 = 0$

4. القاعدة 4 Rule

أي متغير مثل A إذا نفذت عليه العملية آند AND مع الواحد 1 فإن الناتج هو المتغير نفسه.

$$A . 1 = 1$$

$A = 0$, 1 → $X = 0$; $A = 1$, 1 → $X = 1$

$X = A \bullet 1 = A$

5. القاعدة 5 Rule

أي متغير مثل A إذا نفذت عليه العملية أور OR مع نفسه يبقى المتغير نفسه.

$$A + A = A$$

$A = 0$, $A = 0$ → $X = 0$; $A = 1$, $A = 1$ → $X = 1$

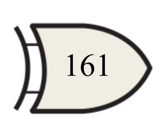
$X = A + A = A$

إذا كانت A تساوي الصفر 0 فإن

$$(0).(0) = 0$$

إذا كانت A تساوي الواحد 1 فإن

$$(1).(1) = 1$$



6. القاعدة 6 Rule

أي متغير مثل A إذا نفذت عليه العملية أور OR مع متممه فإن الناتج هو الواحد 1.

$$A + \bar{A} = 1$$

$A = 0$, $\bar{A} = 1$ → $X = 1$; $A = 1$, $\bar{A} = 0$ → $X = 1$

$X = A + \bar{A} = 1$

7. القاعدة 7 Rule

أي متغير إذا نفذت عليه العملية آند AND مع نفسه يبقى المتغير نفسه.

$$A . A = A$$

$A = 0$, $A = 0$ → $X = 0$; $A = 1$, $A = 1$ → $X = 1$

$X = A \bullet A = A$

إذا كانت A تساوي الصفر 0 فإن

$$(0)+(\bar{0}) = (0)+(1) = 1$$

إذا كانت A تساوي الواحد 1 فإن

$$(1)+(\bar{1}) = (1)+(0) = 1$$

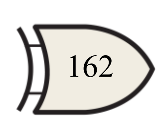
8. القاعدة 8 Rule

أي متغير مثل A إذا نفذت عليه العملية آند AND مع متممه فإن الناتج هو الصفر 0.

$$A . \bar{A} = 0$$

$A = 1$, $\bar{A} = 0$ → $X = 0$; $A = 0$, $\bar{A} = 1$ → $X = 0$

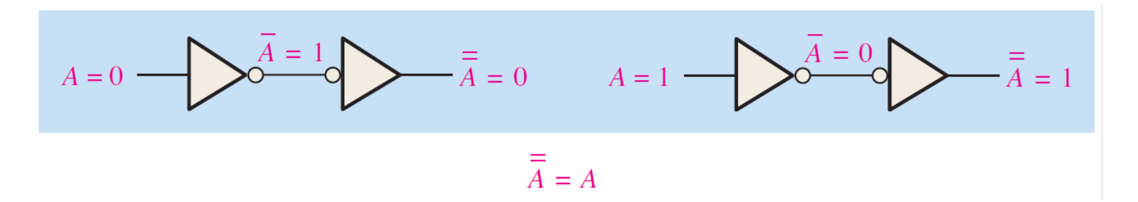
$X = A \bullet \bar{A} = 0$



9. القاعدة 9 *Rule*

أي متغير مثل A إذا نفذت عليه العملية النفي (المتمم) مرتين فإنه يبقى نفسه.

$$\bar{\bar{A}} = A$$



10. القاعدة 10 *Rule*

$$A + A . B = A$$

هذه القاعدة يمكن اثباتها بتطبيق قانون التوزيع والقاعدة 2، والقاعدة 4 كالتالي:

$$A + AB = A \cdot 1 + AB = A(1 + B) \quad \text{Factoring قانون التوزيع}$$
$$= A \cdot 1 \quad \text{Rule 2: } (1 + B) = 1$$
$$= A \quad \text{Rule 4: } A \cdot 1 = A$$

ويمكن اثباتها باستخدام جدول الحقيقة التالي، ثم نرسم الدائرة قبل وبعد التبسيط:

A	*B*	*AB*	*A + AB*
0	0	0	0
0	1	0	0
1	0	0	1
1	1	1	1

equal

A
B
A
straight connection

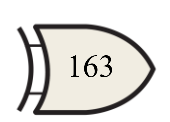
وحسب مبدأ الثنوية فإن:

$$A . (A+B) = A$$

11. القاعدة 11 *Rule*

$$A + \bar{A} . B = A + B$$

هذه القاعدة يمكن اثباتها على الشكل التالي:



$A + \overline{A}B = (A + AB) + \overline{A}B$	Rule 10: $A = A + AB$
$= (AA + AB) + \overline{A}B$	Rule 7: $A = AA$
$= AA + AB + A\overline{A} + \overline{A}B$	Rule 8: adding $A\overline{A} = 0$
$= (A + \overline{A})(A + B)$	Factoring
$= 1 \cdot (A + B)$	Rule 6: $A + \overline{A} = 1$
$= A + B$	Rule 4: drop the 1

ويمكن اثباتها باستخدام جدول الحقيقة التالي، ثم نرسم الدائرة قبل وبعد التبسيط:

A	B	$\overline{A}B$	$A + \overline{A}B$	$A + B$
0	0	0	0	0
0	1	1	1	1
1	0	0	1	1
1	1	0	1	1

equal

وحسب مبدأ الثنوية فإن:

$$A \cdot (\overline{A} + B) = A \cdot B$$

12. القاعدة 12 *Rule*

$$(A + B)(B + C) = A + B \cdot C$$

هذه القاعدة يمكن اثباتها على الشكل التالي:

$(A + B)(A + C) = AA + AC + AB + BC$	Distributive law
$= A + AC + AB + BC$	Rule 7: $AA = A$
$= A(1 + C) + AB + BC$	Factoring (distributive law)
$= A \cdot 1 + AB + BC$	Rule 2: $1 + C = 1$
$= A(1 + B) + BC$	Factoring (distributive law)
$= A \cdot 1 + BC$	Rule 2: $1 + B = 1$
$= A + BC$	Rule 4: $A \cdot 1 = A$

ويمكن اثباتها باستخدام جدول الحقيقة التالي، ثم نرسم الدائرة قبل وبعد تبسيط:

A	B	C	$A+B$	$A+C$	$(A+B)(A+C)$	BC	$A+BC$
0	0	0	0	0	0	0	0
0	0	1	0	1	0	0	0
0	1	0	1	0	0	0	0
0	1	1	1	1	1	1	1
1	0	0	1	1	1	0	1
1	0	1	1	1	1	0	1
1	1	0	1	1	1	0	1
1	1	1	1	1	1	1	1

equal

3–1–3 نظريات ديمورغان DeMorgan's Theorems

تعتبر نظريتا ديمورغان من أهم نظريات جبر بول وتستخدمان بشكل كبير في تبسيط التعابير المنطقية، وتعطيان وفق المعادلتين:

$$(\overline{A+B}) = \bar{A} \,.\, \bar{B}$$
$$(\overline{A.B}) = \bar{A} + \bar{B}$$

ويمكن تطبيق النظريتين أيضًا على أكثر من متغيرين.

ويمكن أن نعبر عن نظريتا ديمورغان باستخدام البوابات المنطقية، واثباتهما باستخدام جدول الحقيقة كالتالي:

NAND ≡ Negative-OR

Inputs X	Inputs Y	Output $\overline{XY}$	Output $\bar{X}+\bar{Y}$
0	0	1	1
0	1	1	1
1	0	1	1
1	1	0	0

NOR ≡ Negative-AND

Inputs X	Inputs Y	Output $\overline{X+Y}$	Output $\bar{X}\bar{Y}$
0	0	1	1
0	1	0	0
1	0	0	0
1	1	0	0

مبدأ الثنوية Dual Theorem

لكل نظرية أو قاعدة من جبر بول نظرية أو قاعدة مقابلة، وللحصول على هذه النظرية أو القاعدة المقابلة، نقوم بإجراء التبديلات التالية في النظرية الأصلية:

مبدأ الثنوية Dual Theorem يكون: إذا كان لدينا علاقة صحيحة عندها نحصل على علاقة صحيحة أخرى بتبديل

كل AND بـ OR

وكل OR بـ AND

وكل 0 بـ 1

وكل 1 بـ 0

مثال

1- أثبت صحة العلاقة التالية:

$AB + \bar{A}C + BC = AB + \bar{A}C$

2- هل العلاقة التالية صحيحة ولماذا:

$(A+B)\,(\bar{A}+C)\,(B+C) = (A+B)\,(\bar{A}+C)$

الطلب الأول:

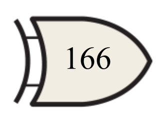
نقوم باستخدم جدول الحقيقة

A	B	C	$\bar{A}$	AB	$\bar{A}C$	BC	$AB + \bar{A}C + BC$	$AB + \bar{A}C$
0	0	0	1	0	0	0	0	0
0	0	1	1	0	1	0	1	1
0	1	0	1	0	0	0	0	0
0	1	1	1	0	1	1	1	1
1	0	0	0	0	0	0	0	0
1	0	1	0	0	0	0	0	0
1	1	0	0	1	0	0	1	1
1	1	1	0	1	0	1	1	1

متكافئين ⟸ العلاقة صحيحة

الطلب الثاني:

نلاحظ أن العلاقة الثانية هي ثنوية العلاقة الأولى وبما أن العلاقة الأولى صحيحة فالثانية صحيحة.



4- تبسيط التعابير المنطقية Logic Simplification

قبل محاولة بناء أو تحقيق أي تعبير منطقي باستخدام البوابات المنطقية المعروفة، لابد من محاولة تبسيط هذه التعابير فقد توفر الكثير من البوابات، وقد تحصل على دائرة أكثر بساطة، أي الهدف من تبسيط التعبير المنطقي هو تبسيط الدائرة المنطقية، أي تقليل عدد البوابات المنطقية الداخلة فى بنائها، وذلك من أجل:

- تقليل تكلفتها.
- تصغير حجمها.
- تقليل الطاقة التي تستهلكها.
- يعتبر تقليل تفرع الدخل للبوابات المنطقية المستخدمة فى بناء الدائرة نوعاً من التبسيط أيضاً.

هناك عدد من الطرق لتبسيط الدوائر المنطقية، سنعرض في هذا الجزء طرق تبسيط التعبير المنطقي باستخدام جبر بول، وباستخدام مخططات كارنوف، ونقدم عددًا من الأمثلة لتوضيح طرق تبسيط التعابير المنطقية ، ونذكر القارئ بضرورة التدرب على عملية التبسيط بفهم الأمثلة جيداً و إعادة حلها و حل التدريبات.

4-1 تبسيط التعابير المنطقية باستخدام جبر بول

Logic Simplification Using Boolean Algebra

سنرى فى هذا الجزء كيفية التعبير المنقطي باستخدام قوانين ونظريات الجبر المنطقي التي رأيناها فى هذا الفصل، لذلك فإنه لكى نستخدم هذه الطريقة لابد من المعرفة الجيدة لهذه القوانين وهذه النظريات،لكن من عيوب هذه الطريقة أنه ليست لها خطوات محددة يتم اتباعها بالترتيب، وإنما تعتمد على المعرفة الجيدة بالقوانين السابقة، كما أن هناك عيب آخر وهو أن الشكل المبسط التي قد تصل إليه ليس هناك أي تأكيد على أنه أبسط شكل، ولكن قد يستطيع شخص آخر الحصول على شكل أبسط لأنه أمهر فى استخدام هذه القوانين.

مثال

بسط التعبير المنطقي التالي بالطريقة الجبرية، وارسم الدائرة قبل وبعد التبسيط

$$AB + A(B + C) + B(B + C)$$

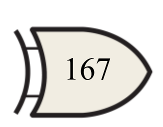
نطبق قانون التوزيع على الحد الثاني والثالث:

$$AB + AB + AC + BB + BC$$

نطبق القاعدة 7 (BB = B) على الحد الرابع

$$AB + AB + AC + B + BC$$

نطبق القاعدة 5 (AB+AB = AB) على الحدين الاول والثاني



AB + AC + B + BC

نطبق القاعدة 10 (B + BC = B) على الحدين الآخيرين

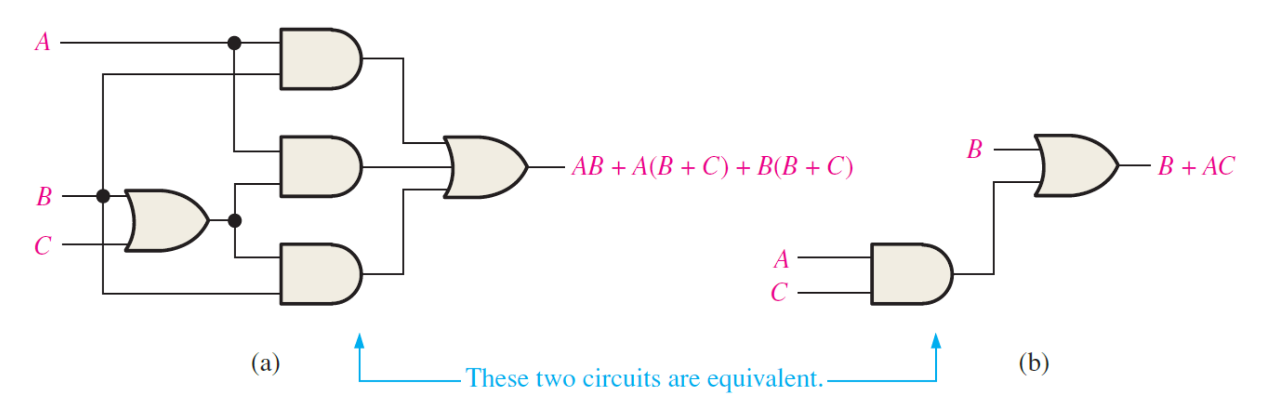
AB + AC + B

نطبق القاعدة 10 (B + BC = B) على الحد الأول والثالث

B + AC

عند هذه النقطة تم تبسيط التعبير إلى أبسط شكل ممكن. عندما تصبح بخبرة جيدة في تطبيق جبر يمكن أن تدمج عدد من الخطوات مع بعض.

الشكل (5-9) يظهر الدائرة قبل وبعد التبسيط، ونلاحظ أن الدائرتان متكافئتان



الشكل (5-9) نلاحظ أن الدائرتان متكافئتان These two circuits are equivalent

---

مثال

بسط التعبير المنطقي التالي بالطريقة الجبرية

$$\overline{AB + AC} + \overline{A}\,\overline{B}C$$

نطبق نظرية ديمورغان على الحد الأول والثاني

$$(\overline{AB})(\overline{AC}) + \overline{A}\,\overline{B}C$$

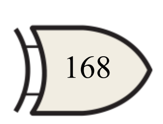
نطبق نظرية ديمورغان على الحدود بين الأقواس

$$(\overline{A} + \overline{B})(\overline{A} + \overline{C}) + \overline{A}\,\overline{B}C$$

نطبق قانون التوزيع على الحدين بين الأقواس

$$\overline{A}\,\overline{A} + \overline{A}\,\overline{C} + \overline{A}\,\overline{B} + \overline{B}\,\overline{C} + \overline{A}\,\overline{B}C$$

نطبق القاعدة 7(AA=A) على الحد الأول، والقاعدة 10 على الحد الثالث والأخير نحصل منها على



$$[\overline{A}\overline{B} + \overline{A}\overline{B}C = \overline{A}\overline{B}(1 + C) = \overline{A}\overline{B}]$$

$$\overline{A} + \overline{A}\overline{C} + \overline{A}\overline{B} + \overline{B}\overline{C}$$

نطبق القاعدة 10 على الحد الأول والثاني

$$[\overline{A} + \overline{A}\overline{C} = \overline{A}(1 + \overline{C}) = \overline{A}]$$

$$\overline{A} + \overline{A}\overline{B} + \overline{B}\overline{C}$$

نطبق القاعدة 10 على الحد الأول والثاني

$$[\overline{A} + \overline{A}\overline{B} = \overline{A}(1 + \overline{B}) = \overline{A}]$$

$$\overline{A} + \overline{B}\overline{C}$$

ملاحظة: يمكن إثبات تكافؤ التابعين باستخدام جدول الحقيقة.

مثال

اختصر التعبير المنطقي التالي بالطريقة الجبرية

$$F = \overline{xy + xz} + \bar{x}\bar{y}z$$

$$\begin{aligned} F &= (\overline{xy})\,(\overline{xz}) + \bar{x}\bar{y}z \\ &= (\bar{x} + \bar{y})(\bar{x} + \bar{z}) + \bar{x}\bar{y}z \\ &= \bar{x}\bar{x} + \bar{x}\bar{z} + \bar{x}\bar{y} + \bar{y}\bar{z} + \bar{x}\bar{y}z \\ &= \bar{x} + \bar{x}\bar{z} + \bar{x}\bar{y} + \bar{y}\bar{z} + \bar{x}\bar{y}z \\ &= \bar{x} + \bar{y}\bar{z} \end{aligned}$$

مجال التعبير المنطقي Domain of a Boolean Expression

مجال التعبير المنطقي هو مجموعة المتغيرات المحتواة في التعبير بشكلها المتمم وغير المتمم، على سبيل المثال:

- مجال التعبير المنطقي $A\bar{B}C$ هو مجموعة المتغيرات A, B , C
- مجال التعبير المنطقي $A\bar{B}C\,\bar{D}$ هو مجموعة المتغيرات A, B , C, D

2-4 الأشكال القياسية للتعابير البوليانية المنطقية
Standard Forms of Boolean Expressions

كل التعابير البوليانية بغض النظر عن شكلها يمكن أن تحول إلى اثنين من الأشكال القياسية:

- شكل مجموع مضاريب sum-of-products form (SOP)
- شكل مضروب مجاميع product-of-sums form (POS)

وضع أي تعبير منطقي في أحد هذه الأشكال يسهل عملية اختصار وبناء هذه التعابير كما سنرى.

1-2-4 شكل مجموع مضاريب The Sum-of-Products (SOP) Form

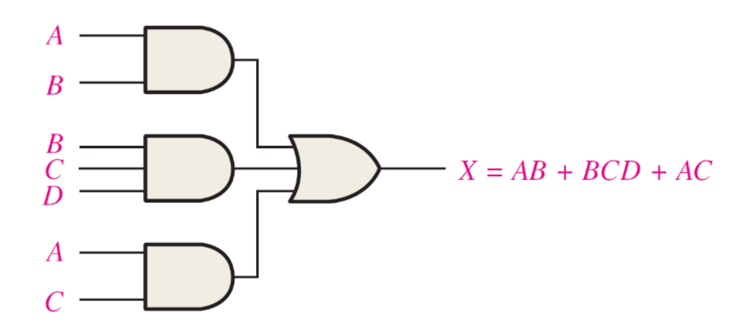
عندما تجمع اثنين أو أكثر من حدود المضاريب product terms بالجمع البولياني Boolean addition، الناتج هو تعبير منطقي يسمى **مجموع المضاريب sum-of-products (SOP)**، بعض الأمثلة تكون:

$$AB + ABC$$
$$ABC + CDE + \overline{B}C\overline{D}$$
$$\overline{A}B + \overline{A}B\overline{C} + AC$$

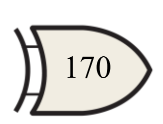
عند تنفيذ أي تعبير منطقي في شكل مجموع مضاريب فإن الدائرة المنطقية الناتجة تتكون من مجموعة من بوابات آند AND، كل منها تمثل أحد الكميات المضروبة والممثلة بالمتغيرات المنطقية، وكل هذه البوابات مجمعة فى بوابة أور OR واحدة، كما في الشكل (5-10) على سبيل المثال، الذي يمثل التعبير المنطقي التالي:

$$AB + BCD + AC$$

الخرج X للبوابة أور OR يساوي إلى تعبير منطقي في شكل مجموع مضاريب SOP



الشكل (5-10) الدائرة المنطقية والتابع المنطقي على شكل مجموع مضاريب SOP



هذه الدائرة في الشكل (5-10) تسمى دائرة آند أور AND-OR circuit، وهي تنفذ مباشرة التعبير على شكل مجموع مضاريب SOP.

باستخدام قوانين ونظريات الجبر المنطقي يمكن وضع أي معادلة في شكل مجموع مضاريب.

في **الشكل القياسي لمجموع المضاريب The Standard SOP Form** يجب أن يكون كل حد من حدود التابع يحوي جميع المتغيرات، ونقصد بالمتغير هنا المتغير ومتممه، ولتحويل أي تعبير إلى الشكل القياسي نضرب الحد غير القياسي في مجموع المتغير الناقص ومتممه ثم نفك هذا المجموع إلى حدين، يتضح ذلك من االأمثلة التالية:

مثال

حول التعبير البولياني الشكل القياسي لمجموع المضاريب SOP

$$A\overline{B}C + \overline{A}\,\overline{B} + AB\overline{C}D$$

لدينا

$$A\overline{B}C = A\overline{B}C(D + \overline{D}) = A\overline{B}CD + A\overline{B}C\overline{D}$$

$$\overline{A}\,\overline{B} = \overline{A}\,\overline{B}(C + \overline{C}) = \overline{A}\,\overline{B}C + \overline{A}\,\overline{B}\,\overline{C}$$

$$\overline{A}\,\overline{B} = \overline{A}\,\overline{B}C + \overline{A}\,\overline{B}\,\overline{C} = \overline{A}\,\overline{B}C(D + \overline{D}) + \overline{A}\,\overline{B}\,\overline{C}(D + \overline{D})$$
$$= \overline{A}\,\overline{B}CD + \overline{A}\,\overline{B}C\overline{D} + \overline{A}\,\overline{B}\,\overline{C}D + \overline{A}\,\overline{B}\,\overline{C}\,\overline{D}$$

وبالتالي نحصل على

$$A\overline{B}C + \overline{A}\,\overline{B} + AB\overline{C}D = A\overline{B}CD + A\overline{B}C\overline{D} + \overline{A}\,\overline{B}CD + \overline{A}\,\overline{B}C\overline{D} + \overline{A}\,\overline{B}\,\overline{C}D + \overline{A}\,\overline{B}\,\overline{C}\,\overline{D} + AB\overline{C}D$$

مثال

أكتب التعبير البولياني التالي بصيغة مجموع مضاريب قياسي SOP

$F = AB + \bar{B}C$

$F = AB(1)+(1)\,\bar{B}C = AB(C+\bar{C})+(\bar{A}+A)\,\bar{B}C$

$F = ABC + AB\bar{C} + A\bar{B}C + \bar{A}\bar{B}C$

مثال

أكتب التعبير البولياني التالي بصيغة مجموع مضاريب قياسي SOP

F = A + $\bar{B}$C

= A (B + $\bar{B}$)(C+$\bar{C}$)+(A + $\bar{A}$) $\bar{B}$C

= ABC + AB$\bar{C}$ + $A\bar{B}$C + A$\bar{B}\bar{C}$ + AB$\bar{C}$ + AB$\bar{C}$

= ABC + AB$\bar{C}$ + $A\bar{B}$C + A$\bar{B}\bar{C}$ + AB$\bar{C}$

4-2-1-1 التمثيل الثنائي لحد مضاريب قياسي Binary Representation of a Standard Sum Term

من أجل التمثيل الثنائي لحد المضاريب حد المضاريب القياسي يساوي الواحد 1 من أجل فقط تركيبة واحدة من قيم المتغيرات، على سبيل المثال حد المضاريب

$A\bar{B}C\,\bar{D}$ يساوي الواحد 1 عندما

A = 1, B = 0, C = 1, D = 0

$$A\bar{B}C\,\bar{D} = 1\,.\,\bar{0}\,.\,1\,.\,\bar{0} = 1\,.\,1\,.\,1.\,1 = 1$$

والقيمة الثنائية لحد المضاريب 1010 (عشرياً يساوي عشرة 10).

التعبير المنطقي على شكل مجموع مضاريب SOP يكون مساوياً للواحد 1 فقط إذا كان واحد أو أكثر من حدود المضاريب في التعبير يساوي الواحد 1.

4-2-2 شكل مضروب مجاميع The Product-of-Sums (POS) Form

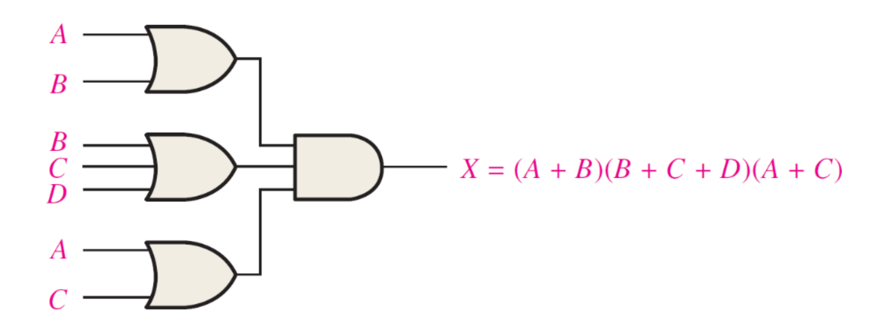
عندما اثنين أو أكثر من حدود المجاميع sum terms تضرب باستخدام الضرب البولياني Boolean multiplication، الناتج هو تعبير منطقي يسمى **مضروب المجاميع product-of-sums (POS)**، بعض الأمثلة تكون:

$$(\bar{A} + B)(A + \bar{B} + C)$$
$$(\bar{A} + \bar{B} + \bar{C})(C + \bar{D} + E)(\bar{B} + C + D)$$
$$(A + B)(A + \bar{B} + C)(\bar{A} + C)$$

عند تنفيذ أي تعبير منطقي في شكل مضروب مجاميع فإن الدائرة المنطقية الناتجة تتكون من مجموعة من بوابات أور OR، كل منها تمثل أحد الكميات المضروبة والممثلة بالمتغيرات المنطقية، وكل هذه البوابات مضروبة باستخدام بوابة آند AND واحدة، كما في الشكل (5-11) على سبيل المثال، الذي يمثل التعبير المنطقي التالي:

$$(A + B)(B + C + D)(A + C)$$

الخرج X للبوابة آند AND يساوي إلى تعبير منطقي في شكل مضروب مجاميع POS



الشكل (5-11) الدائرة المنطقية والتابع المنطقي على شكل مضروب مجاميع POS

هذه الدائرة في الشكل (5-11) تسمى دائرة أور آند OR -AND circuit.

باستخدام قوانين ونظريات الجبر المنطقي يمكن وضع أي معادلة فى شكل مجموع مضاريب.

في **الشكل القياسي مضروب مجاميع The Standard POS Form** يجب أن يكون كل حد من حدود التابع يحوي جميع المتغيرات، ونقصد بالمتغير هنا المتغير ومتممه، ولتحويل أي تعبير إلى الشكل القياسي نضيف المتغير الناقص مضروبا في عكسه إلى الحد الغير قياسي وهذا بالطبع لن يؤثر على هذه الكمية لأنه تبعا للقاعدة حاصل ضرب أي متغير فى عكسه يساوى صفر $(A \, . \, \bar{A} = 0)$، ومن ثم نستخدم قانون التوزيع، يتضح ذلك من المثال التالي:

مثال

حول التعبير البوليياني الشكل القياسي لمضروب المجاميع POS

$$(A + \overline{B} + C)(\overline{B} + C + \overline{D})(A + \overline{B} + \overline{C} + D)$$

$$A + \overline{B} + C = A + \overline{B} + C + D\overline{D} = (A + \overline{B} + C + D)(A + \overline{B} + C + \overline{D})$$

$$\overline{B} + C + \overline{D} = \overline{B} + C + \overline{D} + A\overline{A} = (A + \overline{B} + C + \overline{D})(\overline{A} + \overline{B} + C + \overline{D})$$

وبالتالي نحصل على $(A + \overline{B} + C)(\overline{B} + C + \overline{D})(A + \overline{B} + \overline{C} + D) =$

$(A + \overline{B} + C + \overline{D})(\overline{A} + \overline{B} + C + \overline{D})(A + \overline{B} + \overline{C} + D)$
$(A + \overline{B} + C + D)(A + \overline{B} + C + \overline{D})$

مثال

أكتب التعبير البولياني التالي بصيغة مضروب مجاميع قياسي POS

$F = (A + \overline{C})\ (\overline{B} + C)$

$F = (A + (B.\ \overline{B}) + \overline{C})\ (\ (A\ \overline{A}) + \overline{B} + C)$

$F = (A + B + \overline{C})\ (A + \overline{B} + \overline{C})\ (A + \overline{B} + C)\ (\overline{A} + \overline{B} + C)$

4-2-2-1 التمثيل الثنائي لحد مجاميع قياسي Binary Representation of a Standard Sum Term

حد المجاميع القياسي يساوي الصفر 0 من أجل فقط تركيبة واحدة من قيم المتغيرات، على سبيل المثال حد المجاميع

$A + \bar{B} + C + \bar{D}$ يساوي الصفر 0 عندما

$A = 0, B = 1, C = 0, D = 1$

$A\bar{B}C\,\bar{D} = 0 + \bar{1} + 0 + \bar{1} = 0 + 0 + 0 + 0 = 0$

والقيمة الثنائية لحد المضاريب 0101 (عشرياً يساوي خمسة 5).

التعبير المنطقي على شكل مضروب مجاميع POS يكون مساوياً للصفر 0 فقط إذا كان واحد أو أكثر من حدود المجاميع في التعبير يساوي الصفر 0.

3-2-4 التحويل من الشكل القياسي لمجموع المضاريب إلى الشكل القياسي لمضروب المجاميع
Converting Standard SOP to Standard POS

القيم الثنائية لحدود المضاريب في تعبير على شكل مجموع مضاريب قياسي SOP، لا تمثل في التعبير المقابل له المعبر عنه على شكل مضروب مجاميع قياسي POS، والقيم الثنائية غير الممثلة في تعبير على شكل مجموع مضاريب قياسي SOP، تكون ممثلة في الشكل المقابل له المعبر عنه على شكل مضروب مجاميع قياسي POS.

لذلك للتحويل من الشكل القياسي SOP، إلى الشكل القياسي POS يكون على الشكل التالي:

1) نوجد الرقم الثنائي الذي يمثل كل حد مضروب في التعبير على شكل مجموع مضاريب قياسي SOP.
2) نحدد كل القيم الثنائية غير الموجودة.
3) نكتب حد المجموع المقابل لكل رقم ثنائي من الخطوة 2، بحيث نعبر عن كل رقم 1 بالمتغير المتمم، وكل رقم 0 بالمتغير، ونعبر عنهم على شكل مضروب مجاميع POS.

مثال

حول التعبير التالي بصيغة مجموع مضاريب قياسي POS إلى تعبير بصيغة مضروب مجاميع POS.

$$\overline{A}\,\overline{B}\,\overline{C} + \overline{A}B\overline{C} + \overline{A}BC + A\overline{B}C + ABC$$

نحدد القيم الثنائية لكل حد في التعبير

$$000 + 010 + 011 + 101 + 111$$

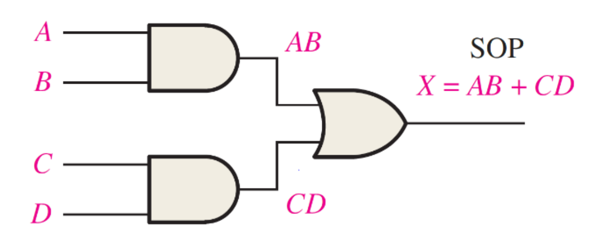
بما أن مجال التعبير هو 3 متغيرات وبالتالي عدد التركيبات الممكنة منها هو (2^3=8)، التعبير على شكل مجموع مضاريب SOP يحتوي على 5 تركيبات، وبالتالي التركيبات غير الممثلة فيه هي 3 تركيبات، بالتالي التعبير على مضروب مجاميع يجب أن يحتوي على 001 ، 100 ، 110

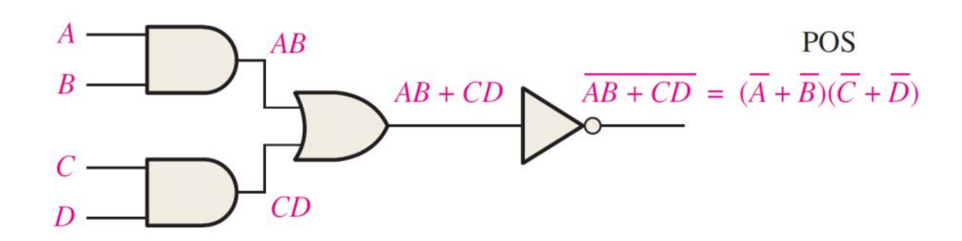
وبالتالي التعبير على شكل مضروب مجاميع يكون:

$$(A + B + \overline{C})(\overline{A} + B + C)(\overline{A} + \overline{B} + C)$$

ملاحظة:

يمكن تحويل تعبير على شكل مجموع مضاريب SOP، إلى شكل مضروب مجاميع POS عن طريق عكس التعبير باستخدام عملية النفي NOT، ومن ثم تطبيق نظرية ديمورغان كما هو موضح بالشكل (5-12).





الشكل (5-12) تحويل تعبير من مجموع مجموع مضاريب SOP، إلى شكل مضروب مجاميع POS عن طريق عكس التعبير باستخدام عملية النفي NOT، ومن ثم تطبيق نظرية ديمورغان

3-4 التعابير البوليانية وجدول الحقيقة Boolean Expressions and Truth Tables

كل التعابير البوليانية يمكن أن تحول بسهولة إلى تنسيق جدول الحقيقة باستعمال القيم الثنائية لكل حد في التعبير، وجدول الحقيقة هو الطريقة العامة الشائعة لتمثيل التعابير المنطقية، وجدول الحقيقة هو استجابة الدائرة المنطقية أو التعبير المنطقي لجميع الاحتمالات الممكنة لمتغيرات الدخل للدائرة.

نقوم بكتابة جدول الحقيقة للتعبير المنطقي بعدد أسطر توافق مجال متغيرات الدخل، كل سطر يحتوي على أحد الاحتمالات الممكنة من التركيبات لمجموعة متغيرات الدخل.

1-3-4 تحويل تعبير منطقي على شكل مجموع مضاريب إلى جدول الحقيقة
Converting SOP Expressions to Truth Table Format

وجدنا من السابق أن التعبير المنطقي على شكل مجموع مضاريب SOP يكون مساوياً للواحد 1 فقط إذا كان واحد أو أكثر من حدود المضاريب في التعبير يساوي الواحد 1. بعد كتابة جدول الحقيقة للتعبير المنطقي بعدد أسطر يوافق مجال متغيرات الدخل، نقوم بوضع واحد 1 أو صفر 0 في عمود الخرج على الشكل التالي:

- نضع واحد 1 في سطر الخرج المقابل لكل حد مضاريب موجود في التعبير المنطقي.
- نضع صفر 0 في سطر الخرج المقابل لكل حد غير موجود في التعبير المنطقي.

المثال التالي يوضح ذلك:

مثال

أكتب جدول الحقيقة للتعبير المنطقي التالي: $\bar{A}\bar{B}C + ABC\ A\bar{B}\bar{C}$

مجال التعبير المنطقي هو المتغيرات A,B,C

نكتب جدول الحقيقة لعدد التركيبات الممكنة وهو ($2^3=8$)

أي جدول الحقيقة سيحتوي على 8 أسطر، كل سطر يحتوي على أحد الاحتمالات الممكنة من التركيبات لمجموعة متغيرات الدخل.

- نضع واحد 1 في سطر الخرج المقابل لكل حد مضاريب موجود في التعبير المنطقي، أي مقابل الحدود التي تقابل القيم الثنائية (001، 100، 111)

- نضع صفر 0 في سطر الخرج المقابل لكل حد غير موجود في التعبير المنطقي، أي مقابل الحدود التي تقابل القيم الثنائية (000، 010، 011، 101، 110)

جدول الحقيقة يكون

	A	B	C	X	Product Term
0	0	0	0	0	
1	0	0	1	1	$\bar{A}\bar{B}C$
2	0	1	0	0	
3	0	1	1	0	
4	1	0	0	1	$A\bar{B}\bar{C}$
5	1	0	1	0	
6	1	1	0	0	
7	1	1	1	1	ABC

2-3-4 تحويل تعبير منطقي على شكل مضروب مجاميع إلى جدول الحقيقة

Converting POS Expressions to Truth Table Format

وجدنا من السابق أن التعبير المنطقي على شكل مضروب مجاميع POS يكون مساوياً للصفر 0 فقط إذا كان واحد أو أكثر من حدود المجاميع في التعبير يساوي الصفر 0. بعد كتابة جدول الحقيقة للتعبير المنطقي بعدد أسطر يوافق مجال متغيرات الدخل، نقوم بوضع واحد 1 أو صفر 0 في عمود الخرج على الشكل التالي:

- نضع صفر 0 في سطر الخرج المقابل لكل حد مجاميع موجود في التعبير المنطقي.
- نضع واحد 1 في سطر الخرج المقابل لكل حد غير موجود في التعبير المنطقي.

المثال التالي يوضح ذلك:

مثال

أكتب جدول الحقيقة للتعبير المنطقي التالي:

$$(A + B + C)(A + \overline{B} + C)(A + \overline{B} + \overline{C})(\overline{A} + B + \overline{C})(\overline{A} + \overline{B} + C)$$

مجال التعبير المنطقي هو المتغيرات A,B,C

نكتب جدول الحقيقة لعدد التركيبات الممكنة وهو ($2^3=8$)

أي جدول الحقيقة سيحتوي على 8 أسطر، كل سطر يحتوي على أحد الاحتمالات الممكنة من التركيبات لمجموعة متغيرات الدخل.

– نضع صفر 0 في سطر الخرج المقابل لكل حد مجاميع موجود في التعبير المنطقي، أي مقابل الحدود التي تقابل القيم الثنائية (011، 010، 000، 101، 110)

– نضع واحد 1 في سطر الخرج المقابل لكل حد غير موجود في التعبير المنطقي، أي مقابل الحدود التي تقابل القيم الثنائية (111، 100، 001)

جدول الحقيقة يكون

	A	B	C	X	Sum Term
0	0	0	0	0	$(A + B + C)$
1	0	0	1	1	
2	0	1	0	0	$(A + \overline{B} + C)$
3	0	1	1	0	$(A + \overline{B} + \overline{C})$
4	1	0	0	1	
5	1	0	1	0	$(\overline{A} + B + \overline{C})$
6	1	1	0	0	$(\overline{A} + \overline{B} + C)$
7	1	1	1	1	

3-3-4 كتابة التعابير المنطقية القياسية من جدول الحقيقة

Determining Standard Expressions from a Truth Table

يمكن استنتاج التعبير المنطقي على شكل مجموع مضاريب قياسي أو مضروب مجاميع قياسي من جدول الحقيقة مباشرة بالطريقة التالية:

- في حال مجموع مضاريب SOP: ننظر إلى قيم الخرج X التي يكون فيها مساوي للواحد 1 ونأخذ المتغيرات على حالها في حال قيمة المتغير يساوي واحد 1، ونأخذ متمم المتغير في حال كانت قيمة المتغير صفر 0 ونضرب المتغيرات مع بعضها ثم نجمع الحدود الناتجة.

$$1010 \longrightarrow A\overline{B}C\overline{D}$$

- في حال مضروب مجاميع POS: ننظر إلى الأصفار بدلاً من الواحدات ونضع المتغير على حاله في حال كانت قيمته صفر 0، ونضع متممه في حال كانت قيمته واحد 1، ونأخذ المجموع للمتغيرات، ثم نأخذ مضروب المجاميع الناتجة عن كل حد.

$$1001 \longrightarrow \overline{A} + B + C + \overline{D}$$

مثال

لدينا التعبير المنطقي المعرف بجدول الحقيقة التالي، والمطلوب:

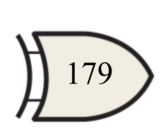
1) كتابة التعبير F بشكل مجموع مضاريب SOP قياسي.

1) كتابة التعبير F بشكل مضروب مجاميع POS قياسي.

A	B	C	F
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	1

1- من جدول الحقيقة لدينا

$$011 \longrightarrow \overline{A}BC$$
$$100 \longrightarrow A\overline{B}\,\overline{C}$$
$$110 \longrightarrow AB\overline{C}$$
$$111 \longrightarrow ABC$$



وبالتالي التعبير المنطقي على مجموع مضاريب SOP قياسي يكون

$$X = \overline{A}BC + A\overline{B}\,\overline{C} + AB\overline{C} + ABC$$

2- من جدول الحقيقة لدينا

$$000 \longrightarrow A + B + C$$
$$001 \longrightarrow A + B + \overline{C}$$
$$010 \longrightarrow A + \overline{B} + C$$
$$101 \longrightarrow \overline{A} + B + \overline{C}$$

وبالتالي التعبير المنطقي على مجموع مضاريب SOP قياسي يكون

$$X = (A + B + C)(A + B + \overline{C})(A + \overline{B} + C)(\overline{A} + B + \overline{C})$$

5- مخططات كارنوف The Karnaugh Map

لقد رأينا في جزء سابق كيفية استخدام قوانين ونظريات الجبر المنطقي في اختصار التعابير التي تمثل الدوائر المنطقية، مثل هذه الطريقة كما أشرنا سابقاً لا تعطي أي تأكيد على أن الصورة النهائية التي تم الحصول عليها للتعبير المنطقي هي الصورة المثلى ولا يمكن اختصارها أكثر من ذلك لأن الصورة النهائية التي سنصل إليها تعتمد بدرجة كبيرة على مهارة مستخدم هذه القوانين والنظريات، وكذلك على القابلية للتطبيق. سنقدم هنا طريقة بسيطة لاختصار أي تعبير منطقي ووضعه في الصورة المثلى التي لا يمكن إجراء أي اختصار عليها أكثر من ذلك، ميزة هذه الطريقة أنها خطوات مرتبة في صورة أشكال توضيحية مثل جدول الحقيقة كما سنرى، هذه الطريقة تسمى طريقة مخططات كارنوف لتبسيط المعادلات المنطقية.

مخططات كارنوف The Karnaugh Map هي طريقة مرئية لتبسيط التعابير البوليانية المنطقية، وإذا ما استخدمت بطريقة جيدة فسوف تعطي التعبير البولياني في أبسط شكل ممكن، فطريقة كارنوف تشبه تماماً جدول الحقيقة في تمثيل المعادلة المنطقية، حيث أنها تعرض جميع الحالات الممكنة لمتغيرات الدخل، وكذلك الخرج المقابل لهذا الدخل.

بدلًا من استخدام الصفوف والأعمدة كما في جدول الحقيقة، فإن مخطط كارنوف يستخدم مصفوفة array من الخلايا cells، حيث كل خلية من هذه الخلايا تمثل واحدة من حالات الدخل الممكنة، يتم ترتيب هذه الخلايا بطريقة تسمح بتبسيط التعبير عن طريق تجميع بعض هذه الخلايا مع بعضها بطريقة معينة .يمكن استخدام هذه الخريطة لتبسيط المعادلات ذات المتغيرين والثلاثة والأربعة وحتى الخمسة متغيرات، ولكن مع زيادة عدد متغيرات المعادلة عن خمسة فإن التعامل مع المخطط يكون صعب ومتعب في هذه الحالة (زيادة عدد المتغيرات عن خمسة) نلجأ لطريقة أخرى تسمى طريقة كوين مكلوسكي Quine McClusky، حيث يمكن استخدامها مع عدد كبير من المتغيرات، ويمكن برمجة هذه الطريقة على الحاسب بشكل سهل، لكن وهذه الطريقة خارج نطاق هذا الكتاب.

عدد الخلايا في مخططات كارنوف يساوي عدد التركيبات المحتملة للمدخلات، ويماثل ذلك عدد الصفوف في جدول الحقيقة.

- إذا كان عدد متغيرات الدخل ثلاثة 3 3-variable map، فإن عدد الخلايا يساوي

$$2^3=8$$

ويكون شكل مخطط كارنوف كما في الشكل (5–13)، إذ تتوزع عليه جميع الاحتمالات الممكنة لمتغيرات الدخل، ونلاحظ أن علامات الدخل توضع خارج المخطط بجانب الخلية، وتطبق على كل من السطر والعمود، ونبدأ من الأعلى بالمتغيرات المتممة أي السطر الذي بجانبه 00 يمثل المتغيرات المتممة، بالنسبة للعمود نبدأ من اليسار بالمتغير المتمم.

AB \ C	0	1
00		
01		
11		
10		

AB \ C	0	1
00	$\overline{A}\overline{B}\overline{C}$	$\overline{A}\overline{B}C$
01	$\overline{A}B\overline{C}$	$\overline{A}BC$
11	$AB\overline{C}$	ABC
10	$A\overline{B}\overline{C}$	$A\overline{B}C$

الشكل (5–13) مخطط كارنوف لثلاثة 3 متغيرات 3-variable map تتوزع عليه جميع التركيبات المحتملة لمتغيرات الدخل

- إذا كان عدد متغيرات الدخل أربعة 4 4-variable map فإن عدد الخلايا يساوي

$$2^4=16$$

ويكون شكل مخطط كارنوف كما في الشكل (5–14)، إذ تتوزع عليه جميع الاحتمالات الممكنة لمتغيرات الدخل.

AB \ CD	00	01	11	10
00				
01				
11				
10				

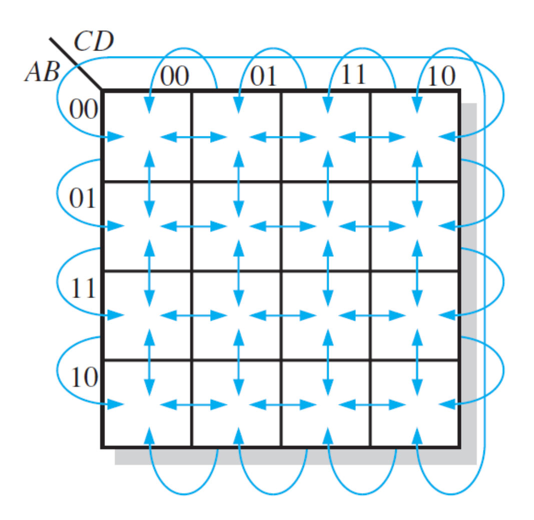
AB \ CD	00	01	11	10
00	$\overline{A}\overline{B}\overline{C}\overline{D}$	$\overline{A}\overline{B}\overline{C}D$	$\overline{A}\overline{B}CD$	$\overline{A}\overline{B}C\overline{D}$
01	$\overline{A}B\overline{C}\overline{D}$	$\overline{A}B\overline{C}D$	$\overline{A}BCD$	$\overline{A}BC\overline{D}$
11	$AB\overline{C}\overline{D}$	$AB\overline{C}D$	$ABCD$	$ABC\overline{D}$
10	$A\overline{B}\overline{C}\overline{D}$	$A\overline{B}\overline{C}D$	$A\overline{B}CD$	$A\overline{B}C\overline{D}$

الشكل (5–14) مخطط كارنوف لأربعة 4 متغيرات 4-variable map تتوزع عليه جميع التركيبات المحتملة لمتغيرات الدخل

1–5 تجاور الخلايا Cell Adjacency

في مخططات كارنوف تكون الخلايا منظمة بحيث أنه فقط يتغير متغير واحد بين كل خليتين متجاورتين، بالتالي الخلايا التي تختلف بأكثر من متغير ليست متجاورة، فمثلاً في المخطط بثلاثة متغيرات الخلية 000 مجاورة للخلية 010.

فيزيائياً كل خلية تكون مجاورة للخلايا التي تكون بعدها أو تالية لها مباشرة في أي من الاتجاهات الأربع أفقياً أو عمودياً، الشكل (5–15) يشرح عملية تجاور الخلايا لمخطط كارنوف بأربع متغيرات، إذ تشرح الأسهم التجاور لكل خلية.

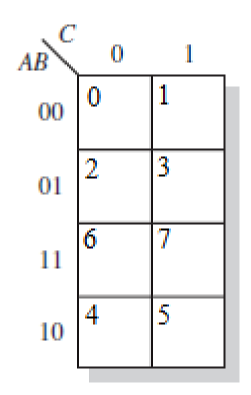


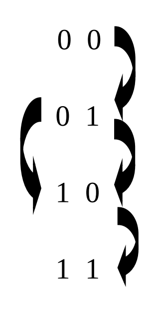
الشكل (5–15) تجاور الخلايا في مخطط كارنوف لأربعة 4 متغيرات 4-variable map

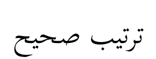
---

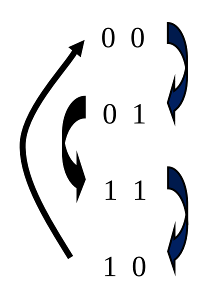
ملاحظة 1:

نلاحظ أنه في الجدول تم وضع الحالة '11' قبل الحالة '10' لسبب أن كل مربعين متجاورين يجب أن يختلفا بقيمة واحدة.









ترتيب خاطئ

لأنه يحقق تجاور بين كل حالتين متتاليتين

وكذلك الأمر للحالة الأولى تجاور الحالة الأخيرة (دائري)

على مخطط كارنوف نلاحظ عدد من حالات التجاور وللتوضيح نضع أرقام الخلايا:

(0,2) (2,6) (6,4) (0,4)

(1,3) (3,7) (7,5) (1,5)

(0,1) (2,3) (6,7) (4,5)

حالات غير متجاورة:

(1,4) (0,5) (0,3) (2,7) (1,2)

ملاحظة 2:

في بعض المراجع تأخذ تعاريف مشابهة تكون على الشكل التالي:

الحد الأصغري: فإذا أخذنا متغيرين A,B وأخضعناها لعملية آند AND، عندها يمكن تشكيل أربع تشكيلات متميزة هي $A\overline{B}$ ،AB ،$A\overline{B}$ ،AB

يعرف الشكل القياسي لأي تعبير منطقي بأنه عبارة عن مجموعة

يمكن كتابة التعبير السابق بالشكلين التاليين:

مجموع المضاريب:

$$F(A,B,C) = \sum m(2,3,4,6,7)$$

حدود صغرى

أو بالشكل

مضروب مجاميع:

$$F(A,B,C) = \prod M(0,1,5)$$

حدود كبرى

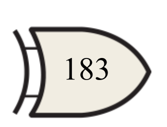
حيث يمكن استنتاج أي شكل من الشكل الآخر حيث أن مجال الأرقام: $0 \longrightarrow 2^n - 1$

ويمكن استنتاج أحد الشكلين من الآخر بالبحث عن الأرقام العشرية الموجودة في أحد الأشكال وغير موجودة في الشكل الآخر.

مثال

إذا كان لدينا التعبير المنطقي معطى بالشكل:

$$F(A,B,C,D) = \prod M(2, 3, 4, 5, 6, 7, 8, 9, 11, 13, 14, 15)$$



حيث أن عدد المتغيرات n=4

ومنه مجال الأعداد

$$0 \longrightarrow 2^n -1$$
$$0 \longrightarrow 15$$

التعبير المنطقي معطى على شكل مضروب مجاميع، يمكن أن نستنتج منه شكل مجموع المضاريب عن الطريق إيجاد الأرقام العشرية الناقصة في التعبير على شكل مضروب مجاميع، نحصل على التعبير على شكل مجموع مضاريب

$$F(a,b,c,d) = \sum m(0,1,10,12)$$

ملاحظة 3:

اختيار الشكل المناسب للتعبيرات المنطقية يكون بناء على شكل الدائرة المطلوب، فإذا كنا نريد دئرة في شكل أند – أور AND-OR Structure نختار شكل مجموع مضاريب، أما إذا أردنا دائرة في شكل OR-AND Structure، نختار شكل مضروب مجاميع.

5-2 تبسيط التعابير المنطقية باستخدام مخططات كارنوف

Logic Simplification Using Karnaugh Map

عرفنا سابقاً أن عدد الخلايا في مخططات كارنوف يعتمد على عدد المتغيرات (المدخلات). بالتالي كل خلية في مخطط كارنوف تقابل تركيبة محتملة من تركيبات الدخل.

5-2-1 تبسيط التعبير البولياني على شكل مجموع مجموع مضاريبSOP

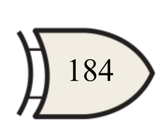
Karnaugh Map SOP Minimization

لاختصار وتبسيط التعبير البولياني على شكل مجموع مضاريب SOP باستخدام مخططات كارنوف نتبع التالي:

- نكتب التابع على شكل مجموع مضاريب قياسي، إن لم يكن بالشكل القياسي.
- نضع واحد 1 في مخطط كارنوف مقابل كل حد موجود في التعبير البولياني.
- نقوم بتجميع الواحدات في المخطط على شكل تطويقة مؤلفة من عدد من الواحدات يكون إما

1 أو 2 أو 4 أو 8 أو 16

أي عدد من المجموعة (1,2,4,8,16)، بحيث نختار دائماً:



- المجموعة التي تحتوي أكبر عدد من الواحدات.
- يجب أن تكون كل خلية في المجموعة مجاورة للأخرى.
- يجب أن تكون " الواحدات " متجاورة هندسياً بشكل أفقي أو عمودي.
- يجب أن يكون عدد المجموعات أقل ما يمكن.
- كل واحد 1 في المخطط يجب أن يكون محتوى في مجموعة واحدة على الأقل.
- أي واحد 1 في مجموعة يمكن أن يضمن في مجموعة أخرى.
- إذا بقي " واحدات أو واحد 1 " لا يمكن جمعهم ضمن أي مجموعة توضع ضمن مجموعة خاصة بهم.

- كل مجموعة تحتوي واحدات 1 تقابل حد مضروب يتألف من المتغيرات التي تكون في شكل واحد فقط (إما متغير متمم أو غير متمم) ضمن المجموعة، المتغيرات التي تكون في المجموعة بشكلين متمم وغير متمم تحذف، وذلك حسب القاعدة المتغير ومتممه يساوي الواحد 1.
- نحدد حد الضرب الأصغري minimum product term لكل مجموعة على الشكل التالي:

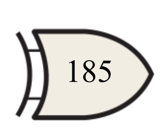
<u>من أجل مخطط كارونوف بثلاثة متغيرات 3-Variable Map :</u>

- المجموعة التي تحتوي على خلية واحدة 1 1-Cell Group، تنتج حد مضروب بثلاثة 3 متغيرات.
- المجموعة التي تحتوي على خليتين 2 2-Cell Group، تنتج حد مضروب بمتغيرين 2.
- المجموعة التي تحتوي على أربع 4 خلايا 4-Cell Group، تنتج حد مضروب بمتغير واحد 1.
- المجموعة التي تحتوي على ثمان 8 خلايا 8-Cell Group، تنتج القيمة واحد 1 من أجل التعبير المنطقي.

<u>من أجل مخطط كارونوف بأربع متغيرات 4-Variable Map :</u>

- المجموعة التي تحتوي على خلية واحدة 1 1-Cell Group، تنتج حد مضروب بأربع 4 متغيرات.
- المجموعة التي تحتوي على خليتين 2 2-Cell Group، تنتج حد مضروب بثلاثة 3 متغيرات.
- المجموعة التي تحتوي على أربع 4 خلايا 4-cell Group، تنتج حد مضروب بمتغيرين 2.
- المجموعة التي تحتوي على ثمان 8 خلايا 8-Cell Group، تنتج حد مضروب بمتغير واحد 1.
- المجموعة التي تحتوي على ست عشرة خلية 8-Cell Group، تنتج القيمة واحد 1 من أجل التعبير المنطقي.

- عندما يتم تحديد كل حدود المضاريب الأصغرية من مخطط كارنوف، يتم تجميعها لتشكيل التعبير الأصغري المبسط على شكل مجموع مضاريب SOP.



الشكل (16-5) يعرض أمثلة على مخططات كارنوف بثلاث متغيرات موضعة عليها الواحدات، والتطويقات لتشكيل المجموعات، ومحددة عليها الحدود الأصغرية.

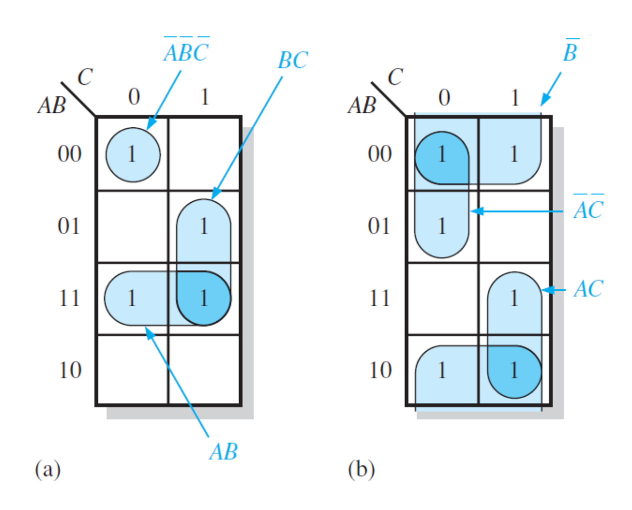
من الشكل (16-5) التعبير المبسط على شكل مجموع مضاريب

بالنسبة لـ (a)

$$AB + BC + \overline{A}\,\overline{B}\,\overline{C}$$

بالنسبة لـ (b)

$$\overline{B} + \overline{A}\,\overline{C} + AC$$



الشكل (16-5) تبسيط تعبير مجموع مضاريب باستخدام مخطط كارنوف بثلاث متغيرات

الشكل (17-5) يعرض أمثلة على مخططات كارنوف بأربع متغيرات موضعة عليها الواحدات، والتطويقات لتشكيل المجموعات، ومحددة عليها الحدود الأصغرية.

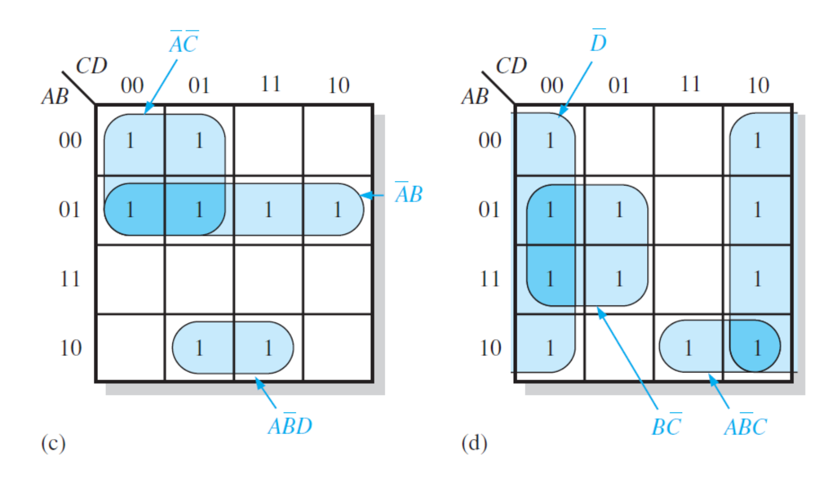
من الشكل (17-5) التعبير المبسط على شكل مجموع مضاريب

بالنسبة لـ (c)

$$\overline{A}B + \overline{A}\,\overline{C} + A\overline{B}D$$

بالنسبة لـ (d)

$$\overline{D} + A\overline{B}C + B\overline{C}$$



الشكل (5-17) تبسيط تعبير مجموع مضاريب باستخدام مخطط كارنوف بأربع متغيرات

4-2-2 تبسيط التعبير البولياني على شكل مجموع مضروب مجاميع POS

Karnaugh Map POS Minimization

لاختصار وتبسيط التعبير البولياني على شكل مضروب مجاميع POS باستخدام مخططات كارنوف نتبع نفس الخطوات التي اتبعناها عند إيجاد الشكل المبسط على شكل مجموع مضاريب SOP على أن نستبدل الواحدات بالأصفار كما يلي:

نكتب التابع على شكل مضروب مجاميع POS إن لم يكن بالشكل القياسي.

- نضع صفر 0 في مخطط كارنوف مقابل كل حد موجود في التعبير البولياني.
- نقوم بتجميع الأصفار في المخطط على شكل تطويقة مؤلفة من عدد من الأصفار يكون (1,2,4,8,16)، بحيث نختار دائماً المجموعة التي تحتوي أكبر عدد من الأصفار، على أن تكون كل خلية في المجموعة مجاورة للأخرى.
- كل صفر 0 في المخطط يجب أن يكون محتوى في مجموعة واحدة على الأقل. وأي صفر 0 في مجموعة يمكن أن يضمن في مجموعة أخرى.
- كل مجموعة تحتوي أصفار تقابل حد مجموع يتألف من المتغيرات التي تكون في شكل واحد فقط (إما متغير متمم أو غير متمم) ضمن المجموعة، المتغيرات التي تكون في المجموعة بشكلين متمم وغير متمم تحذف، وذلك حسب القاعدة المتغير ومتممه يساوي الواحد 1.
- نحدد حد المجموع الأعظمي maximum sum term لكل مجموعة كما قمنا بتحديده عند إيجاده بشكل مجموع مضاريب.
- عندما يتم تحديد كل حدود المجاميع الأصغرية من مخطط كارنوف، نقوم بتطبيق عملية الضرب عليها لتشكيل التعبير الأصغري المبسط على شكل مضروب مجاميع POS.

الشكل (5-18) يعرض أمثلة على مخططات كارنوف بثلاث وأربع متغيرات موضعة عليها الأصفار، والتطويقات لتشكيل المجموعات، ومحددة عليها الحدود الأصغرية.

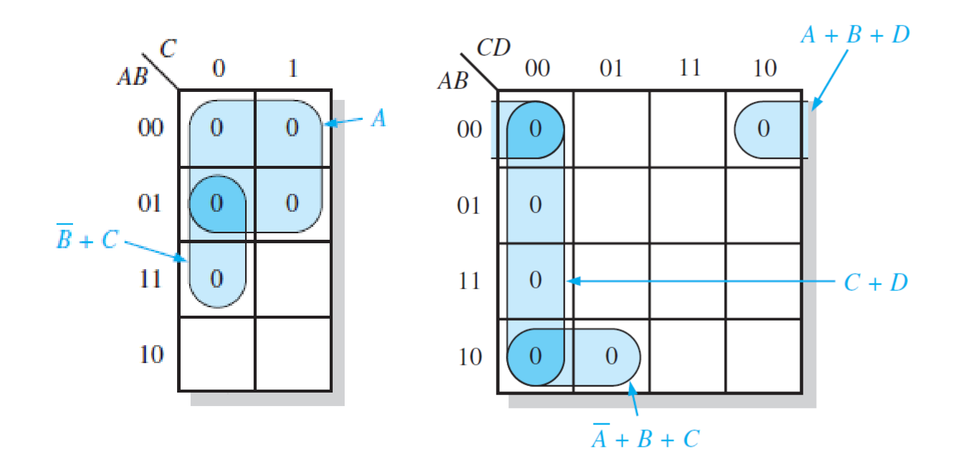
من الشكل (5-18) التعبير المبسط على شكل مضروب مجاميع

بالنسبة لـلمخطط كارنوف بثلاث متغيرات

$$A(\overline{B} + C)$$

بالنسبة لـلمخطط كارنوف بأربع متغيرات

$$(C + D)(A + B + D)(\overline{A} + B + C)$$



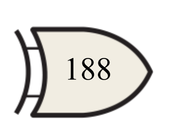
الشكل (5-18) تبسيط تعبير مضروب مجاميع باستخدام مخطط كارنوف بثلاث وأربع متغيرات

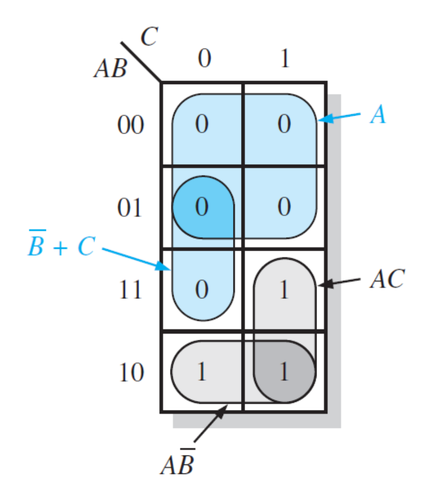
5-3 استنتاج التعبيرين، مجموع المضاريب ومضروب المجاميع من مخطط كارنوف

Derivation POS and SOP Using the Karnaugh Map

عندما يكون مخطط كارنوف لتعبير بولياني على شكل مجموع مضاريب SOP معطى، فإنه يمكن مباشرة من نفس مخطط كارنوف استنتاج التعبير البولياني المكافئ على شكل مضروب مجاميع POS، وذلك بوضع أصفار في الخلايا الفارغة في الجدول، ومن ثم إيجاد الحدود الأصغرية، والعكس أيضاً عند توفر مخطط كارنوف لتعبير بولياني على شكل مضروب مجاميع POS فإنه يمكن إيجاد التعبير البولياني على شكل مجموع مضاريب SOP منه، وذلك بوضع واحدات في الخلايا الفارغة ومن ثم إيجاد الحدود الأصغرية.

الشكل (5-19) يعرض مثال لمخطط كارنوف بثلاثة متغيرات، عليه تظهر الواحدات والأصفار، مع تحديد المجموعات والحدود الأصغرية.





الشكل (5-19) يعرض مثال لمخطط كارنوف بثلاثة متغيرات يمكن استنتاج منه التعابير البوليانية مباشرة

من الشكل (5-19) نلاحظ

التعبير المبسط على شكل مجموع مضاريب SOP يكون

$$AC + A\overline{B} = A(\overline{B} + C)$$

التعبير المبسط على شكل مضروب مجاميع POS يكون

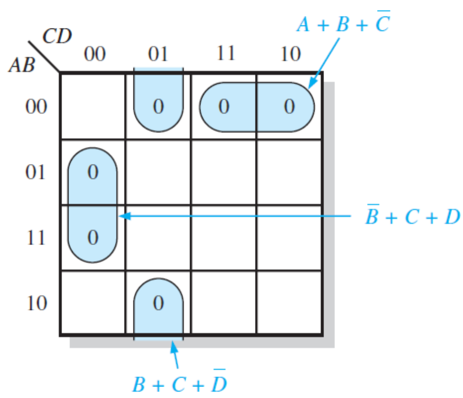
$$A(\overline{B} + C)$$

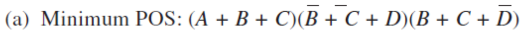
نلاحظ أن التعبيرين المبسطين متشابهين وهي من الحالات التي قد تحدث أن يكون كلا التعبيرين لهما نفس الحدود والمتغيرات.

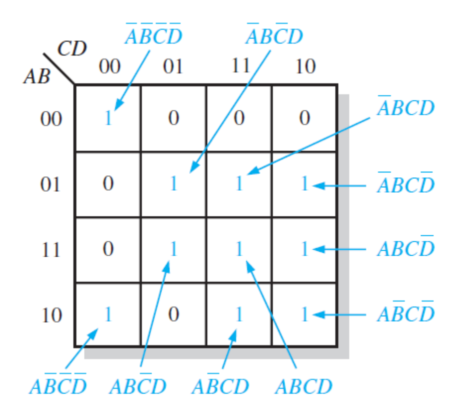
الشكل (5-20) يمثل عملية تبسيط تعبير بولياني على شكل مضروب مجاميع ممثل بجدول كارنوف لأربعة متغيرات، ومن نفس الجدول نستنتج التعبير البولياني القياسي والمبسط على شكل مجموع مضاريب، وتظهر علي الجداول الواحدات والأصفار، مع تحديد المجموعات والحدود الأصغرية.

ملاحظة

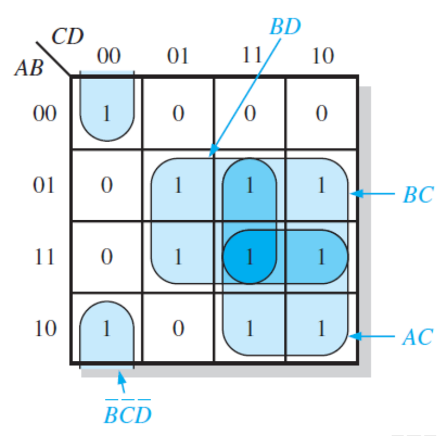
إذا كان لدينا تعبير ممثل باستخدام جدول الحقيقة، يمكن من جدول الحقيقة مباشرة أن نمثل الحدود على مخططات كارنوف.




(a) Minimum POS: $(A + B + \overline{C})(\overline{B} + C + D)(B + C + \overline{D})$



(b) Standard SOP:
$\overline{A}\overline{B}\overline{C}\overline{D} + \overline{A}B\overline{C}D + \overline{A}BCD + \overline{A}BC\overline{D} + ABC\overline{D} + A\overline{B}C\overline{D} +$
$A\overline{B}\overline{C}\overline{D} + AB\overline{C}D + A\overline{B}CD + ABCD$



(c) Minimum SOP: $AC + BC + BD + \overline{B}\overline{C}\overline{D}$

الشكل (5–20) يعرض مثال لمخطط كارنوف بأربعة متغيرات يمكن استنتاج التعابير البوليانية منه مباشرة

5–4 الحالات أوالشروط غير الهامة “Don’t Care” Conditions

تُصمم بعض الدوائر المنطقية بحيث لا تعطي في خرجها أية قيمة عند تطبيق قيم على دخلها، وذلك بسبب أن قيم الدخل هذه لن تظهر أي تأثير على عمل الدائرة، فلا يهم المصمم أن يأخذ بعين الاعتبار هذه القيم. تدعى هذه الحالات(الشروط) بالحالات غير الهامة أو غير المعرفة **Don’t Care Condition** ويرمز لها ب X في جدول الحقيقة أو مخطط كارنوف

يمكن الاستفادة من الحالات غير المعرفة في تبسيط الدوائر المنطقية، إذ يمكن اعتبار X حد مجموع مضاريب (1) أو مضروب مجاميع (0). يظهر جدول الحقيقة ومخطط كارنوف التاليين لأربع متغيرات، حيث يحتوي حالات غير هامة، ويظهر كيف يتم الاستفادة منها في عملية الاختصار.

A	B	C	D	F
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	1
1	0	0	0	1
1	0	0	1	1
1	0	1	0	X
1	0	1	1	X
1	1	0	0	X
1	1	0	1	X
1	1	1	0	X
1	1	1	1	X

Don't Care

AB \ CD	00	01	11	10
00				
01			1	
11	X	X	X	X
10	1	1	X	X

$\bar{A}BCD$

BCD

$A\bar{B}\bar{C}$

A

ويكون التعبير المنطقي قبل استخدام الحالات غير الهامة يكون:

$$Y = A\bar{B}\bar{C} + \bar{A}BCD$$

والتعبير المنطقي مع استخدام الحالات غير الهامة يكون:

$$Y = A + BCD$$

ونلاحظ أن ادخال الحالات غير الهامة في علمية التبسيط ساعد في اعطاء شكل أكثر اختصاراً للتعبير المنطقي وبالتالي دائرة أكثر تبسيطاً.

تدريبات

1- ما هي قيمة كل من A,B,C التي تجعل كل من التعابير التالية واحد 1 ومرة صفر 0:

a) $A+B$ b) AB c) $\bar{A}\,B\,\bar{C}$ d) $(\bar{A} + B + \overline{C)}$

2- اكتب جدول الحقيقة للتعابير البوليانية التالية:

a) $X=(A+B)C+B$ b) $(A+BC)(\bar{B} + \bar{C})$ c) $\overline{(A + B)}\,C$

d) $(A + B)(B + C)(C + A)$ e) $AB + BC + CA$ f) $A\bar{B} + A\bar{C} + B\bar{C}$

3- ما هي قيمة كل من A,B,C التي تجعل كل من التعابير التالية مرة واحد 1 ومرة صفر 0:

a) $A+B$ b) AB c) $\bar{A}\,B\,\bar{C}$ d) $(\bar{A} + B + \overline{C)}$

4- استخدم جبر بول في تبسيط التعابير التالية:

a) $BD+B(D+E)+D(D+F)$ b) $AB+\overline{(AB})C+A$

c) $\bar{A}B+\bar{A}B\bar{C}+\bar{A}BCD+\bar{A}B\bar{C}\bar{D}E$ d) $(\bar{A}+A)(AB+AB\bar{C})$

e) $A(A+B)$ f) $A\bar{B}\bar{C}+A\bar{B}C+ABC$

g) $A(A+\bar{A}B)$ h) $A(\bar{A}+AB)$

i) $\bar{B}\,\overline{C\ }D+\overline{BCD}+B$ g) $(B+\overline{B)}+(BC+BC\overline{D)}$

5- اكتب التعابير التالية في شكل مجموع مضاريب قياسي SOP

a) $(A+)(\bar{B}C)C$ b) $(A+B)(C+\bar{B})$

c) $(\bar{A}+A)(AB+AB\bar{C})$ d) $A+B(AC+(B+C)D)$

6- اكتب جدول الحقيقة لكل تعبير من التعابير في التمرين السابق 5.

7- استخدم مخطط كارنوف لتبسيط كل واحد من التعابير الموجودة في التمرين 4.

8- باستخدام مخططات كارنوف بسط كل من التعابير البوليانية التالية:

a) $A\bar{B}\bar{C}D + A\bar{B}C\bar{D} + ABC\bar{D} + \bar{A}B\bar{C}D + AB\bar{C}D + \bar{A}BC\bar{D}$

b) $ABC\bar{D} + AB\bar{C}D + \bar{A}B\bar{C}D + \bar{A}BC\bar{D} + A\bar{B}\bar{C}D + + A\bar{B}C\bar{D} + ABCD + AB\overline{C}\,\overline{D}$

9- استنتج من التمرين السابق الشكل القياسي للتعبير البولياني على شكل مضروب مجاميع POS.

10– استنتج الشكل المبسط على شكل مضروب مجاميع **POS** من مخطط كارنوف من التمرين **8**.

11– اكتب جدول الحقيقة لكل تعبير من التعابير في التمرين السابق.

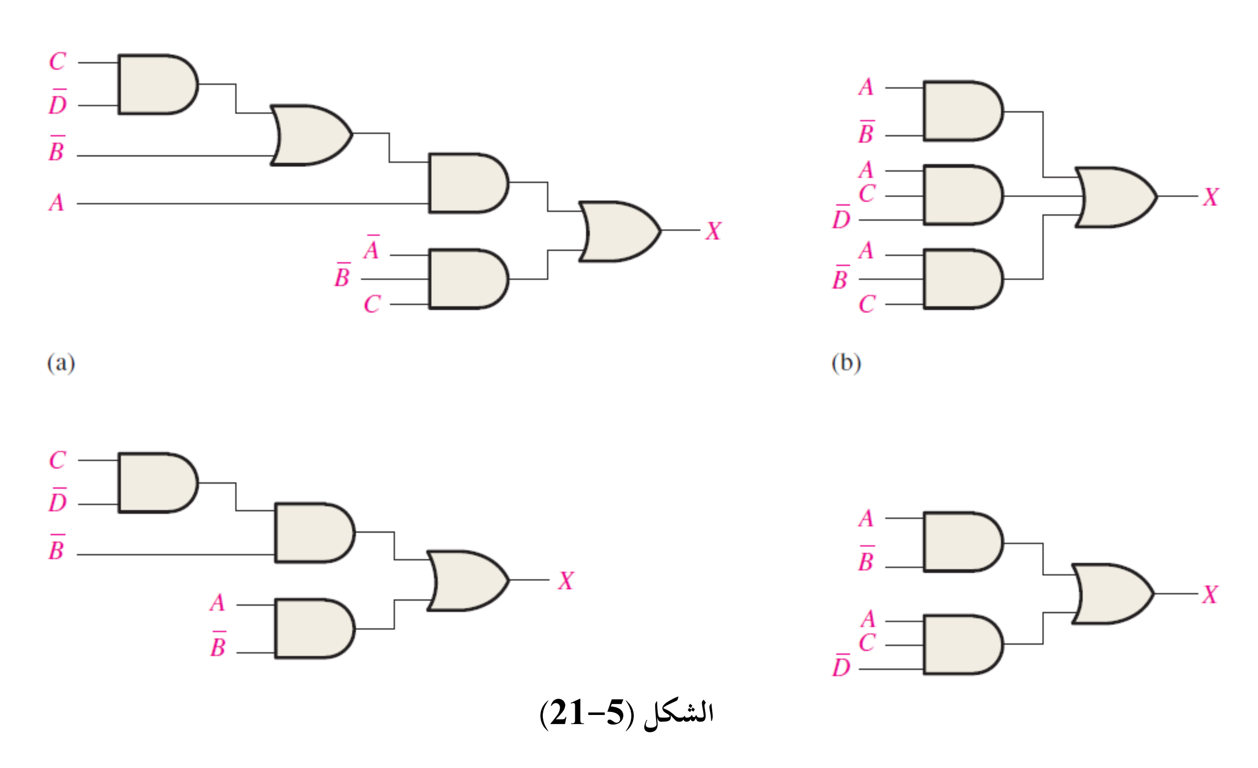
12– ارسم مخطط كارنوف بثلاثة متغيرات، وأربع متغيرات وحدد على كل منهما القيمة الثنائية والعشرية المقابلة لكل خلية في المخطط.

13– ارسم الدائرة المنطقية الممثلة بالتعابير التالية:

a) $A + B + C + D$ **b)** $ABCD$

c) $A + BC$ **d)** $ABC + \bar{A}BC\bar{D}$

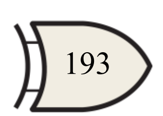
14– حدد أي الدوائر التالية متكافئة في الشكل (**5–21**).



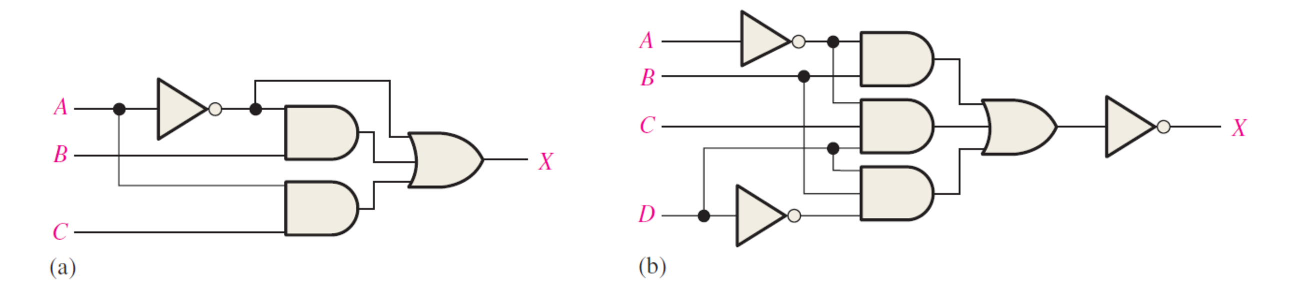
الشكل (**5–21**)

15– صمم دائرة منطقية تقوم بتحويل شفرة ثنائية مكونة من **4** خانات إلى الشفرة الرمادية، ثم قم ببناء الدائرة، باستخدام بوابات ناند فقط **NAND**.

16– صمم دائرة منطقية لها ثلاث مداخل تمثل عدد ثنائي وخرجها المتمم الثنائي **2' COMPLEMENT** لهذا العدد.



17– اكتب التعبير البولياني للدوائر المنطقية في الشكل (**5**–**22**)



الشكل (**5**–**22**)

18– من جداول الحقيقة التالية، استنتج التعابير البوليانية على شكل مجموع مضاريب **SOP** ، وعلى شكل مضروب مجاميع **POS**.

ABC	*X*
000	0
001	1
010	0
011	0
100	1
101	1
110	0
111	1

(a)

ABC	*X*
000	0
001	0
010	0
011	0
100	0
101	1
110	1
111	1

(b)

ABCD	*X*
0000	1
0001	1
0010	0
0011	1
0100	0
0101	1
0110	1
0111	0
1000	0
1001	1
1010	0
1011	0
1100	1
1101	0
1110	0
1111	0

(c)

ABCD	*X*
0000	0
0001	0
0010	1
0011	0
0100	1
0101	1
0110	0
0111	1
1000	0
1001	0
1010	0
1011	1
1100	1
1101	0
1110	0
1111	1

(d)

19- صمم دائرة منطقية لجهاز نزار محولة السرقة، تعطي في خرجها **Z** الحالة المرتفعة **High** عندما يطلق هذا الجهاز، وذلك عندما يكون دخلي الدائرة **B** أو **C**، أو كلاهما بالحالة المنخفضة **Low**، واللذان يمثلان عدم فتح قفلي الباب الأمامي بالمفتاح المخصص، ويكون بنفس الوقت قيمة الدخل **A** بالحالة المرتفعة **High** والذي يمثل فتح الباب.

20- صمم دائرة منطقية لها أربع مداخل ثنائية وعلى خرجها مصباحان.

1- يضيء المصباح الأول في حال كان عدد الواحدات على الدخل عدد فردي.

2- يضيء المصباح الثاني في حال كان المكافئ العشري للعدد المدخل أولي.

21- يراد التحكم بفتح وإغلاق باب كراج سيارات علماً أنه عند وصول السيارة إلى باب الكراج يتم فتح الباب وبعد دخول السيارة يتم إغلاق الباب. يتوفر لدينا الحساسات التالية:

الحساس S_0 " لمعرفة وجود سيارة أمام الباب "

$S_0 = 0$ وجود سيارة

$S_0 = 1$ عدم وجود سيارة

الحساس S_1

$S_1=1$ ⟺ الباب مغلق تماما

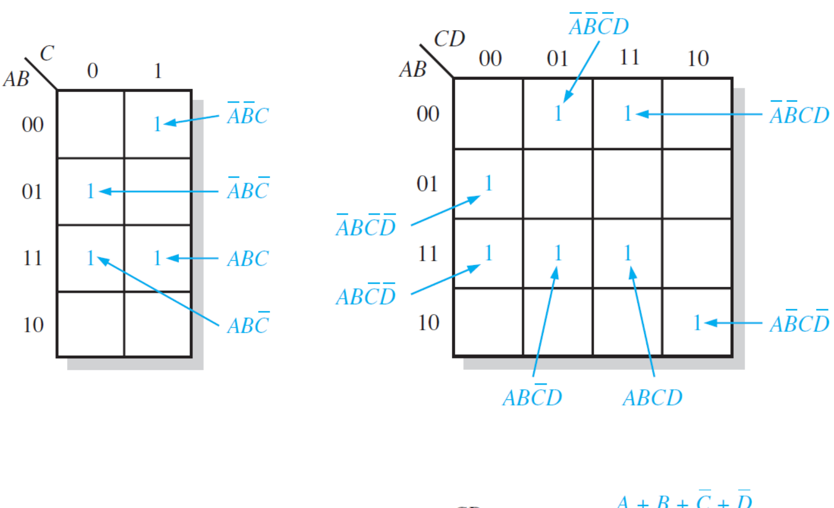
$S_1=0$ ⟺ الباب ليس مغلق تماما

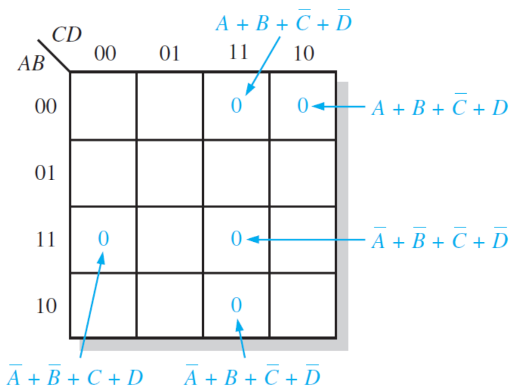
الحساس S_2

$S_2=1$ ⟺ الباب مفتوح تماما

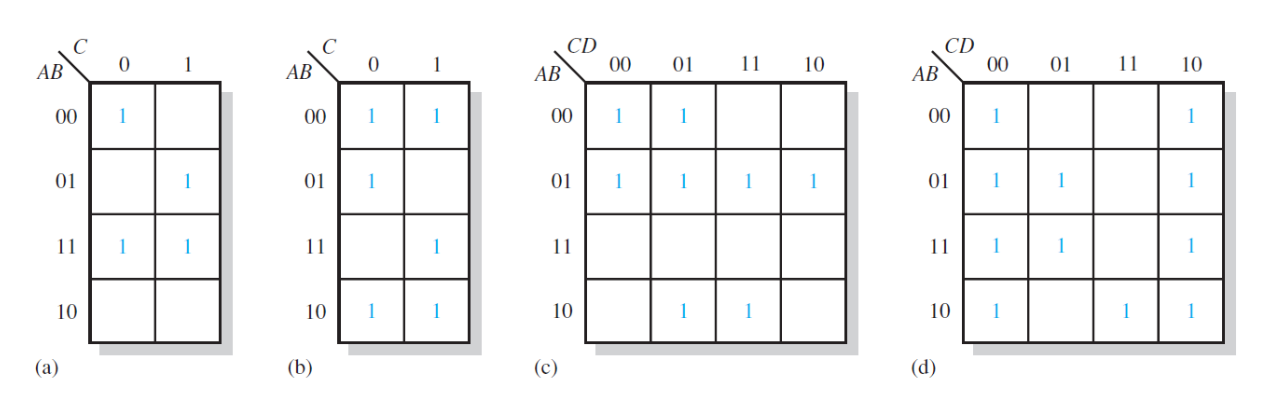
$S_2=0$ ⟺ الباب ليس مفتوح تماما

22- من أجل مخططات كارنوف التالية والمحدد على كل خلية الحد المقابل لها، أوجد التعبير البولياني المبسط وارسم الدائرة المعبرة عنه.





23– من أجل مخططات كارنوف التالية أوجد التعبير البولياني المبسط وارسم الدائرة المعبرة عنه.

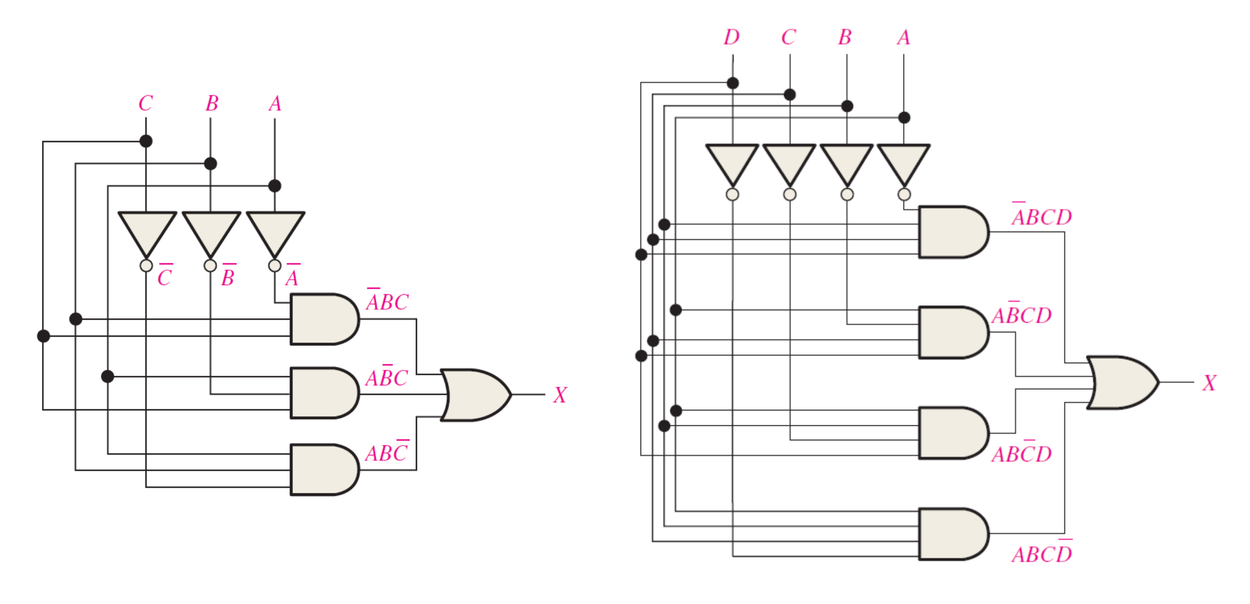


24– ليكن لدينا الداوائر المنطقية في الشكل **(5–23)**

– اكتب التعبير المنطقي على شكل مجموع مضاريب **SOP**.

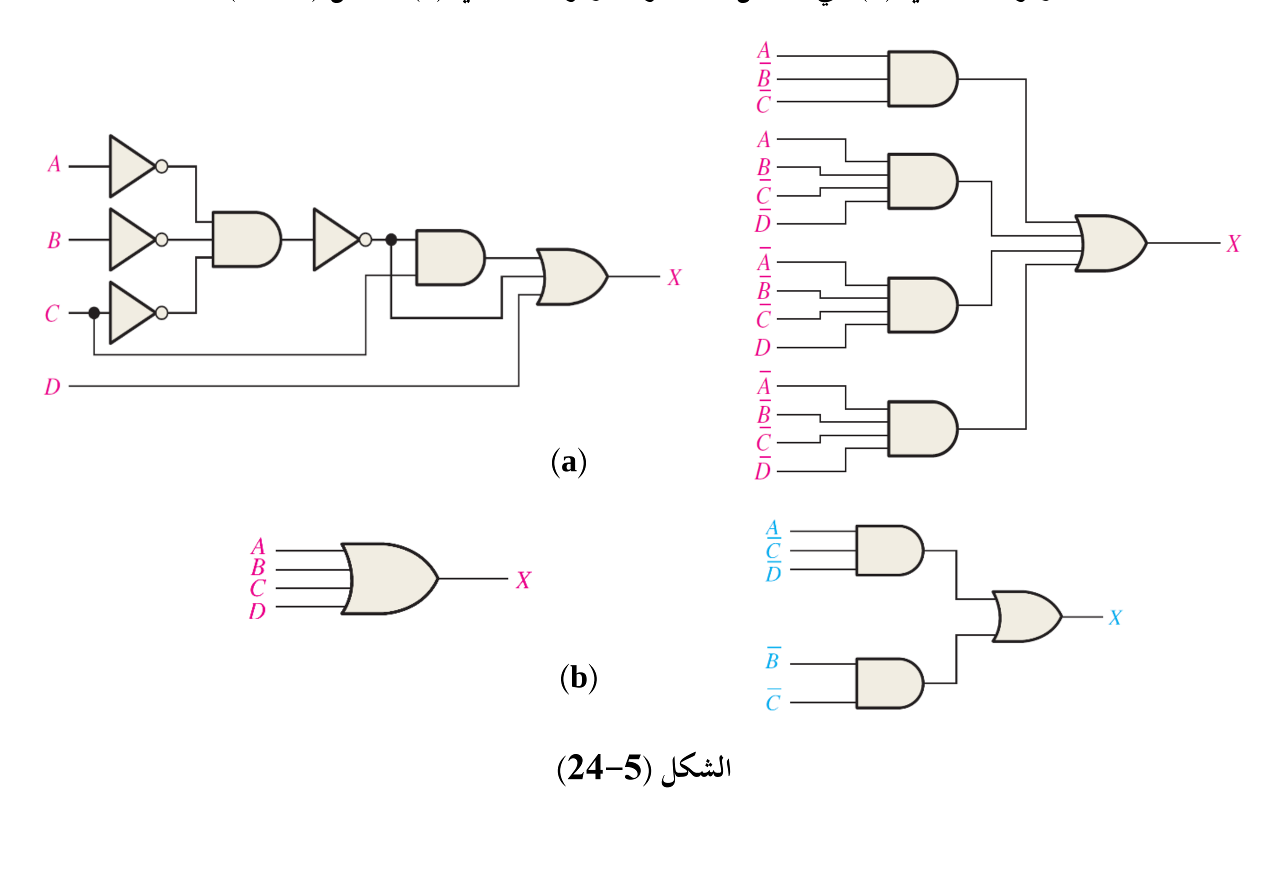
– استنتج جدول الحقيقة للدائرة المنطقية.

- **اكتب التعبير المنطقي على شكل مضروب مجاميع POS.**
- **ارسم الدائرة المنطقية للتعبير على شكل مضروب مجاميع POS.**

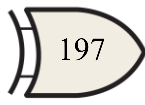


الشكل (5–23)

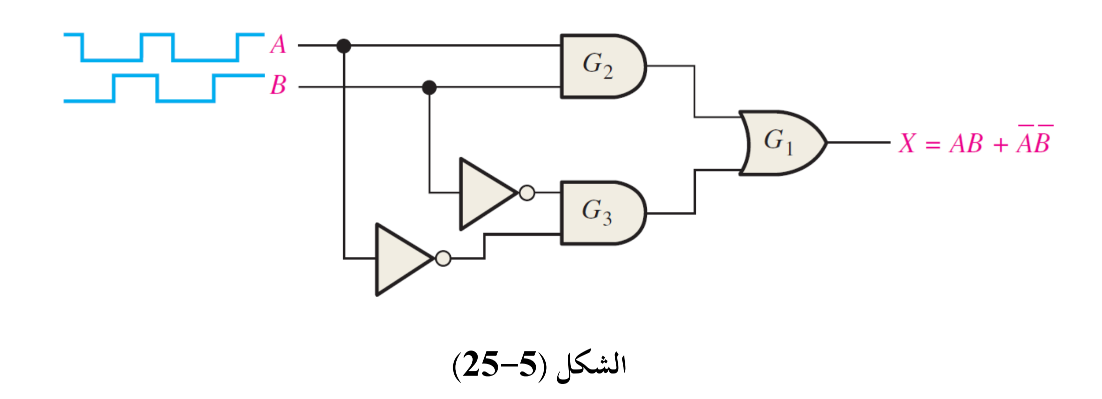
25– أثبت أن الداوائر المنطقية في (**b**) هي الشكل المختصر للدوائر المنطقية في (**a**) الشكل (**5–24**).



الشكل (5–24)



26- ارسم شكل موجة الخرج للبوابات المنطقية للدائرة المنطقية في الشكل (**5-25**)، عندما يطبق على دخلها الإشارات **A,B**.



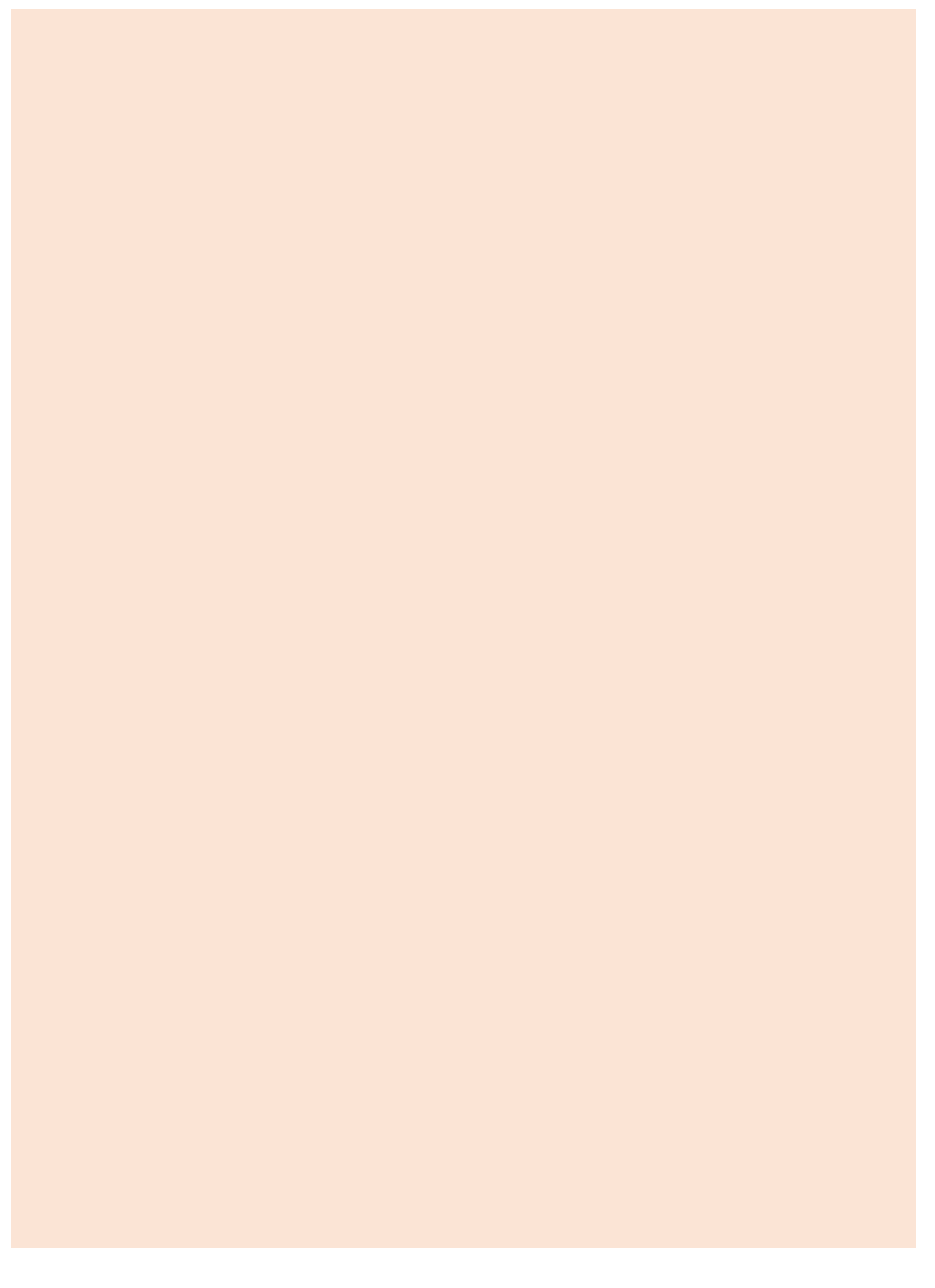
الشكل (**5-25**)

27- صمم دائرة منطقية تركيبية تعطي في خرجها **X** الحالة المرتفعة **HIGH** عندما يكون كلا دخلي الدائرة **C , D** بالحالة المنخفضة **LOW**، ويكون بنفس الوقت قيمة كل من الدخلين **A** و **B** أو أحدهما بالحالة المرتفعة **HIGH**.

28- صمم دائرة منطقية لجهاز السرقة تعطي في خرجها **Z** الحالة المرتفعة **HIGH** عندما يطلق هذا الجهاز، وذلك عندما دخل الدائرة **B** أو **C** أو كلاهما بالحالة المنخفضة **LOW**، واللذان يمثلان عدم فتح قفلي الباب الأمامي بالمفتاح المخصص، ويكون بنفس الوقت قيمة الدخل **A** بالحالة المرتفعة **HIGH**، والذي يمثل فتح الباب.

Key Terms and Abbreviations المصطلحات والعبارات الرئيسة واختصاراتها

المصطلح أو العبارة	الترجمة	الصفحة	المصطلح أو العبارة	الترجمة	الصفحة
جبر بول	**Boolean Algebra**	**149**	قوانين التوزيع	**Distributive Laws**	**159**
المتغير المنطقي	**Logical Variable**	**149**	نظريات ديمورغان	**DeMorgan's Theorems**	**165**
العمليات المنطقية	**Logical Operations**	**150**	مبدأ الثنوية	**Dual Theorem**	**166**
الضرب البولياني	**Boolean Multiplication**	**150**	شكل مضروب مجاميع	**Product-of-Sums Form (POS)**	**170**
حد الضرب	**Product Term**	**150**	الشكل القياسي لمجموع المضاريب	**The Standard SOP Form**	**171**
الجمع البولياني	**Boolean Addition**	**150**	الشكل القياسي مضروب مجاميع	**The Standard POS Form**	**173**
حد المجموع	**Sum Term**	**150**	مخططات كارنوف	**The Karnaugh Map**	**180**
التعبير المنطقي	**Logical Expression**	**151**	طريقة كوين مكلوسكي	**Quine McClusky**	**180**
جدول الحقيقة	**Truth Table**	**152**	مخطط بثلاث متغيرات	**3-Variable Map**	**181**
الدائرة المنطقية	**Logic Circuit**	**153**	مخطط بأربع متغيرات	**4-Variable Map**	**181**
المخطط المنطقي	**Logic Diagram**	**153**	حد الضرب الأصغري	**Minimum Product Term**	**185**
شكل مجموع مضاريب	**Sum-of-Products Form (SOP)**	**155**	مجموعة بخلية واحدة	**1-Cell Group**	**185**
قوانين التبديل	**Commutative Laws**	**158**	حد المجموع الأعظمي	**Maximum Sum Term**	**187**
قوانين التجميع	**Associative Laws**	**159**	الحالات (الشروط) غير الهامة أو غير المعرّفة	**Don't Care Condition**	**190**



الفصل السادس 6

الدوائر المنطقية التوافقية

Combinational Logic Circuits



الأهداف العامة للفصل Chapter Objectives

عندما تكمل هذا الفصل سوف تكتسب مجموعة من الخبرات والمعارف وينبغي أن تكون قادراً على:

- التعرف على الدوائر المنطقية التوافقية *Combinational Logic Circuits* وما المقصود بها.
- دراسة وتحليل وتصميم أهم الدوائر المنطقية التوافقية.
- التعرف على أهم شرائح الدوائر المتكاملة ICs للدوائر المنطقية التوافقية.
- تحليل وتصميم أهم الدوائر الحسابية كدوائر الجمع *Adders* المختلفة.
- فهم وظيفة الدوائر التوافقية الأساسية لاستخدامها في الأنظمة الرقمية، وهذه الدوائر هي:
  - معرفة تمثيل وتصميم دائرة المقارن *Comparator*.
  - معرفة تمثيل وتصميم دائرة محلل الشفرة *Decoder*.
  - معرفة تمثيل دائرة المشفر *Encoder*.
  - معرفة تمثيل دائرة اختيار البيانات *Multiplexer*.
  - معرفة وتمثيل دائرة موزع البيانات *Demultiplexers*.

1- مقدمة Introduction

في الفصول السابقة تمت دراسة البوابات المنطقية كأساسيات منفردة، وتم استعراض كيفية تصميم الدوائر المنطقية البسيطة باستخدام هذه البوابات، من خلال كتابة التعابير البوليانية للدوائر المنطقية واختصار هذه التعابير ومن ثم رسم الدائرة، في هذا الفصل سوف نتناول كيفية تحليل وتصميم الدوائر المنطقية Logic Circuit Design حيث سيتم شرح خطوات التصميم بالتفصيل ابتداءاً من تحديد مواصفات الدائرة، ثم كتابة التعابير المنطقية، فتبسيط تلك التعابير إما باستخدام نظريات الجبر البولياني أو باستخدام مخططات كارنوف، أخيراً بناء الدائرة المنطقية التي تم تصميمها، إما باستخدام البوابات الأساسية OR و AND و NOT، أو باستخدام نوع واحد من البوابات NOR أو NAND.

إن تصميم الدوائر باستخدام البوابات وفي حالة عدم وجود عناصر التخزين، فإن هذه الدوائر التي نحصل عليها تصنف بالدائرة المنطقية التوافقية Combinational Logic Circuit حيث يعتمد مستوى الخرج صفر 0 أو واحد 1 في أي لحظة زمنية على مستوى المداخل للدائرة. سنقوم بعرض لبعض هذه الدوائر التي تقوم بأداء وظائف مفيدة، والتي يتوفر أغلبها بصورة جاهزة في شكل دوائر متكاملة Integrated Circuits، بحيث يمكن شراؤها واستخدامها مباشرة في بناء الانظمة الرقمية.

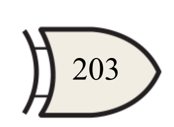
2- الدوائر المنطقية التوافقية Combinational Logic Circuits

جميع الدوائر المنطقية التي تعاملنا معها حتى الآن هي دوائر منطقية توافقية (Combinational Logic Circuit)، أو ترابطية، وسميت بالتوافقية لأن وظيفة الدائرة تقتصر على ربط متغيرات الدخل بعمليات منطقية لتوليد متغيرات الخرج، ومن الواضح أن الخرج في الدوائر التوافقية يعتمد فقط على القيم الحالية للدخل، فمتى ما تغيرت قيم الدخل تغيرت معها قيم الخرج.

- تتكون الدائرة التوافقية، من مجموعة من متحولات الدخل، ومن مجموعة من البوابات المنطقية، ومن مجموعة من متحولات الخرج.
- تستقبل الدائرة إشارات الدخل واحدات 1 وأصفار 0 تعالجها وتولد إشارات الخرج أيضاً واحدات 1 وأصفار 0.
- يمكن تمثيل دائرة المنطق التوافقية بصندوق له مجموعة من المداخل ومجموعة من المخارج التي يمكن أن تكون مداخلاً تغذي مجموعة أخرى من الدوائر، الشكل (6-1) يظهر ذلك.



الشكل (6-1) يمكن تمثيل دائرة المنطق التوافقية بصندوق له مجموعة من المداخل ومجموعة من المخارج



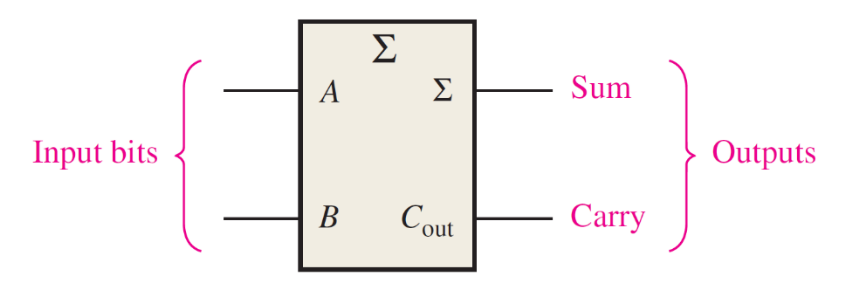
في هذا الفصل سنقوم بدراسة بعض الدوائر التوافقية الشائعة الاستخدام في الأنظمة الرقمية نظراً لقيامها بأداء وظائف مفيدة يتكرر ظهورها في تلك الأنظمة، ومن هذه الدوائر دوائر الجمع.

2–1 دوائر الجمع Adders

الجوامع هي دوائر مهمة في الحواسيب والأنظمة الرقمية الأخرى التي تعالج البيانات الرقمية، وعملية الجمع من العمليات الرئيسة فيها، وفهم عملية الجمع يعتبر مهم أثناء دراسة الأنظمة الرقمية.

2–1–1 الجامع النصفي The Half-Adder

الجامع النصفي The Half-Adder (HA) هو أبسط أنواع الجوامع، و هو عبارة عن دائرة منطقية تقوم بجمع خانتين ثنائيتين إلى بعضهما البعض وإيجاد حاصل الجمع (Sum) والحمل أو الفيض (Carry) كما هو موضح بالمخطط المنطقي في الشكل (6–2).



الشكل (6–2) المخطط الصندوقي للجامع النصفي The Half-Adder (HA)

بالعودة إلى قواعد الجمع التي درسناها سابقاً يمكن مراجعتها بالجدول (6–1)، حيث المدخلات هي A,B والخرج يمثل حاصل الجمع Sum(S) والباقي المرحل أو الحمل Carry(C)

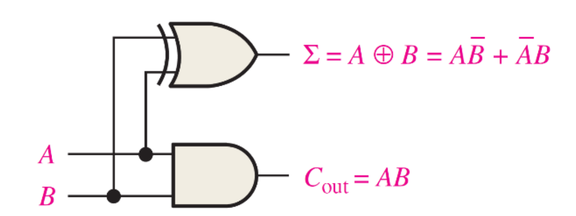
المدخلات		الخرج	
A	B	حاصل الجمع Sum(S)	الحمل Carry(C)
0	0	0	0
0	0	1	0
0	1	1	0
0	1	1	1

الجدول (6–1) قواعد الجمع من أجل جمع خانتين ثنائيتين

نلاحظ أن الجامع النصفي هو دائرة تقبل رقمين ثنائيين على مداخلها وتنتج رقمين ثنائيين على مخارجها كل منهما بخانة واحدة، خانة الجمع، وخانة الحمل، ومن الجدول (6-1) نلاحظ أن التعابير المنطقية للخرج يمكن أن تستنتج كتوابع للدخل، حيث الخرج الحمل يكون واحد 1 فقط عندما يكون كل من المدخلين A,B واحد 1، لذلك يمكن أن يعبر عنه ببوابة آند AND، الخرج الجمع يكون واحد 1 عندما يكون المدخلين A,B غير متساويين، لذلك يمكن أن نعبر عنه ببوابة أور المقصورة XOR. والدائرة المنطقية المعبرة عن الجامع النصفي تكون في الشكل (6-3) التي توضح كيفية توصيل الدخلين A,B والحصول على الخرجين C,S واللذان يتبعان جدول الحقيقة السابق، سنرمز لحاصل الجمع بـ ∑.

$$\mathbf{C_{out} = AB}$$

$$\sum = \mathbf{A \oplus B}$$

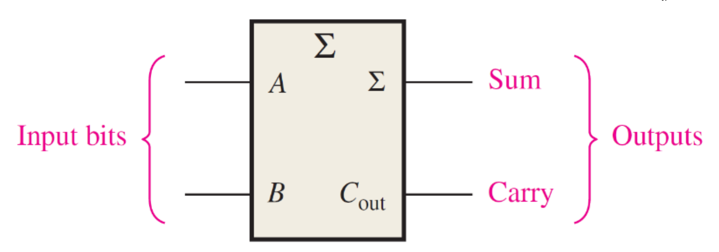


الشكل (6-3) دائرة الجمع النصفي Half-adder logic diagram

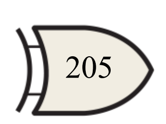
2-1-2 الجامع الكامل The Full-Adder

عند جمع الأعداد الثنائية وجدنا أنه عند جمع خانتين (2 بت) غالباً ما يتبقى مقدار يسمى الباقي أو الحمل (Carry) الذي يجب أن يرحل ليجمع مع الخانة التالية، وعلى هذا فإن الجمع يكون لثلاثة أرقام أو خانات (Bits) وليس رقمين فقط، وبالتالي فإن الجامع النصفي لن يستطيع العمل في هذه الحالة، ونكون في حاجة إلى دائرة جديدة تستطيع جمع ثلاثة أرقام في نفس الوقت، وهذه الدائرة تسمى بدائرة الجامع الكامل Full-Adder (FA)، ويرمز للجامع الكامل بـ FA.

دائرة لجامع الكامل هي دائرة توافقية تستطيع جمع ثلاثة أرقام (Bits)، في نفس الوقت، تتكون من ثلاثة مدخلات وخرجين، اثنان من المدخلات هما A,B يمثلان الرقمين المراد جمعها والدخل الثالث الحمل السابق هو C_{in} (Input carry)، يمثل الرقم الباقي أو المرحل من جمع الرقمين السابقين، والخرجان هما حاصل الجمع (Sum) والحمل الناتج C_{OUT} (Output carry) كما هو موضح بالمخطط المنطقي في الشكل (6-3).



الشكل (6-3) المخطط الصندوقي لدائرة الجامع الكامل Full-Adder (FA)



والجدول (6-2) يعرض قواعد الجمع في حالة الجامع الكامل FA، وهي قواعد الجمع من أجل جمع ثلاث خانات ثنائية.

المدخلات،			الخرج	
A	**B**	**C_{in}**	**حاصل الجمع Sum(S)**	**الحمل الناتج Carry(COUT)**
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

الجدول (6-2) قواعد الجمع في حالة الجامع الكامل Full Adder (FA)

دائرة الجامع الكامل FA هو دائرة تقبل ثلاث أرقام ثنائية على مداخلها وتنتج رقمين ثنائيين على مخارجها، خانة الجمع، وخانة الحمل، من الجدول (6-2) نلاحظ أن التعابير المنطقية للخرج يمكن أن تستنتج كتوابع للدخل على الشكل التالي حيث سنرمز لحاصل الجمع بـ $\sum$، وللحمل بـ C_{out}:

$$\sum = \bar{A}\bar{B}C_{in} + \bar{A}B\overline{C_{in}} + ABC_{in} + A\bar{B}\overline{C_{in}}$$

$$\sum = (\bar{A}\bar{B}+AB)\,C_{in} + (\bar{A}B+A\bar{B})\,\overline{C_{in}}$$

$$\sum = (\overline{A \oplus B})\,C_{in} + (A\oplus B)\,\overline{C_{in}} =$$

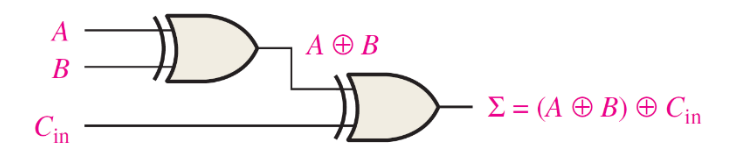
$$\boldsymbol{\sum = (A\oplus B)\oplus C_{in}}$$

$$C_{out} = \bar{A}BC_{in} + A\bar{B}C_{in} + ABC_{in} + AB\overline{C_{in}}$$

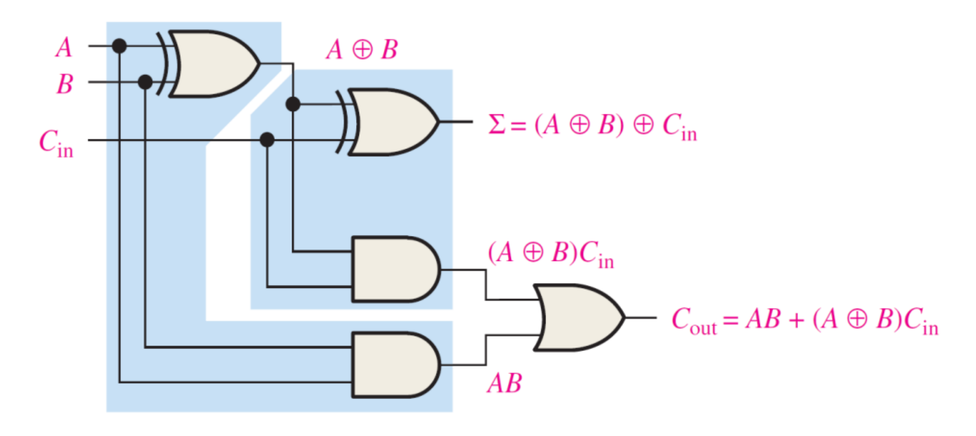
$$C_{out} = (\bar{A}B + A\bar{B})C_{in} + AB(C_{in} + \overline{C_{in}})$$

$$\boldsymbol{C_{out} == (A\oplus B)C_{in} + AB}$$

لاحظ أن الخرج الذي يمثل الجمع يمكن أن نعبر عنه ببوابتي أور المقصورة XOR ، الأولى دخلها A, B، والثانية دخلها C_{in}) كما في الشكل (6-4)، والدائرة المنطقية الكاملة المعبرة عن الجامع الكامل تكون في الشكل (6-5)، التي توضح كيفية توصيل المداخل A,B,C_{in} والحصول على الخرجين الجمع S والحمل C_{out} واللذان يتبعان جدول الحقيقة السابق.

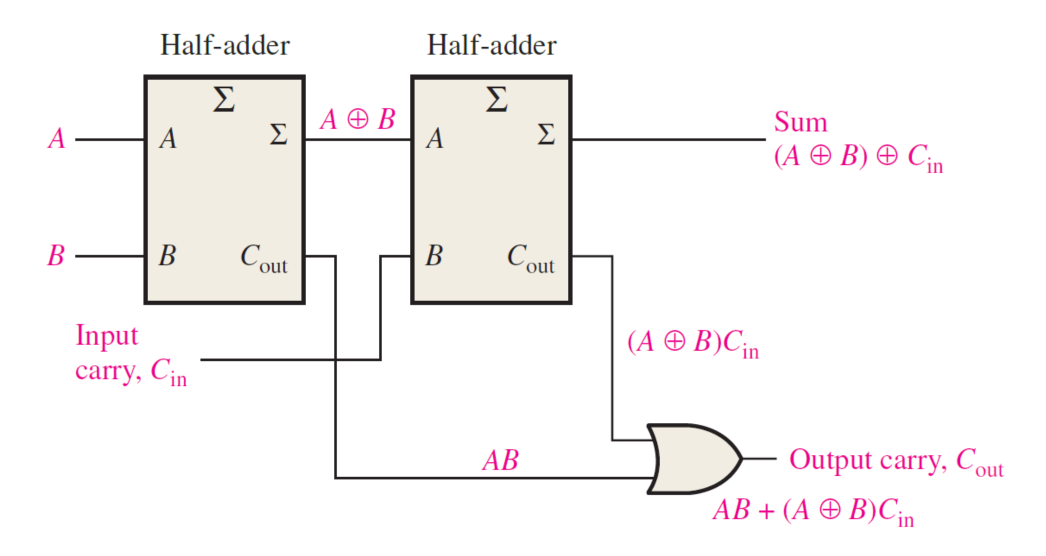


الشكل (6-4) دائرة الخرج الذي يمثل الجمع في دائرة الجامع الكامل FA



الشكل (6-5) المخطط الصندوقي للجامع الكامل FA

من الشكل (6-5) نلاحظ أنه الجامع الكامل يتكون من دائرتين للجامع النصفي مع بوابة أور OR، والمخطط الصندوقي لدائرة الجامع الكامل باستخدام دائرة جامع نصفي عدد 2، وبوابة أور OR موضح في الشكل (6-6).

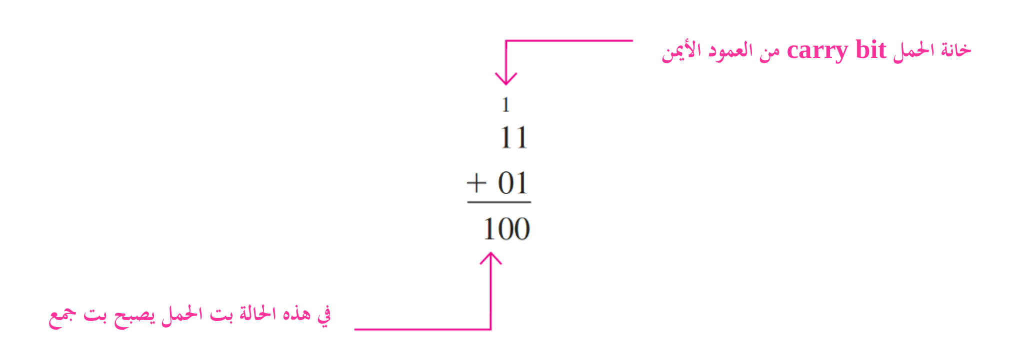


الشكل (6-6) دائرة الجامع الكامل FA باستخدام دائرتي جامع نصفي وبوابة أور OR



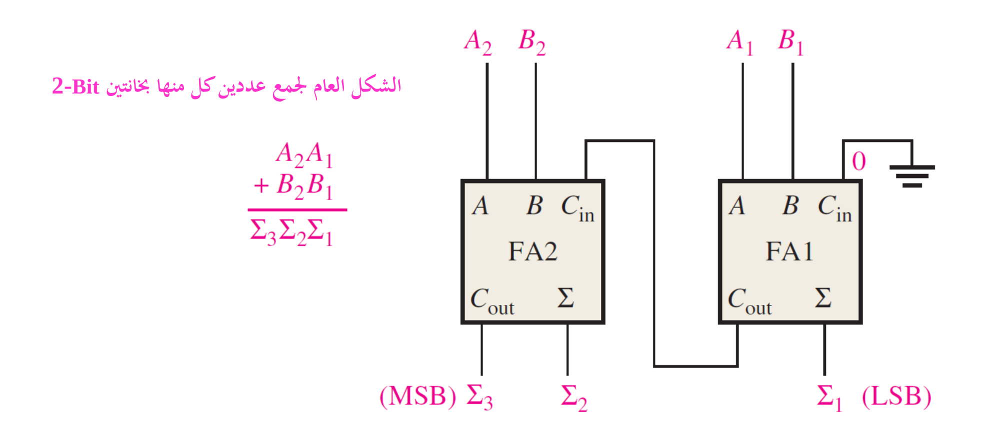
3-1-2 الجامع الثنائي التفرعي Parallel Binary Adders

كما وجدنا أن الجامع الكامل FA يستخدم من أجل عددين ثنائيين بخانة واحدة، مع خانة الحمل السابق للدخل input carry، لجمع عددين ثنائيين بأكثر من خانة واحدة يجب اضافة عدد من دوائر الجامع الكامل، عند جمع رقم ثنائي بخانة واحدة مع عدد آخر، كل عمود يولد خانة جمع، وخانة حمل يمكن أن يكون 0 أو 1، للعمود التالي على اليسار، كما هو موضح هنا حيث نجمع عددين بخانتين.

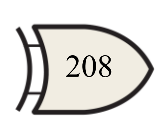


بعد أن صممنا دائرة الجامع الكامل أصبح بإمكاننا تصميم **دائرة الجامع الثنائي** لجمع عددين ثنائيين على التوازي، مؤلف كل منهما من عدد من الخانات n (n bit) وذلك بوصل n جامع كامل على التفرع، حيث يستخدم جامع كامل لجمع كل خانة في العدد. كمثال جمع عددين ثنائيين بخانتين 2-bit numbers يتطلب اثنين جامع كامل، كل منهما لجمع خانة، والشكل (6-7) يوضح عملية جمع العدد A_1A_2 مع العدد B_1B_2، حيث تم يعتبر حمل الدخل C_{in} يساوي الصفر 0.

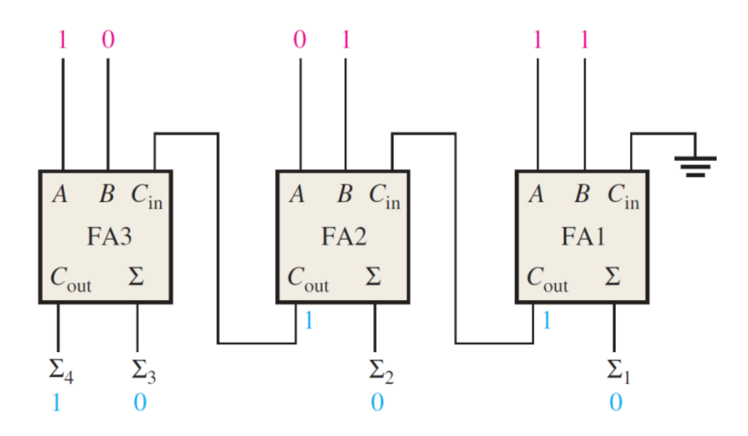
الناتج مؤلف من 3 خانات وهو $\sum_3\sum_2\sum_1$، نلاحظ حمل الخرج النهائي C_{out} أصبح الخانة الأكثر أهمية MSB من ناتج الجمع.



الشكل (6-7) دائرة الجامع الثنائي لعدد جمع عددين ثنائيين بخانتين 2-bit numbers



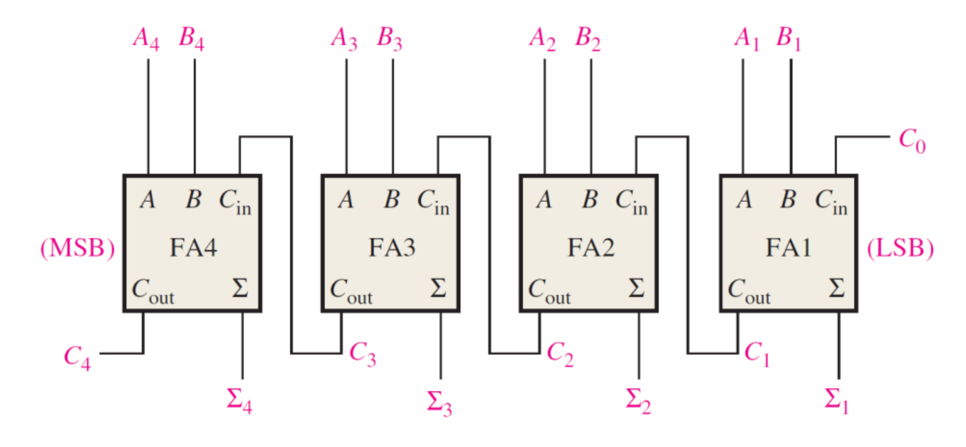
لاحظ أيضاً أنه يمكن بسهولة زيادة عدد خانات الجامع متعدد الخانات بزيادة عدد الجوامع الكاملة، بحيث نستطيع تصميم جامع بأي عدد من الخانات. على سبيل المثال الشكل (6-8) يظهر عملية جمع العدد 101 مع العدد 011، حيث نلاحظ أنه تم استخدام ثلاث دوائر جامع كامل.



الشكل (6-8) الجامع الثنائي لعدد 101 مع العدد 011،

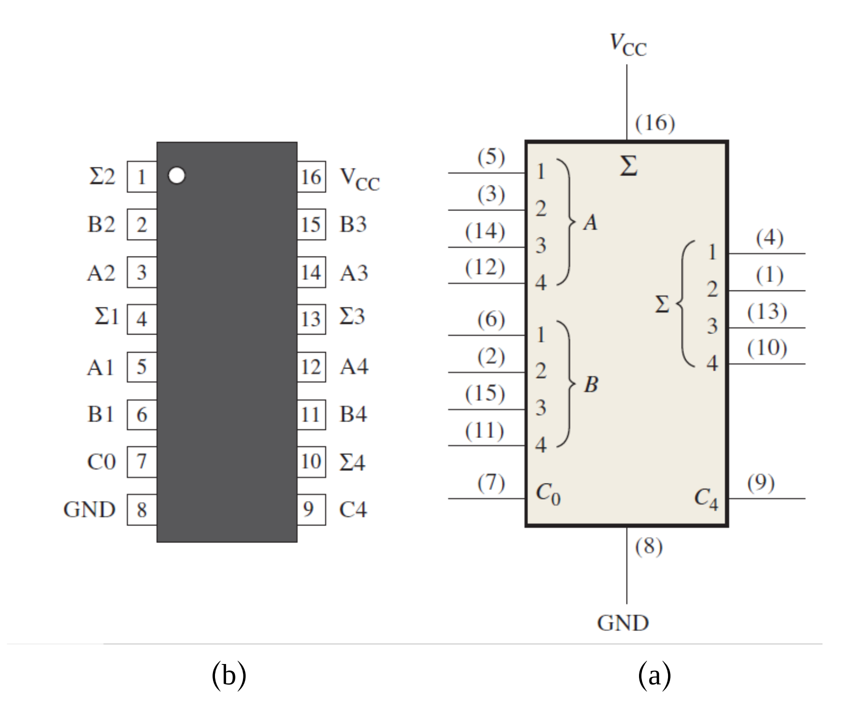
2-1-4-1 الجامع الثنائي التفرعي بأربع خانات Four-Bit Parallel Adders

يمكن جمع مجموعة مؤلفة من أربع خانات (نبل **nibble**) مع بعضها في دائرة واحدة، حيث توجد دائرة الجامع الثنائي التفرعي بأربع خانات 4- Bit Binary Adder على شكل دائرة متكاملة واحدة IC Parallel Adder تحمل الرقم 74HC283، وتحتوي كل دائرة متكاملة على أربعة جوامع كاملة، حيث توصل الخانات الأقل أهمية LSB من كل عدد في أقصى يمين الجوامع، والخانات الأكثر أهمية MSB توصل إلى أقصى اليسار في الجوامع، خانة حمل الخرج C_{out} لكل جامع توصل لحمل الدخل C_{in} للجامع التالي، كما في الشكل (6-9) الذي يظهر المخطط المنطقي لهذه الدائرة، والشكل (6-10) يظهر الرمز المنطقي، مع مخطط توزع الأرجل (البنات).



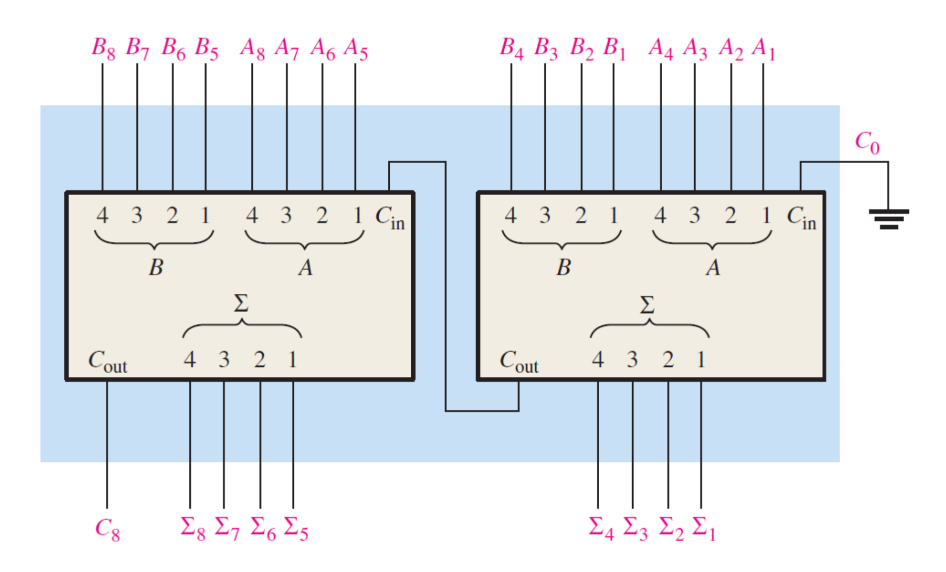
الشكل (6-9) المخطط المنطقي Block diagram لدائرة الجامع الثنائي التفرعي بأربع خانات 4- Bit Binary Adder



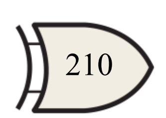


الشكل (6–10) حيث (a) الرمز المنطقي Logic symbol، مع مخطط توزع الأرجل (البنات) Pin diagram في (b) لدائرة الجامع الثنائي التفرعي بأربع خانات 4- Bit Binary Adder، التي تحمل الرقم 74HC283

يمكن ربطات وحدات جامع صغيرة لبناء جامع أكبر مثلاً إذا قمنا بربط وحدتي جامع ذو أربعة خانات نحصل على جامع ذو ثمانية خانات (بايت)، كما هو موضح في الشكل (6–11)، أي أننا يجب أن نقوم بترحيل الحمل الخارج (Carry out) من الوحدة الأولى و إدخاله كحمل داخل (Carry in) إلى الوحدة الثانية.



الشكل (6–11) ربط جامعين بأربع خانات4- Bit Binary Adder لتوسيع عدد خانات الجمع للعديين المجموعين



مثال

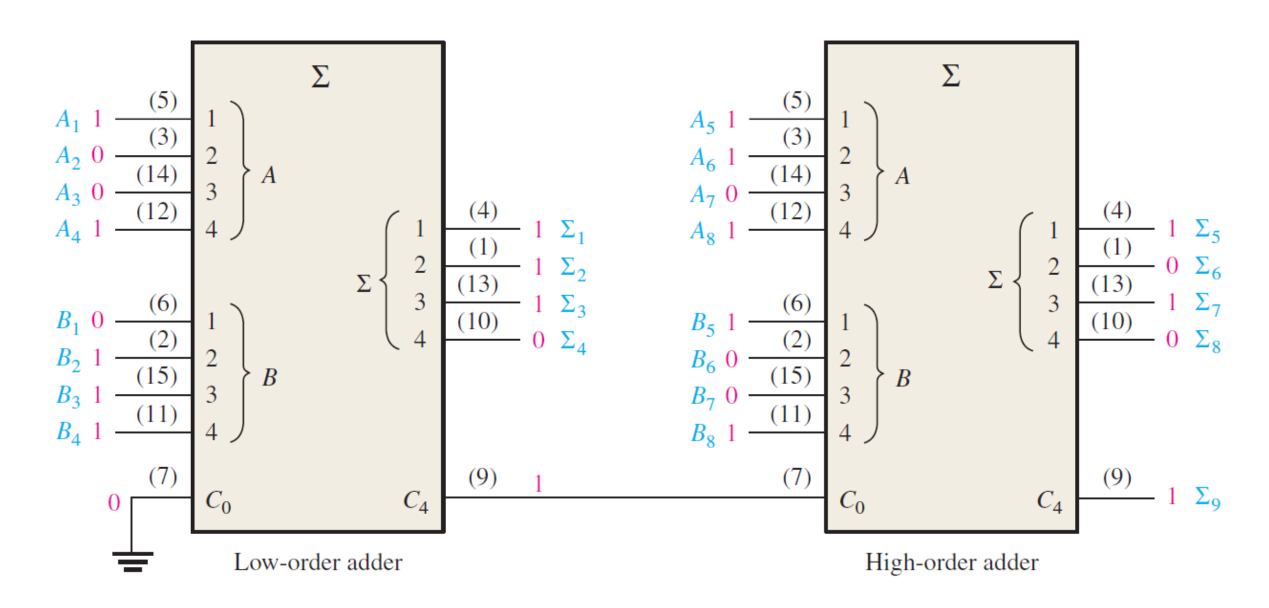
اظهر كيف يمكن ربط جامعين بأربع خانات 4- Bit Binary Adder لجمع العددين التاليين، حيث كل منهما بـ 8 خانات، لبناء جامع تفرعي بثمان خانات 8-bit parallel adder:

$$B_8B_7B_6B_5B_4B_3B_2B_1 = 10011110 \quad \text{مع} \quad A_8A_7A_6A_5A_4A_3A_2A_1 = 10111001$$

يتم الربط كما هو موضح بالشكل (12-6) حيث نستخدم اثنان من دائرة الجامع الثنائي بأربع خانات 74HC283، وتكون عملية الوصل بينهما عن طريق حمل الخرج البن التاسع carry output (pin 9) للجامع ذو الترتيب الأقل، مع حمل الدخل البن السابع carry input (pin 7) للجامع ذو الترتيب الأعلى، والبن السابع للجامع ذو الترتيب الأقل مع الأرضي حيث لا يوجد حمل دخل.

المجموع لعددين ثنائيين بثمان خانات يكون

$$\Sigma_9\Sigma_8\Sigma_7\Sigma_6\Sigma_5\Sigma_4\Sigma_3\Sigma_2\Sigma_1 = 101010111$$



الشكل (12-6) جمع عددين ثنائيين بثمان خانات باستخدام دوائر جوامع بأربع خانات

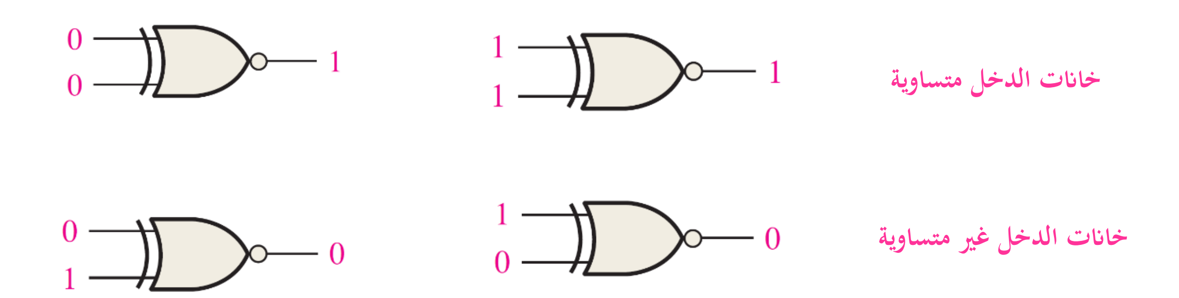
ملاحظة

تستخدم معظم الحواسيب عملية الجمع مع المتمم لإجراء عملية الطرح، أي تتم بتحويل عملية الطرح إلى الجمع مع سالب العدد المطروح.



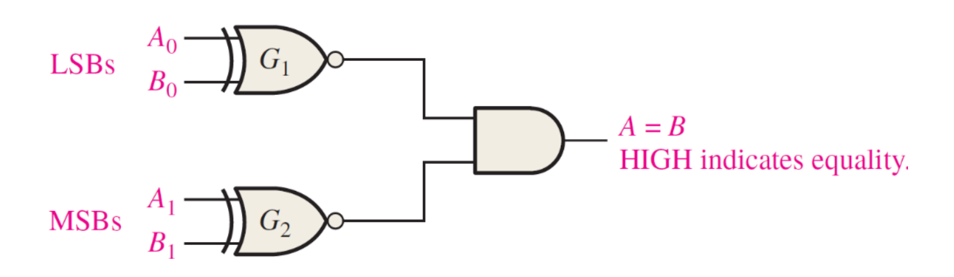
2–2 المقارنات Comparators

العمل الرئيس لدوائر المقارنات Comparators هو مقارنة مقدار كميتين ثنائيتين لتحديد العلاقة بين هاتين الكميتين، وبالتالي تحدد دائرة المقارن إذاكان هناك عددان متساويان أم لا، ويمكن تحديد هذا التساوي باستخدام البوابة اكس نور XNOR، حيث يعطي خرجها واحد 1 إذاكان الدخلين لها متساويين، وصفر 0 في حال كان الدخلين مختلفين، الشكل (6–13) يوضح استخدام بوابة اكس نور XNOR كمقارن بمدخلين لمقارنة خانتين.

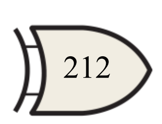


الشكل (6–13) البوابة اكس نور XNOR كمقارن بسيط

لمقارنة عددين ثنائيين A, B يحتوي كل منهما على خانتين، بالاضافة إلى البوابة اكس نور XNOR التي نحتاج منها اثنان لمقارنة كل خانة من العددين، نحتاج إلى ربط خرج بوابتي اكس نور XNOR إلى مداخل بوابة آند AND التي تعطي واحد 1 = HIGH في حال كان العددين متساويان أي A=B، أي خرج كل من بوابة البوابة اكس نور XNOR هو واحد، حيث الخانات الأقل أهمية LSB من العددين تقارن على البوابة G1، والخانات الأكثر أهمية تقارن على البوابة G2، الشكل (6–14) يوضح ذلك.



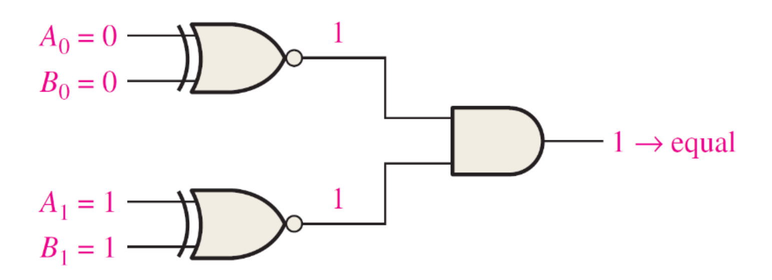
الشكل (6–14) دائرة مقارنة عددين كل منهما بخانتين وتعطي واحد 1 = HIGH في حال التساوي



مثال

صمم مقارن لمقارنة العددان الثنائيان، العدد 10 مع العدد 10

الدائرة باستخدام بوابتي اكس نور XNOR تكون في الشكل (6-15) وهي تعطي واحد 1 على خرجها للدلالة على أن العددين متساويان



الشكل (6-15) دائرة مقارنة العدد 10 مع العدد 10 وتعطي واحد 1 للدلالة على تساوي العددين

يمكن استخدام المفهوم السابق في تصميم دائرة مقارن، دخلها عبارة عن خانتين ثنائيتن نرمز لهما بالرمز A,B ولها ثلاثة مخارج، حيث كل خرج يعطي حالة الدخل فيما إذا كانا متساويان، أو A أكبر من B، أو A أصغر من B، الشكل (6-16) يظهر المخطط المنطقي والدائرة بعد استنتاج مخارجها من جدول الحقيقة كما في الجدول (6-3):

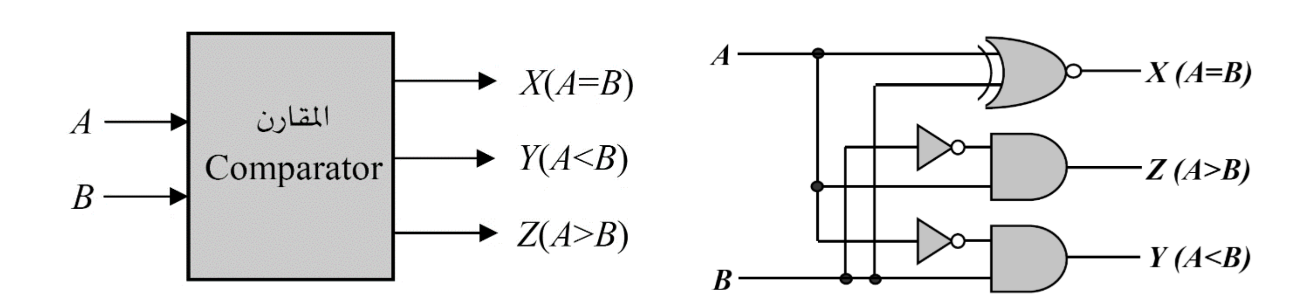
جدول الحقيقة لدائرة المقارن يكون كما يلي:

الدخل Input		**الخرج Output**		
A	**B**	**X A=B**	**Y B>A**	**Z B<A**
0	**0**	**1**	**0**	**0**
0	**0**	**0**	**1**	**0**
0	**1**	**0**	**0**	**1**
0	**1**	**1**	**0**	**0**

الجدول (6-3) جدول الحقيقة لدائرة المقارن بخانتين

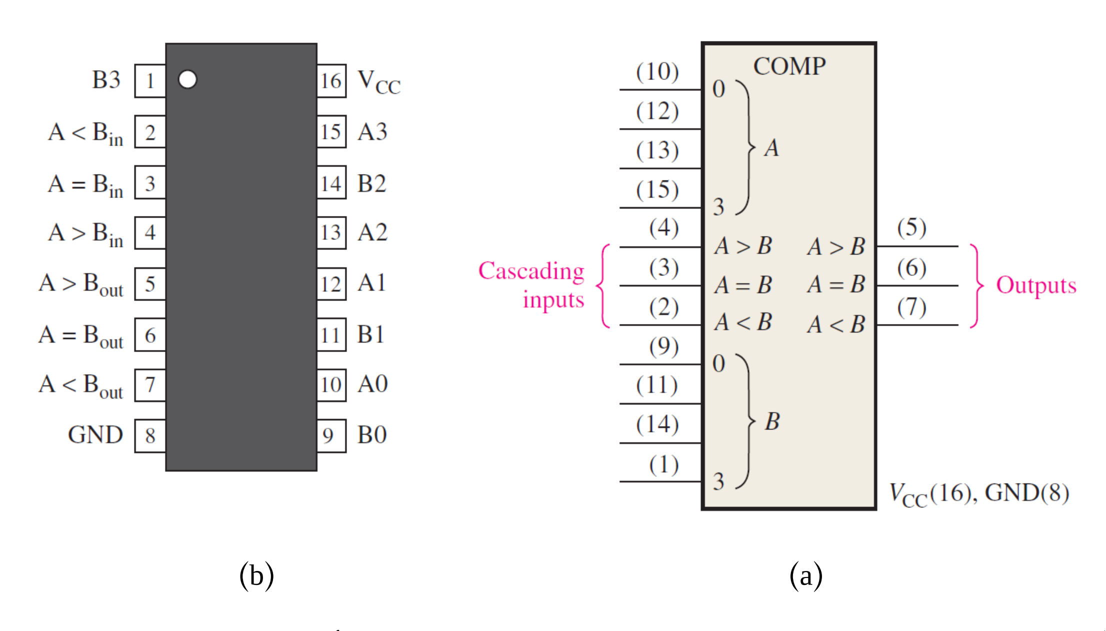
من جدول الحقيقة نستطيع الحصول على معادلة كل خرج كما يلي

$$X = \overline{A}\,\overline{B} + AB \Rightarrow (A = B)$$
$$Y = \overline{A}\,B \Rightarrow (A < B)$$
$$Z = A\,\overline{B} \Rightarrow (A > B)$$



الشكل (6-16) المخطط المنطقي والصندوقي لدائرة للمقارن Compotator

الدائرة المتكاملة للمقارن تحمل الرقم 74HC85، تكون دائرة مقارنة بأربع خانات 4-bit magnitude comparator، حيث تملك ثمانية مداخل، أربعة مداخل للعدد الأول A، والأربعة الأخرى للعدد الثاني B، ولها ثلاثة مخارج، حيث كل خرج يعطي حالة الدخل فيما إذا كانا متساويان، أو A أكبر من B، أو A أصغر من B، الشكل (6-17) يظهر الرمز المنطقي، مع مخطط توزع الأرجل (البنات).



الشكل (6-17) حيث (a) يمثل الرمز المنطقي Logic symbol، مع مخطط توزع الأرجل (البنات) Pin diagram في (b) للدائرة المتكاملة للمقارن بأربع خانات 4-bit magnitude comparator، التي تحمل الرقم 74HC85

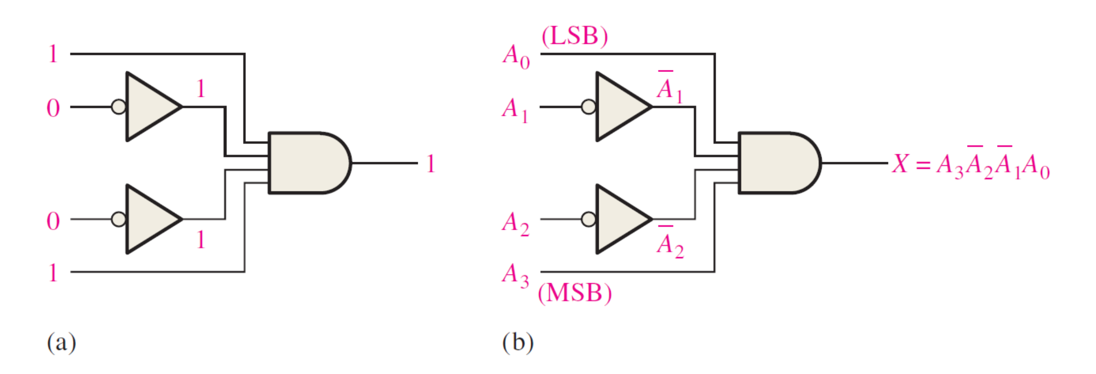
2-3 محللات الشفرة Decoders

محلل الشفرة Decoder عبارة عن دائرة منطقية لها عدد من أطراف الدخل Inputs Lines، يساوي n ولها عدة أطراف خرج Output Lines يساوي 2^n، واحد فقط من هذه المخارج يكون نشطاً Active، أما بقية أطراف الخرج تكون غير نشطة، طرف الخرج النشط تظهر فيه القيمة المنطقية واحد 1، أما بقية أطراف الخرج غير النشطة فتظهر في كل منها القيمة المنطقية صفر 0، يتم اختيار طرف الخرج النشط بواسطة أطراف الدخل للدائرة والتي تسمى أطراف العنوان Address Lines فلكل طرف من أطراف الخرج عنوان Address فريد يميزه، وهذا العنوان عبارة عن شفرة ثنائية Binary Code عندما توضع على أطراف العنوان ينشط طرف الخرج المقابل لذلك العنوان.

الغرض الأساسي من محلل الشفرة هو كشف وجود تركيبة محددة من الخانات الثنائية (Bits) على مداخله، ويُظهر في الخرج ما يبين على هذا الدخل.

2-3-1 محلل الشفرة البسيط The Basic Binary Decoder

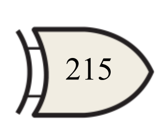
يمكن أن تستخدم بوابة آند AND كمحلل شفرة مبسط، فمثلاً افترض أنك تريد تحديد متى تظهر الحالة الثنائية 1001 على مداخل دائرة رقمية، ولدينا بوابة آند تنتج واحد 1 في حالة كل المداخل بحالة واحد 1، هذا يعني أن نعكس المداخل في الوسط باستخدام بوابة النفي كما هو موضح بالشكل (6-18).



الشكل (6-18) منطق تحليل الشفرة الثنائية 1001 باستخدام بوابة آند AND

نلاحظ من الشكل (a) أن المعادلة المنطقية لمحلل الشفرة في الشكل (a) يمكن كتابتها بتحويل الحالات إلى مداخل A0,A1,A2,A3، ونحصل على المعادلة في الشكل (b).

لتصميم دائرة محلل الشفرة طرفين إلى أربعة أطراف 2-line-to-4-line decoder، أي له مدخلين بالتالي عدد مخارجه هو أربعة، نحتاج أربعة بوابة آند AND، الشكل (6-19) يظهر المخطط المنطقي والدائرة بعد استنتاج مخارجها من جدول الحقيقة (6-4):



عدد المخارج $2^n = 4$ عدد المداخل $n = 2$

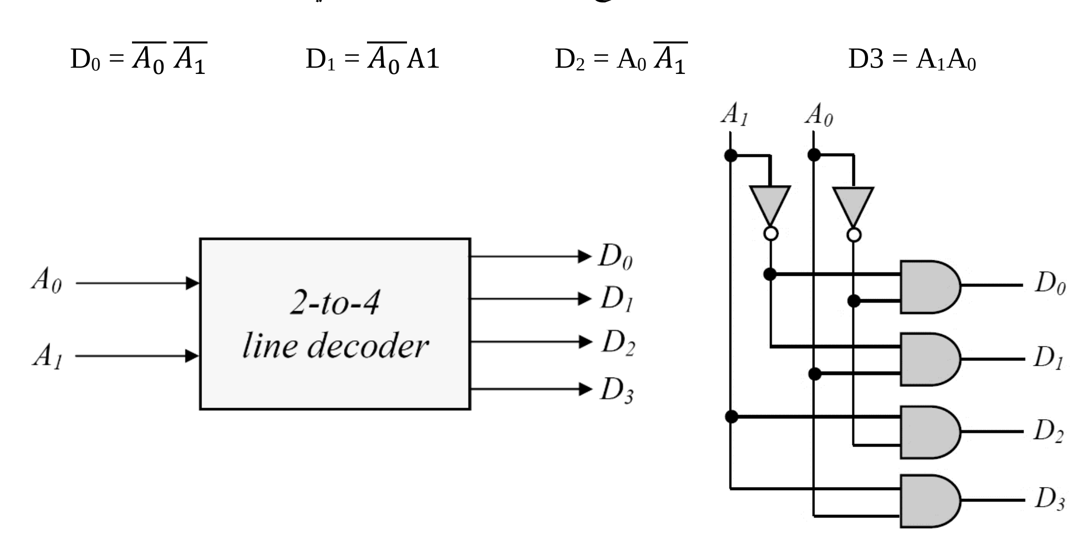
أحد المخارج يكون فعال في حالة واحد 1 فقط.

الدخل Input		الخرج Output			
A_0	A_1	D_0	D_1	D_2	D_3
0	0	1	0	0	0
0	1	0	1	0	0
1	0	0	0	1	0
1	1	0	0	0	1

الجدول (6-4) جدول الحقيقة لمحلل الشفرة طرفين إلى أربعة أطراف 2-line-to-4-line decoder

من جدول الحقيقة يمكننا كتابة التعابير المنطقية لخرج كل بوابة آند AND كما يلي:

$D_0 = \overline{A_0}\,\overline{A_1}$ $D_1 = \overline{A_0}\,A1$ $D_2 = A_0\,\overline{A_1}$ $D3 = A_1A_0$



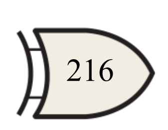
الشكل (6-19) المخطط المنطقي والصندوقي لدائرة لمحلل الشفرة طرفين إلى أربعة أطراف 2-line-to-4-line decoder

2-3-2 محلل الشفرة بأربع خانات The 4-Bit Decoder

من أجل محلل شفرة بأربع خانات 4-Bit Decoder، يكون الخرج بست عشرة 16 طرف خرج ونحتاج ست عشرة بوابة آند AND، لذلك هذا النوع من الشائع تسميته محلل شفرة أربع أطراف إلى ست عشرة خط 4-line-to-16-line decoder، أو محلل شفرة واحد من ست عشر 1-of-16 decoder، لأنه من أجل أي شفرة معطاة على الدخل يكون أحد المخارج الست عشرة فعال.

إذا أردنا ان نستخدم الخرج الفعال عند الصفر 0 أو LOW، يمكننا أن نستخدم البوابة ناند NAND بدلاً من البوابة آند AND. في هذه الحالة يكون أحد أطراف الخرج بحالة صفر 0، وباقي أطراف الخرج بحالة واحد 1، ويتم وضع دائرة أو شريط صغير علوي (بار) على الطرف الفعال عند الصفر 0 أو LOW.

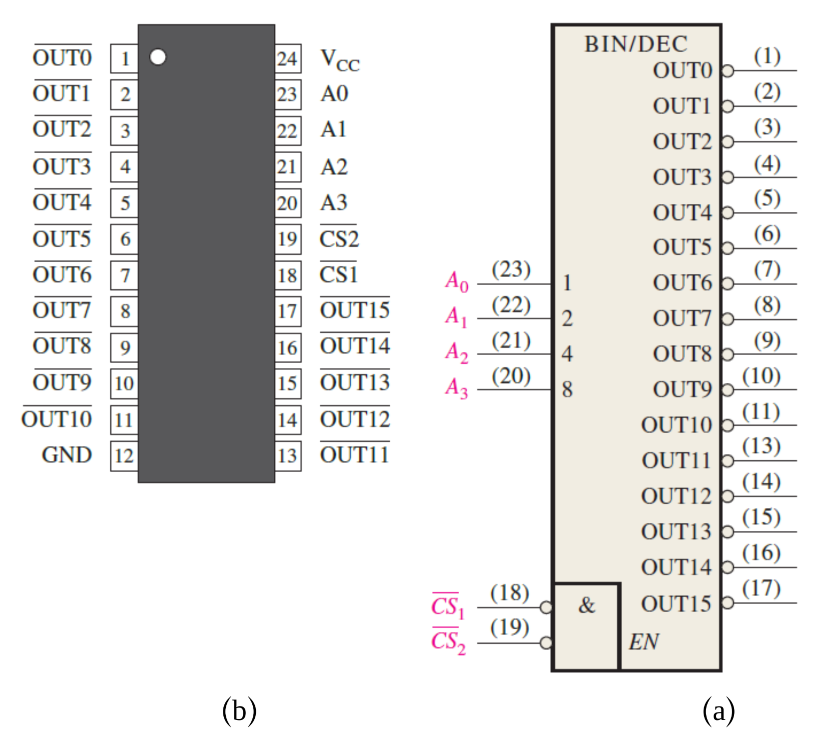
عدد المخارج $2^n = 16$ عدد المداخل 2^4



الجدول (6-5) يعرض جدول الحقيقة وتوابع فك التشفير Decoding Function من أجل محلل الشفرة واحد من ست عشر 1-of-16 decoder والذي يكون فيه الخرج فعال عند الصفر 0.

Decimal Digit	Binary Inputs A_3	A_2	A_1	A_0	Decoding Function	Outputs 0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0	0	0	0	0	$\overline{A}_3\overline{A}_2\overline{A}_1\overline{A}_0$	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
1	0	0	0	1	$\overline{A}_3\overline{A}_2\overline{A}_1A_0$	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1
2	0	0	1	0	$\overline{A}_3\overline{A}_2A_1\overline{A}_0$	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1
3	0	0	1	1	$\overline{A}_3\overline{A}_2A_1A_0$	1	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1
4	0	1	0	0	$\overline{A}_3A_2\overline{A}_1\overline{A}_0$	1	1	1	1	0	1	1	1	1	1	1	1	1	1	1	1
5	0	1	0	1	$\overline{A}_3A_2\overline{A}_1A_0$	1	1	1	1	1	0	1	1	1	1	1	1	1	1	1	1
6	0	1	1	0	$\overline{A}_3A_2A_1\overline{A}_0$	1	1	1	1	1	1	0	1	1	1	1	1	1	1	1	1
7	0	1	1	1	$\overline{A}_3A_2A_1A_0$	1	1	1	1	1	1	1	0	1	1	1	1	1	1	1	1
8	1	0	0	0	$A_3\overline{A}_2\overline{A}_1\overline{A}_0$	1	1	1	1	1	1	1	1	0	1	1	1	1	1	1	1
9	1	0	0	1	$A_3\overline{A}_2\overline{A}_1A_0$	1	1	1	1	1	1	1	1	1	0	1	1	1	1	1	1
10	1	0	1	0	$A_3\overline{A}_2A_1\overline{A}_0$	1	1	1	1	1	1	1	1	1	1	0	1	1	1	1	1
11	1	0	1	1	$A_3\overline{A}_2A_1A_0$	1	1	1	1	1	1	1	1	1	1	1	0	1	1	1	1
12	1	1	0	0	$A_3A_2\overline{A}_1\overline{A}_0$	1	1	1	1	1	1	1	1	1	1	1	1	0	1	1	1
13	1	1	0	1	$A_3A_2\overline{A}_1A_0$	1	1	1	1	1	1	1	1	1	1	1	1	1	0	1	1
14	1	1	1	0	$A_3A_2A_1\overline{A}_0$	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	1
15	1	1	1	1	$A_3A_2A_1A_0$	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0

الجدول (6-5) جدول الحقيقة لمحلل شفرة بأربع خانات من أجل محلل الشفرة واحد من ست عشر 1-of-16 decoder



الشكل (6-20) حيث الرمز المنطقي Logic symbol في (a) ، مع مخطط توزع الأرجل (البنات) Pin diagram في (b) للدائرة المتكاملة لمحلل الشفرة واحد من ست عشر 1-of-16 decoder ثنائي إلى عشري BIN/DEC ذات الرقم 74HC154

الدائرة المتكاملة لمحلل الشفرة تحمل الرقم 74HC154، تكون دائرة بأربع مداخل 8 ,4 ,2 ,1 تمثل الأوزان الثنائية لخانات الدخل ($2^3 2^2 2^1 2^0$)، وست عشرة مخرج فعالة عند الصفر 0 أو LOW احدها فعال 1-of-16 decoder حيث الاسم من ثنائي إلى عشري BIN/DEC يشير إلى أن الدخل الثنائي يجعل الخرج العشري الموافق فعال active الشكل (6–20) يظهر الرمز المنطقي، مع مخطط توزع الأرجل (البنات)، حيث تملك الدائرة مدخلي تمكين للشريحة chip select input ($\overline{CS1}$) و($\overline{CS2}$) والتي تكون فعالة عن الجهد المنخفض LOW.

2–3–3 محلل الشفرة العشرية المشفرة ثنائياً BCD إلى عشري The BCD-to-Decimal Decoder (BCD)

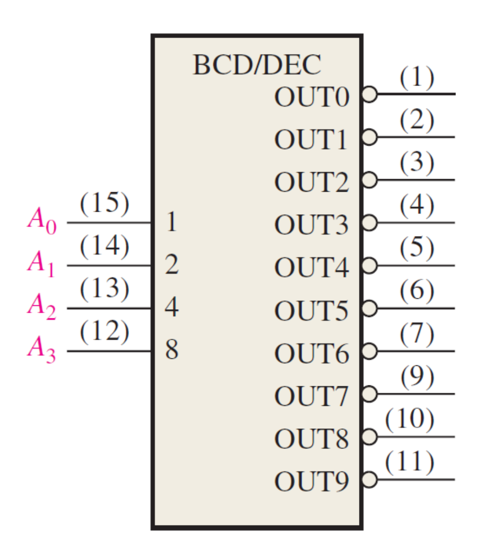
محلل الشفرة من الشفرة العشرية المشفرة ثنائياً BCD (الشفرة (8421 code)) إلى عشري BCD-to-decimal decoder، يحول كل شفرة من الشفرة العشرية المشفرة ثنائياً BCD إلى مؤشر(تفعيل) لواحد من عشر احتمالات ممكنة للرقم العشري، تسمى هذه الدائرة بمحلل الشفرة أربع أطراف إلى عشرة 4-line-to-10-line decoder أو محلل الشفرة واحد من عشرة 1-of-10 decoder.

الجدول (6–6) يظهر قائمة من عشر شفرات من الشفرة العشرية المشفرة ثنائياً BCD للأرقام العشرية من 0 حتى 9 مع توابع فك الشفير الموافقة لها.

Decimal Digit	BCD Code A_3	A_2	A_1	A_0	Decoding Function
0	0	0	0	0	$\overline{A}_3\overline{A}_2\overline{A}_1\overline{A}_0$
1	0	0	0	1	$\overline{A}_3\overline{A}_2\overline{A}_1A_0$
2	0	0	1	0	$\overline{A}_3\overline{A}_2A_1\overline{A}_0$
3	0	0	1	1	$\overline{A}_3\overline{A}_2A_1A_0$
4	0	1	0	0	$\overline{A}_3A_2\overline{A}_1\overline{A}_0$
5	0	1	0	1	$\overline{A}_3A_2\overline{A}_1A_0$
6	0	1	1	0	$\overline{A}_3A_2A_1\overline{A}_0$
7	0	1	1	1	$\overline{A}_3A_2A_1A_0$
8	1	0	0	0	$A_3\overline{A}_2\overline{A}_1\overline{A}_0$
9	1	0	0	1	$A_3\overline{A}_2\overline{A}_1A_0$

الجدول (6–6) جدول الحقيقة لمحلل الشفرة العشرية المشفرة ثنائياً BCD للأرقام العشرية من 0 حتى 9

الدائرة المتكاملة لمحلل الشفرة من الشفرة العشرية المشفرة ثنائياً BCD (الشفرة (8421)) إلى عشري BCD-to-decimal decoder تحمل الرقم 74HC42، تكون دائرة بأربع مداخل 8 ,4 ,2 ,1 تمثل الأوزان الثنائية لخانات الدخل ($2^3 2^2 2^1 2^0$)، وعشرة مخارج فعالة عند الصفر 0 أو LOW، حيث الاسم من الشفرة العشرية المشفرة ثنائياً إلى عشري BCD/DEC يشير إلى أن الدخل بالشفرة العشرية المشفرة ثنائياً BCD يجعل الخرج العشري الموافق فعال active، يظهر الشكل (6–21) الرمز المنطقي لشريحة هذه الدائرة.



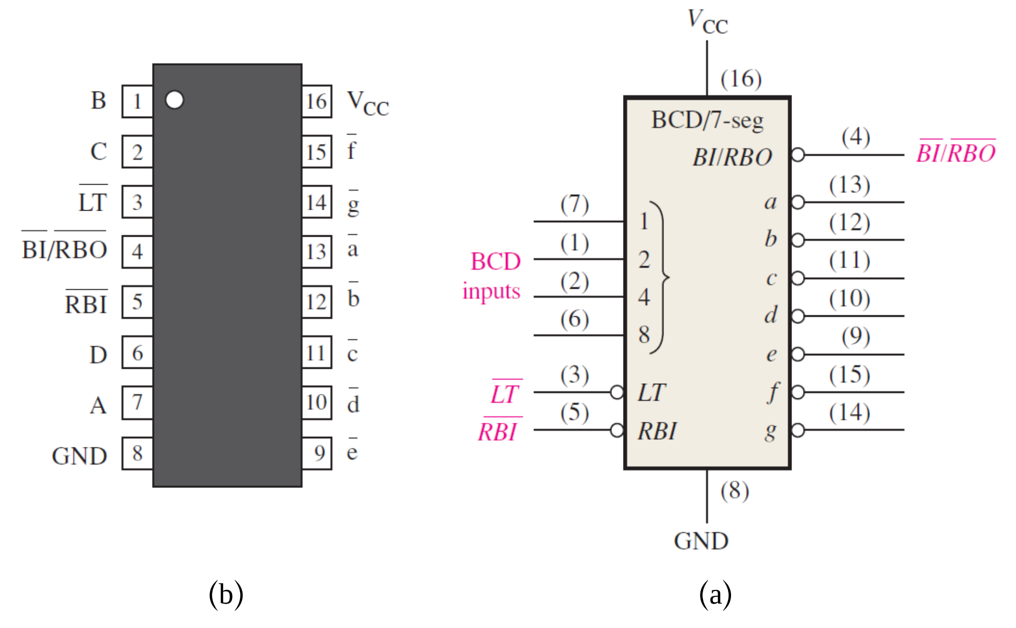
الشكل (6–21) الدائرة المتكاملة لمحلل الشفرة من الشفرة العشرية المشفرة ثنائياً BCD إلى عشري BCD-to-decimal decoder والتي تحمل الرقم 74HC42

2–3–4 محلل الشفرة العشرية المشفرة ثنائياً BCD إلى القطع السبع

The BCD-to-7-Segment Decoder

محلل الشفرة من الشفرة العشرية المشفرة ثنائياً BCD (الشفرة (8421 code)) إلى مفعل قطع الاظهار السبع BCD-to-7-segment decoder/driver، يقبل الشفرة العشرية المشفرة ثنائياً BCD على مداخله ويزود بشفرة سباعية مناسبة لقيادة وانارة أجهزة شاشة القطع السبع 7-segment display devices لانتاج قراءة للرقم العشري المقابل، وهي دائرة بأربع مداخل 1, 2, 4, 8 تمثل الأوزان الثنائية لخانات الدخل ($2^3 2^2 2^1 2^0$)، وسبعة مخارج فعالة عند الصفر 0 أو LOW، (تقابل القطع السبع من a حتى g)، حيث الاسم من شفرة بي سي دي إلى عشري BCD/7-seg يشير إلى أن الدخل بالشفرة العشرية المشفرة ثنائياً BCD يجعل الخرج يوافق أحد القطع السبع فعال active، الشكل (6–22) يظهر الرمز المنطقي، مع مخطط توزع الأرجل (البنات) لشريحة محلل الشفرة من الشفرة العشرية المشفرة ثنائياً BCD إلى مفعل القطع السبع تحمل الرقم 74HC47.

تملك الدائرة 74HC47 ثلاثة داخل تحكم والتي تكون فعالة عن الجهد المنخفض LOW، وهي المدخل Ripple Blanking Input, RBI وعندما يكون صفر 0 تعمل الشريحة في الوضع العادي، المدخل Lamp Test, LT من أجل اختبار القطع السبع أي أنها تعمل بشكل صحيح، اي اختبار اللمبات(القطع) تعمل أم لا، المدخل Blanking Input, BI/Ripple Blanking Output, RBO حينما يكون فعال أي بحالة صفر 0 فإن جميع المخارج تكون بحالة عدم العمل أي واحد 1، ولن تضيء المقاطع المناظرة لها مهما كان الدخل، والخط هنا يعمل بحالة دخل، وعندما يعمل في حالة خرج، يكون صفر 0 إذا كانت جميع مداخل الشريحة أصفار.



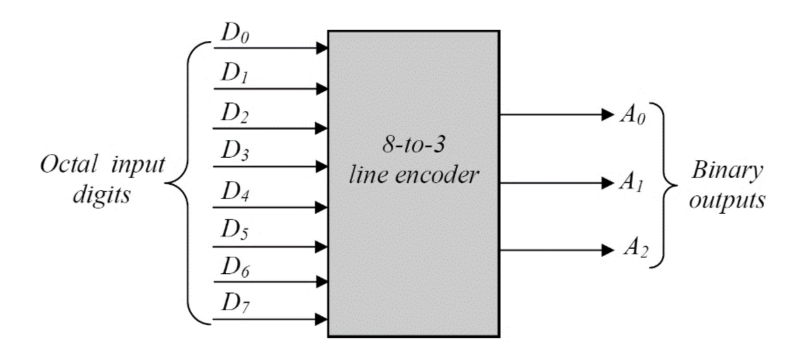
الشكل (6–22) حيث الرمز المنطقي Logic symbol في (a)، مع مخطط توزع الأرجل (البنات) Pin diagram في (b) للدائرة المتكاملة لمحلل الشفرة من الشفرة العشرية المشفرة ثنائياً BCD إلى مفعل قطع الاظهار السبع -BCD-to-7 segment decoder/driver والتي تحمل الرقم 74HC47

4–2 المشفرات Encoders

المشفر Encoder عبارة عن دائرة منطقية توافقية بالأساس تقوم بعمل معاكس لعمل دائرة محلل الشفرة، فهي تقوم بتوليد شفرة ثنائية معينة على أطراف الخرج، وذلك عند تنشيط واحد فقط من أطراف الدخل Active، أما بقية أطراف الخرج تكون غير نشطة، لذلك إذا كان عدد أطراف الخرج Output Lines يساوي n، فإن عدد أطراف الدخل Inputs Lines يساوي 2^n

يقبل المشفر مستوى نشط على أحد مداخله يمثل رقم Digit مثل رقم عشري أو ثماني، ويحوله لخرج مشفر مثل رقم ثنائي أو إلى الشفرة العشرية المشفرة ثنائياً BCD، والمشفرات تستطيع أيضاً أن تشفر الرموز المختلفة وحروف الهجاء، عملية التحويل من الرموز والأعداد المعتادة إلى الشكل المشفر تدعى عملية التشفير Encoding.

على سبيل المثال لتصميم مشفر له ثمانية مداخل وثلاثة مخارج 8-of-3 line encoder، يقوم بتحويل الأرقام الثمانية إلى مكافئها الثنائي، المخطط المنطقي له موضح في الشكل (6–23)، وجدول الحقيقة يعرض في الجدول (6–7) التالي:



الشكل (6-23) المخطط المنطقي لدائرة مشفر ثماني أطراف إلى ثلاثة 8-of-3 line encoder

من جدول الحقيقة نجد أن الخانة الأكثر أهمية MSB هي A_2 تساوي واحد 1 عند الأرقام الثمانية من D_4 إلى D_7 وبالتالي يمكن كتابة التعبير المنطقي للخانة A_2 كما يلي:

$$A_2 = D_4 + D_5 + D_6 + D_7$$

بالمثل يمكن كتابة التعبير المنطقي للخانتين الثنائيتين A_0، A_1

$$A_1 = D_2 + D_3 + D_6 + D_7$$

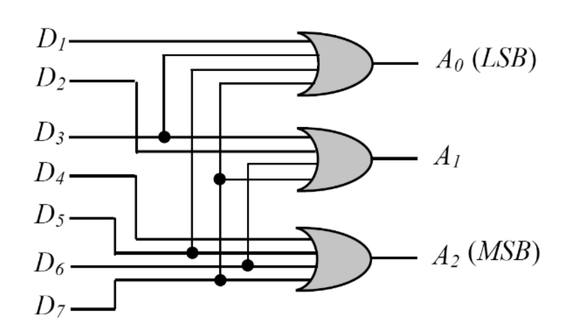
$$A_0 = D_1 + D_3 + D_5 + D_7$$

الدخل Input	الخرج Output		
الأرقام الثمانية	A_2	A_1	A_0
D_0	0	0	0
D_1	0	0	0
D_2	0	1	0
D_3	0	1	1
D_4	1	0	0
D_5	1	0	1
D_6	1	1	0
D_7	1	1	1

الجدول (6-7) جدول الحقيقة لدائرة مشفر له ثمانية مداخل وثلاثة مخارج 8-of-3 line encoder

الآن يمكننا تمثيل الدائرة المنطقية المطلوبة لتشفير كل رقم ثماني إلى عدد ثنائي باستخدام التعابير التي تم استنتاجها، الشكل (6-24) يوضح هذه الدائرة مع المخطط المنطقي لها، حيث تشغيل الدائرة يكون كما يلي:

عندما يظهر واحد 1 على أحد خطوط الدخل الثمانية، يظهر خرج معين على خطوط الخرج، فمثلاً، إذا كان خط الدخل D_6 يساوي واحد 1(على فرض جميع الخطوط الأخرى تساوي صفر 0، هذا الشرط سوف يضع 1 على خطوط الخرج A_2 و A_1 ويضع صفر 0 على الخرج A_0، والذي هو عبارة عن العدد الثنائي 110 المكافئ للعد الثماني 6.



الشكل (6–24) دائرة مشفر ثماني أطراف إلى ثلاثة 8-of-3 line encoder يشفر من ثماني إلى ثنائي

2–4–1 المشفر من عشري إلى الشفرة العشرية المشفرة ثنائياً BCD

The Decimal-to-BCD Encoder

هذا النوع من المشفرات له عشرة 10 مداخل تقابل الأرقام العشرية، وأربعة 4 مداخل تقابل الشفرة العشرية المشفرة ثنائياً BCD، الجدول (6–8) يوضح العلاقة بين كل خانة من الشفرة العشرية المشفرة ثنائياً BCD والأرقام العشرية من أجل تحليل العمليات المنطقية، على سبيل المثال الخانة الأكثر أهمية A3 من الشفرة العشرية المشفرة ثنائياً BCD دائماً واحد 1 من أجل الأرقام العشرية 8 أو 9، لذلك يمكن كتابة التعبير من اجله على الشكل التالي:

$$A_3 = 9 + 8$$

Decimal Digit	BCD Code			
	A_3	A_2	A_1	A_0
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1

الجدول (6–8) يوضح تشفير كل خانة عشرية من 0 حتى 9 باستخدام الشفرة العشرية المشفرة ثنائياً BCD

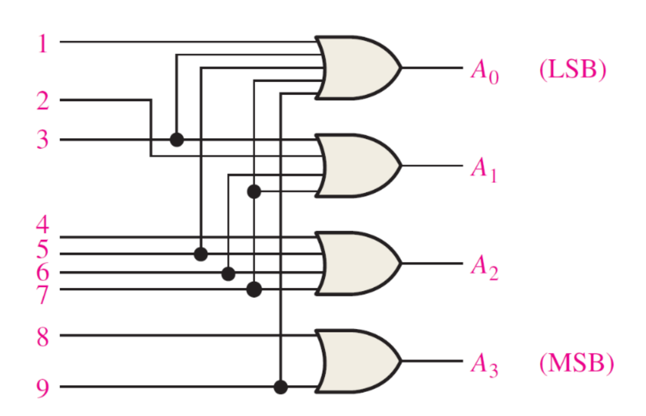
من أجل بقية الخانات يمكن أن نكتب

$$A_2 = 4 + 5 + 6 + 7$$

$$A_1 = 2 + 3 + 6 + 7$$

$$A_0 = 1 + 3 + 5 + 7 + 9$$

الدائرة المنطقية البسيطة التي تنفذ تشفير أي رقم عشري إلى الشفرة العشرية المشفرة ثنائياً BCD، يمكن رسمها حسب التعابير السابقة كما في الشكل (6-25)، فعندما يظهر الجهد المرتفع HIGH على أحد الأرقام العشرية على المداخل، مستويات مناسبة تحصل على خطوط الخرج الأربعة BCD.



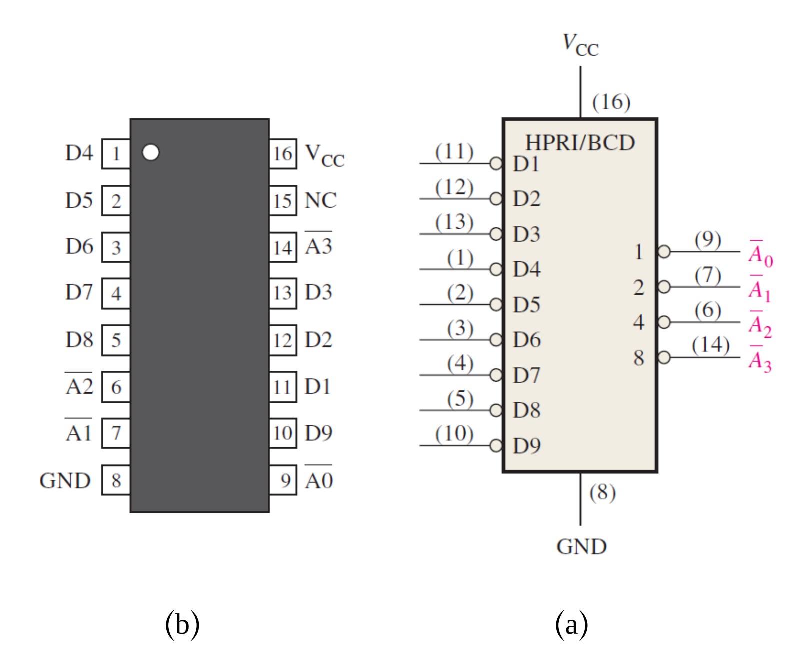
الشكل (6-25) الدائرة المنطقية البسيطة لمشفر من عشري إلى الشفرة العشرية المشفرة ثنائياً BCD

الشكل (6-26) يظهر الرمز المنطقي، مع مخطط توزع الأرجل (البنات) لشريحة الدائرة المتكاملة للمشفر ذو الأولوية decimal-to-BCD priority encoder من عشري إلى الشفرة العشرية المشفرة ثنائياً BCD تحمل الرقم 74HC147، تكون دائرة بتسع مداخل وأربعة مخارج فعالة عند الصفر 0 أو LOW.

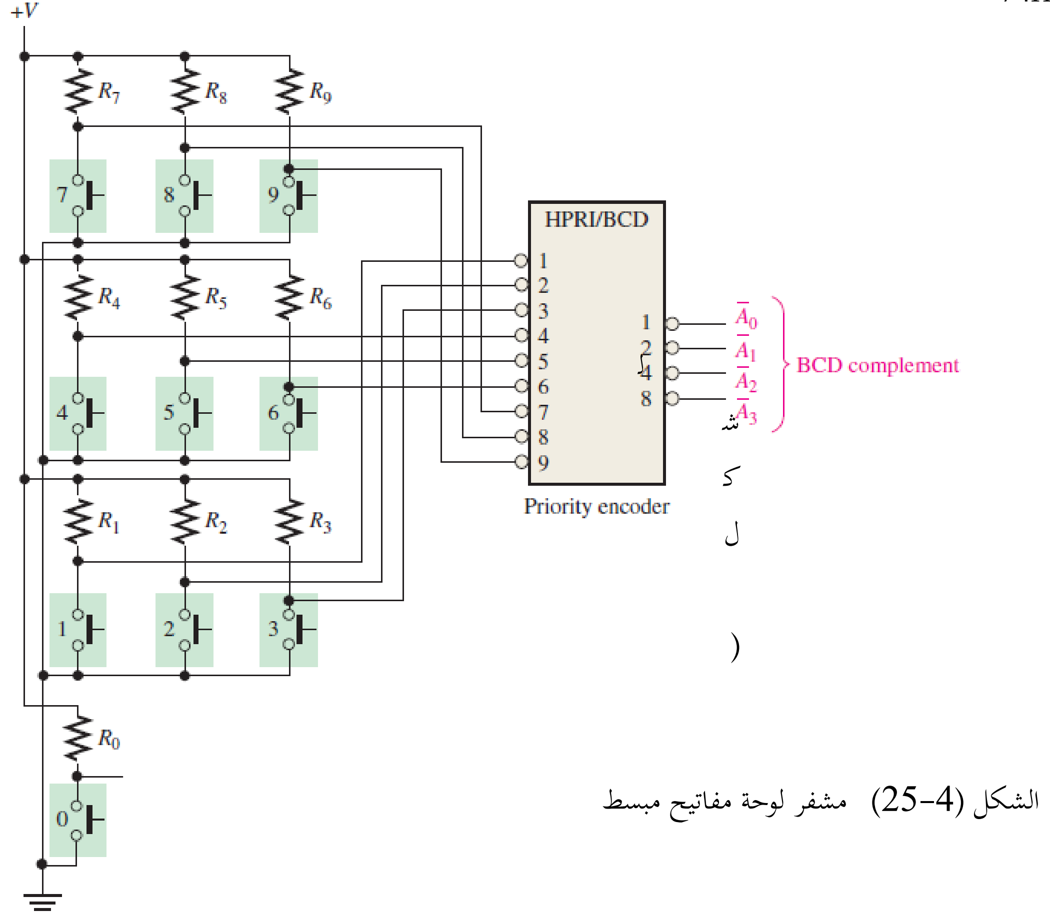
حيث الاسم HPRI/BCD (HPRI means highest value input has priority) يشير إلى أن هذه الشرحية هي شريحة مشفر من عشري إلى الشفرة العشرية المشفرة ثنائياً BCD، مع خاصية الأولوية، بمعنى أنه عند تنشيط أكثر من دخل في نفس الوقت فإن الدخل ذو الأولوية الأعلى هو الذي ستظهر شفرته على الخرج.

الشكل (6-27) يمثل تطبيق عن هذا المشفر حيث لدينا لوحة مفاتيح رقمية تملك عشرة أرقام يجب أن تشفر عن طريق معالجة تنفذ من خلال الدائرة، حيث عندما يتم الضغط على المفتاح يوصل إلى الأرضي، والجهد المنخفض LOW من الأرضي يطبق على دخل المشفر الموافق، والرقم العشري يشفر إلى الشفرة العشرية المشفرة ثنائياً BCD الموافقة.

مفتاح الصفر غير موصل لأن خرج الشفرة العشرية المشفرة ثنائياً BCD يمثل الصفر عندما لا يتم الضغط على أي مفتاح.



الشكل (6–24) الرمز المنطقي Logic symbol في (a)، مع مخطط توزع الأرجل (البنات) Pin diagram في (b) للدائرة المتكاملة للمشفر ذو الأولوية decimal-to-BCD priority encoder من عشري إلى الشفرة العشرية المشفرة ثنائياً BCD والتي تحمل الرقم 74HC147



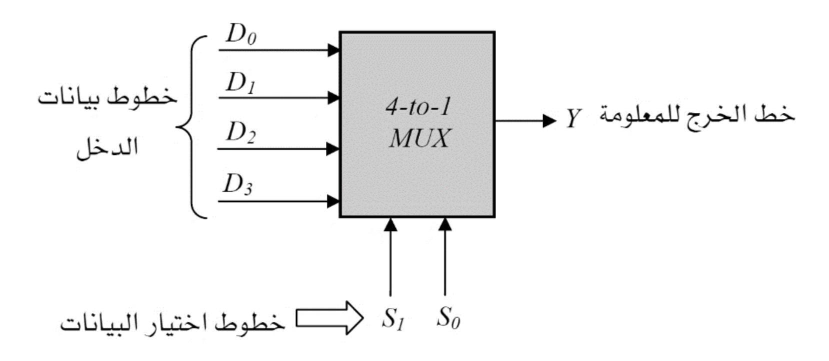
الشكل (4–25) مشفر لوحة مفاتيح مبسط

5-2 الناخب (منتقي البيانات) Multiplexers (Data Selectors)

الناخب أو منتقي البيانات Multiplexer هو عبارة عن دائرة منطقية توافقية تنتقي واحدة من المعلومات أو البيانات المنطقية المأخوذة من مصادر متعددة للمرور خلال خط واحد إلى الخرج.

يتكون الناخب من عدة خطوط لدخل البيانات وخط خرج واحد، وله أيضاً خطوط اختيار select lines والتي عن طريقها يمكننا اختيار البيانات المراد ارسالها إلى الخرج، إذا كان عدد خطوط الاختيار هو n فإن خطوط الدخل يكون عددها هو 2^n

المخطط الصندوقي لدائرة الناخب والتي لها أربعة مداخل 1-of-4 data selector/multiplexer موضحة في الشكل (6-26)، حيث نلاحظ وجود خطين لاختيار البيانات وهي كافية لاختيار واحد من الأربعة خطوط الموجودة على الدخل، ويرمز للناخب بــ MUX.



الشكل (6-26) دائرة الناخب والتي لها أربعة مداخل 4-to1 MUX

نلاحظ من الشكل (6-26) أن الدخل الثنائي الذي يوضع على خطي الاختيار (S_0 S_1) سيسمح للبيانات المختارة من خطوط الدخل بالمرور إلى خط الخرج، إذا وضعنا الدخل على خطي الاختيار بحيث

$S_0=0$ و $S_1=0$، فإن البيانات الموجودة على الدخل D_0 فقط سوف تظهر على خط الخرج.

$S_0=1$ و $S_1=0$، فإن البيانات الموجودة على الدخل D_1 فقط سوف تظهر على خط الخرج.

$S_0=0$ و $S_1=1$، فإن البيانات الموجودة على الدخل D_2 فقط سوف تظهر على خط الخرج.

$S_0=1$ و $S_1=1$، فإن البيانات الموجودة على الدخل D_3 فقط سوف تظهر على خط الخرج.

التعبير المنطقي الذي يعبر عن الخرج يكون:

$$Y = \bar{S}_1 \bar{S}_0 D_0 + \bar{S}_1 S_0 D_1 + S_1 \bar{S}_0 D_2 + S_1 S_0 D_3$$

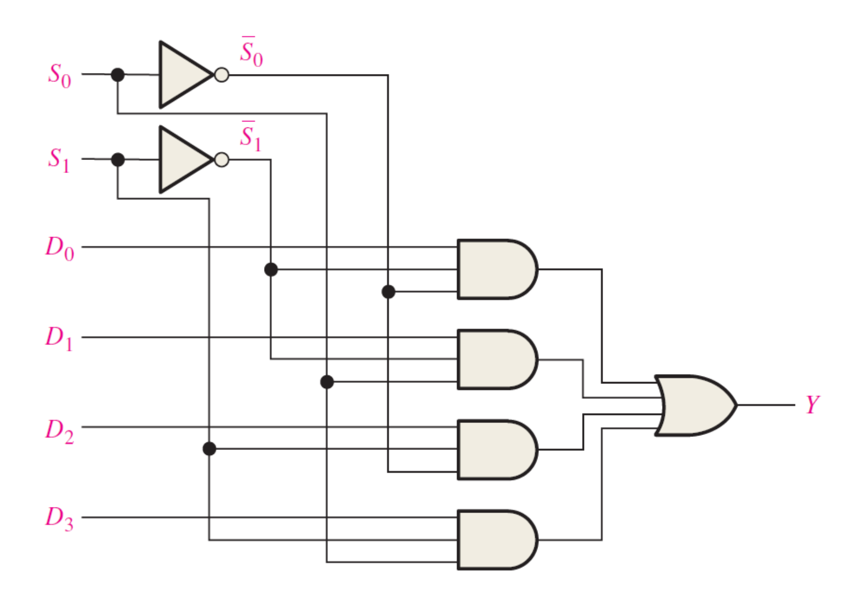
وهذه الخطوات موضحة في جدول الحقيقة التالي:



الشكل (27-6) يظهر الدائرة المنطقية المطلوبة لتحقيق جدول الحقيقة الموضح جانباً الجدول (9-6) دائرة الناخب والتي لها أربعة مداخل 4-to1 MUX ، نلاحظ أنها تكون بأربعة مداخل للبيانات D_1 D_2 D_3 D_0، ومدخلين للاختيار S_1 S_0، وخرج وحيد Y.

مداخل الاختيار Data-Select Inputs		المدخل المختار Input Selected
S_1	S_0	Y
0	0	D_0
0	1	D_1
1	0	D_2
1	1	D_3

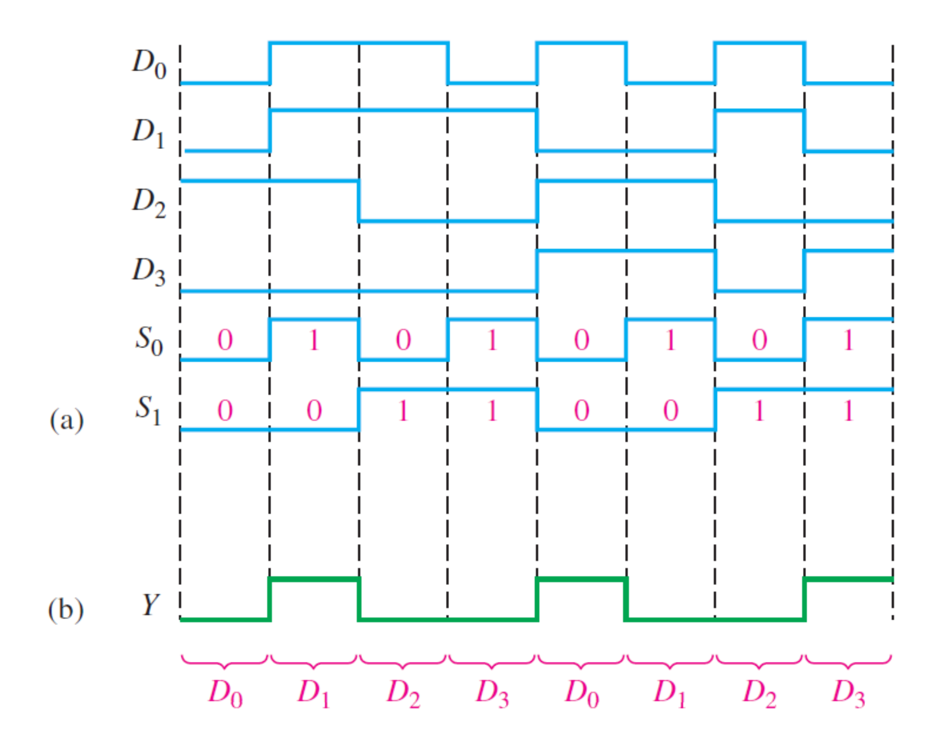
الجدول (9-6) جدول الحقيقة لدائرة الناخب والتي لها أربعة مداخل 4-to1 MUX



الشكل (27-6) دائرة الناخب والتي لها أربعة مداخل وخرج وحيد 1-of-4 data selector/multiplexer

الشكل (28-6) يظهر شكل موجة الخرج مع أشكال موجات الدخل والاختيار عند تطبيق عينة من بيانات الدخل وبيانات الاختيار على دائرة الناخب والتي لها أربعة مداخل 4-to1 MUX، ونلاحظ مع كل تغير في الحالة الثنائية لبيانات الاختيار تظهر حالة دخل معين على الخرج كما يلي:

0 0 = 0 $D_0 \longrightarrow$ out Y
0 1 = 1 $D_1 \longrightarrow$ out Y
1 0 = 2 $D_2 \longrightarrow$ out Y
1 1 = 3 $D_3 \longrightarrow$ out Y



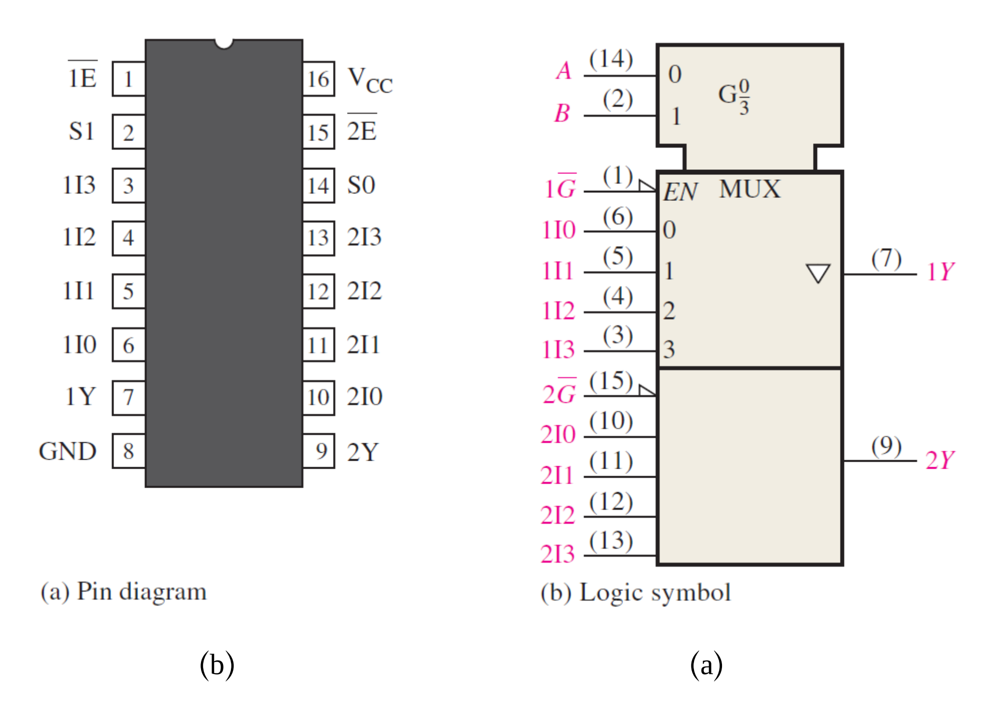
الشكل (6-28) أشكال موجة الخرج والدخل والاختيار عند تطبيق عينة من بيانات الدخل وبيانات الاختيار على دائرة الناخب والتي لها أربعة مداخل 4-to1 MUX.

يمكن استخدام أكثر من ناخب بإمكانيات أقل للحصول على ناخب بإمكانيات أعلى، فمثلا يمكن الحصول على ناخب واحد من ثمانية باستخدام اثنان من النواخب كل منهما واحد من أربعة، على أن يكون لكل منهما طرف تمكين Enable, En، وخرجي النواخب تدخل على بوابة أور OR.

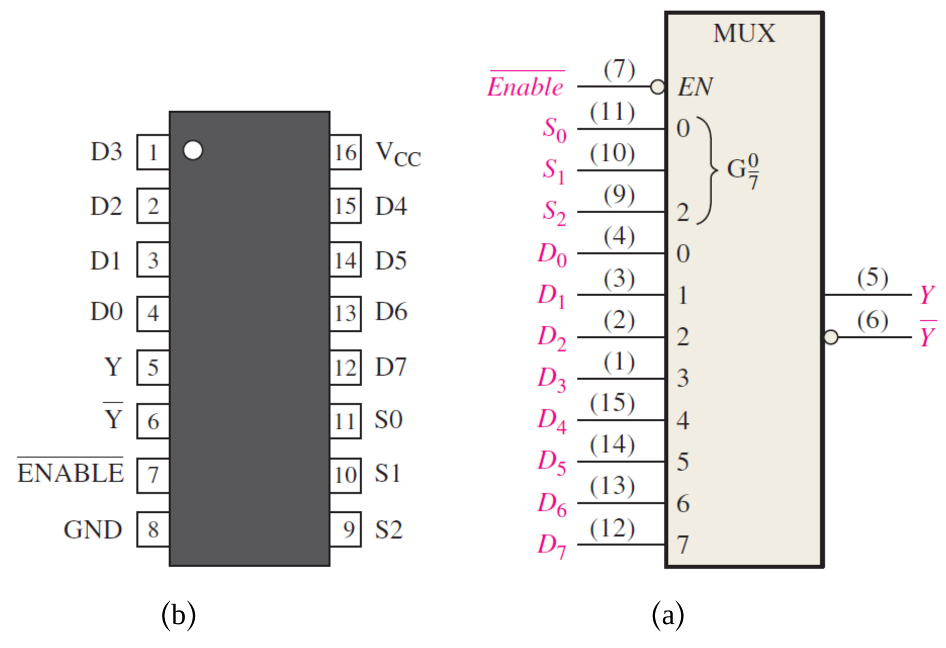
يعتبر الناخب دائرة عامة universal circuit بمعنى أنه يمكن اشتقاق الكثير من الدوائر الأخرى من هذه الدائرة.

الشكل (6-29) يظهر الرمز المنطقي، مع مخطط توزع الأرجل (البنات) لشريحة الدائرة المتكاملة للناخب أو منتقي البيانات MUX/Multiplexer تحمل الرقم 74HC153، تحتوي شريحة هذه الدائرة على اثنين من النواخب كل منهما واحد من أربعة 1-of-4 data selector/multiplexer، الأول خرجه Y1، ومداخله من $1I_0$ حتى $1I_3$، والثاني خرجه Y2، ومداخله من $2I_0$ حتى $2I_3$، ولكل منهما خط تمكين فعال عند الصفر 0 أو LOW، وهي 1G و 2G.

الشكل (6-30) يظهر الرمز المنطقي، مع مخطط توزع الأرجل (البنات) لشريحة الدائرة المتكاملة للناخب أو منتقي البيانات MUX/Multiplexer تحمل الرقم 74HC151، تحتوي شريحة هذه الدائرة ناخب واحد يكون من نوع واحد من ثمانية eight-input data selector/multiplexer، مداخله من D_0 حتى D_7، وله ثلاثة خطوط اختيار S_0, S_1, S_2 وخط تمكين واحدEn/Enable فعال عند الصفر 0 أو LOW، ولها خرجان الأول Y يعمل على الجهد المرتفع واحد 1 أو HIGH، والثاني عكسه أو متممه ويعمل على الجهد المنخفض الصفر 0 أو LOW، وعندما يكون خط التفعيل غير فعال أي واحد 1 فإن Y=0 و W=1، أي كل منهما يكون غير فعال مهما كان الدخل.



الشكل (6–29) الرمز المنطقي Logic symbol في (a)، مع مخطط توزع الأرجل (البنات) Pin diagram في (b) للدائرة المتكاملة للناخب أو منتقي البيانات Multiplexer تحتوي شريحة هذه الدائرة على اثنين من النواخب كل منهما واحد من أربعة 1-of-4 data selector/multiplexer،وتحمل الرقم 74HC153



الشكل (6–30) الرمز المنطقي Logic symbol في (a)، مع مخطط توزع الأرجل (البنات) Pin diagram في (b) للدائرة المتكاملة للناخب واحد من ثمانية 8-input data selector/multiplexer وتحمل الرقم 74HC151

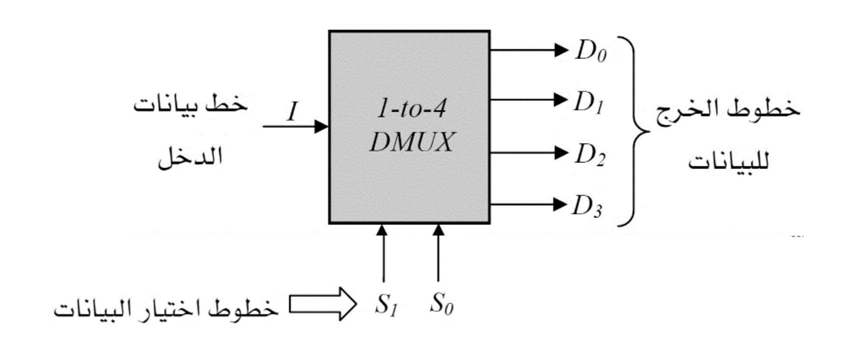


6-2 موزع البيانات (Demultiplexes (DMUX

موزع البيانات Demultiplexes هو عبارة عن دائرة منطقية توافقية تؤدي عكس عمل دائرة الناخب أو منتقي البيانات فهو يأخذ البيانات من خط دخل واحد ثم يقوم بتوزيعها على عدد من خطوط الخرج.

يتكون الموزع من خط دخل وحيد وعدة خطوط خرج، وله أيضاً خطوط اختيار select lines والتي عن طريقها يمكننا ارسال البيانات الموجودة على خط الدخل إلى أحد خطوط الخرج. إذا كان عدد خطوط الاختيار هو n فإن خطوط الخرج يكون عددها هو 2^n.

المخطط الصندوقي لدائرة الموزع والتي لها أربعة مخارج ودخل وحيد 1-line-to-4-line demultiplexer (DEMUX) موضحة في الشكل (6-31)، حيث نلاحظ وجود خطين لاختيار البيانات وهي كافية لاختيار واحد من الأربعة خطوط الموجودة على الخرج، ويرمز للناخب بـ DEMUX.



الشكل (6-31) دائرة الموزع والتي لها أربعة مخارج 1-line-to-4-line demultiplexer

نلاحظ من الشكل (6-31) أن الدخل الثنائي الذي يوضع على خطي الاختيار (S_0 S_1) سيسمح للبيانات على خط الدخل I بالمرور إلى أحد خطوط الخرج، إذا وضعنا الدخل على خطي الاختيار بحيث

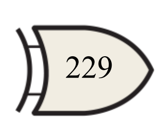
$S_0=0$ و $S_1=0$، فإن البيانات الموجودة خط الدخل I سوف تظهر على خط الخرج D_0

$S_0=1$ و $S_1=0$، فإن البيانات الموجودة خط الدخل I سوف تظهر على خط الخرج D_1

$S_0=0$ و $S_1=1$، فإن البيانات الموجودة خط الدخل I سوف تظهر على خط الخرج D_2

$S_0=1$ و $S_1=1$، فإن البيانات الموجودة خط الدخل I سوف تظهر على خط الخرج D_3

وهذه الخطوات موضحة في جدول الحقيقة في الجدول (6-10) التالي:



الشكل (32-6) يظهر الدائرة المنطقية المطلوبة لتحقيق جدول الحقيقة الموضح، نلاحظ أنها تكون بدخل بيانات واحد ومدخلين للاختيار S_1 S_0، وأربعة مخارج D_3 D_2 D_1 D_0.

مداخل الاختيار Data-Select Inputs		الخرج Output			
S_1	S_0	D_0	D_1	D_2	D_3
0	0	I	0	0	0
0	1	0	I	0	0
1	0	0	0	I	0
1	1	0	0	0	I

الجدول (10-6) جدول الحقيقة لدائرة الموزع والتي لها أربعة مخارج

1-line-to-4-line demultiplexer

من جدول الحقيقة يمكننا استنتاج التعابير المنطقية لكل خرج بدلالة خط الدخل وخطوط الاختيار، البيانات على خط الخرج D_0 تكون هي نفس البيانات على خط الدخل I فقط إذا كان $S_0=0$ و $S_1=0$:

$$D_0 = I\,\overline{S_0}\,\overline{S_1}$$

البيانات على خط الخرج D_1 تكون هي نفس البيانات على خط الدخل I فقط إذا كان $S_0=1$ و $S_1=0$

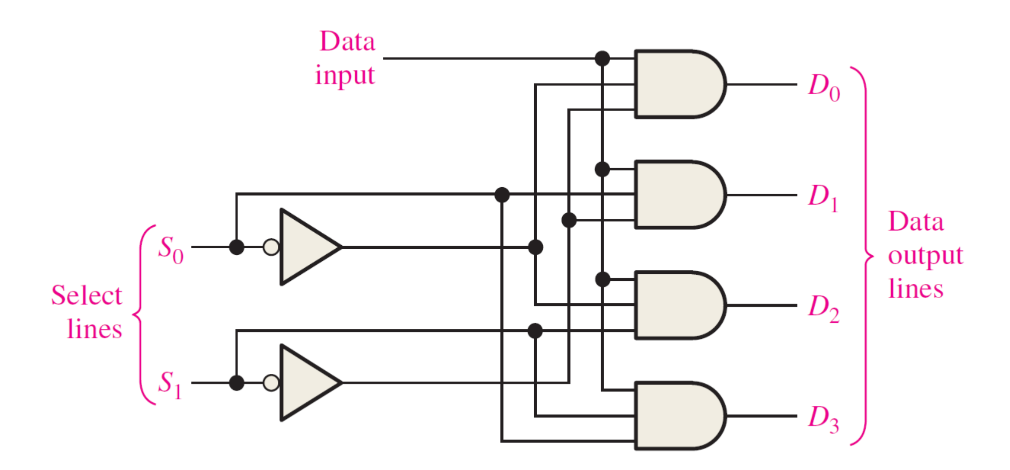
$$D_1 = I\,\overline{S_0}\,S1$$

البيانات على خط الخرج D_2 تكون هي نفس البيانات على خط الدخل I فقط إذا كان $S_0=0$ و $S_1=1$

$$D_2 = I\,S_0\,\overline{S_1}$$

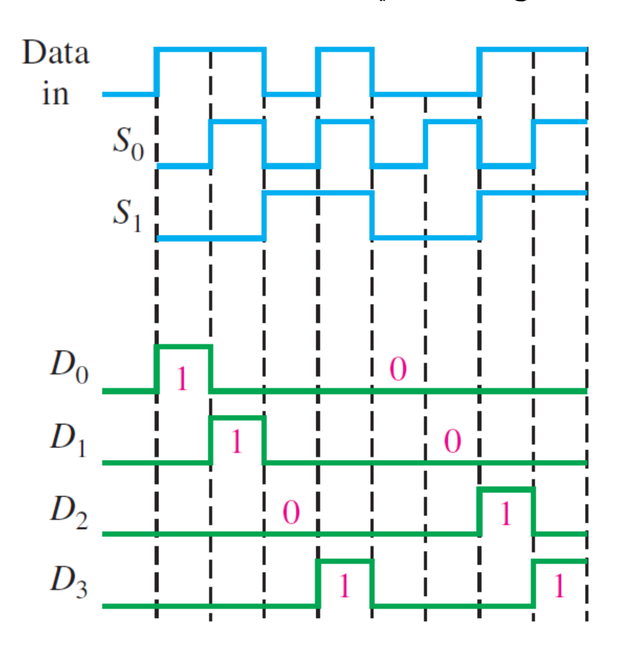
البيانات على خط الخرج D_3 تكون هي نفس البيانات على خط الدخل I فقط إذا كان $S_0=1$ و $S_1=1$

$$D3 = I\,S_1S_0$$



الشكل (32-6) دائرة الموزع والتي لها مدخل وحيد وأربعة مخارج 1-line-to-4-line demultiplexer

الشكل (6-33) يظهر شكل موجة الخرج مع أشكال موجات الدخل والاختيار عند تطبيق دخل تسلسلي وبيانات الاختيار على دائرة الموزع والتي لها أربعة مخارج 1-line-to-4-line DMUX ونلاحظ مع كل تغير في الحالة الثنائية لبيانات الاختيار يتم السماح للدخل بالمرور إلى خرج محدد كما يلي:



الشكل (6-33) أشكال موجة الخرج والدخل والاختيار عند تطبيق دخل سلسلة من البيانات خط الدخل الوحيد وبيانات الاختيار على دائرة الموزع والتي لها أربعة مخارج 1-line-to-4-line DMUX

الجدول (6-11) التالي يلخص الدوائر المتكاملة التي تم عرضها سابقاً، مع أرقامها ومحتوياتها

رقمها	نوع الدائرة المتكاملة	
74HC283	4- Bit Binary Adder	الجامع الثنائي التفرعي بأربع خانات
74HC85	4-bit magnitude comparator	المقارن بأربع خانات
74HC154	1-of-16 decoder	محلل الشفرة واحد من ست عشر ثنائي إلى عشري BIN/DEC
74HC42	BCD-to-decimal decoder	محلل الشفرة من الشفرة العشرية المشفرة ثنائياً BCD إلى عشري
74HC47	BCD-to-7-segment decoder/driver	محلل الشفرة من الشفرة العشرية المشفرة ثنائياً BCD إلى قطع الاظهار السبع
74HC147	decimal-to-BCD priority encoder	المشفر من عشري إلى الشفرة العشرية المشفرة ثنائياً BCD
74HC153	1-of-4 data selector/multiplexer	الناخب أو منتقي البيانات واحد من أربعة
74HC151	8-input data selector/multiplexer	الناخب أو منتقي البيانات واحد من ثمانية

الجدول (6-11) الدوائر المتكاملة التي تم عرضها في هذا الفصل

تدريبات

1- ما هو العدد اللازم من دوائر الجامع النصفي لجمع العددين العشريين 10 و 11 . ارسم الدائرة الناتجة.

2- ما هو العدد اللازم من دوائر الجامع النصفي لجمع العددين الثنائيين 10 و 11 . ارسم الدائرة الناتجة.

3- ما هو العدد اللازم من دوائر الجامع الكامل لجمع العددين الثنائيين 101 و 100 . ارسم الدائرة الناتجة.

4- وضح طريقة ربط وحدات محلل شفرة من نوع اثنان 2 إلى أربعة 4 **2-line-to-4-line decoder** لبناء محلل شفرة من نوع أربعة 4 من ست عشرة 16، **4-line-to-16-line decoder**.

5- وضح طريقة ربط بناء محلل شفرة من نوع ثلاثة 3 إلى ثمانية 8، **3-line-to-8-line decoder** باستخدام وحدات محلل شفرة من نوع واحد 1 من اثنان 2 **1-line-to-2-line decoder**

6- اشرح المخطط المنطقي وجدول الحقيقة، ثم اكتب التعابير المنطقية وارسم الدائرة المنطقية لمشفر من نوع ثمانية إلى ثلاثة 3 **(8-to-3 Encoder)**.

7- اشرح المخطط المنطقي وجدول الحقيقة، ثم اكتب التعابير المنطقية وارسم الدائرة المنطقية لناخب من نوع ثمانية 8 إلى واحد 1 **(8-to-1 Multiplexer)**.

8- اشرح المخطط المنطقي وجدول الحقيقة، ثم اكتب التعابير المنطقية وارسم الدائرة المنطقية لموزع من نوع واحد 1 إلى ثمانية 8 **(1-to-8 Dmultiplexer)**.

9- صمم دائرة منطقية تعطي في خرجها واحد 1 عند وجود أحد الشفرات التالية على الدخل (**1010**، **1100**، **1001**، **0000**).

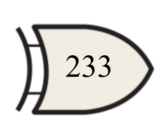
10- ارسم طريقة تشفير كل من الشفرات التالية (**111**، **101010**، **1100**، **11001100**).

11- صمم دائرة حلل شفرة من نوع اثنان 2 إلى أربعة 4 **2-line-to-4-line decoder** مرة باستخدام بوابات آند **AND** فقط، ومرة أخرى باستخدام ناند **NAND** فقط.

12 – بين كيف يمكن استخدام الناخب واحد 1 من ثمانية 8 لبناء المعادلة التالية:

$$Y = \overline{A}\,\overline{B}\,C + \overline{A}BC + ABC + A\,\overline{B}\,\overline{C}$$

13 – صمم دائرة الجامع الكامل باستخدام بوابات ناند **NAND** فقط.



14 – وضح بالرسم كيف يمكن استخدام شريحتين 7483 لجمع عددين كل منهما بثمان خانات 8 بت.

15– ارسم دائرة لمقارنة عددين كل منهما باثنا عشرة 12 بت، يكون لها ثلاث 3 مخارج أكبر من >، أصغر من <، أو يساوي = باستخدام شريحة الدائرة المتكاملة للمقارن 74HC85.

16– صمم دائرة لطرح عددين ثنائيين كل منهما بخانتين.

17– صمم دائرة مقارنة عددين يشغل اللون الأحمر إذا $A > B$، ويشغل الضوء الأخضر إذا $A \leq B$.

18– صمم دائرة منطقية مؤلفة من مخرجين ، حيث كل منهما مؤلف من 4 bit

الأول على led ضوئي أحمر يتم إشعال الـ led الأحمر إذا كان A>B و A>C

والثاني على led ضوئي أخضر يتم إشعال الـ led الأخضر إذا كان A>B أو A>C

19– صمم التابع التالي :

$$F = \sum m(0, 2, 3, 4)$$

باستخدام نواخب 8 to 1

20– صمم دائرة منطقية دخلها عبارة عن عددين ثنائيين كل منهما مكون من خانتين ثنائيتين ويكون خرجها مساوٍ 1 إذا كان جداء العددين فردياً وأصغر من 5 أو زوجياً وأكبر أو يساوي 5 مع رسم المخطط المنطقي للدائرة.

1) بوابات منطقية أساسية AND OR NOT

2) بوابات NAND

3) بوابات NOR

4) نواخب 8 to 1 (ثلاث خطوط اختيار)

5) نواخب 4 to 1 (خطي اختيار)

21– باستخدام بوابات آند AND وبوابات النفي NOT ارسم دائرة المشفر المنطقي للشفرات التالية:

(101010 –11110 – 1110110 – 0001 – 1101)

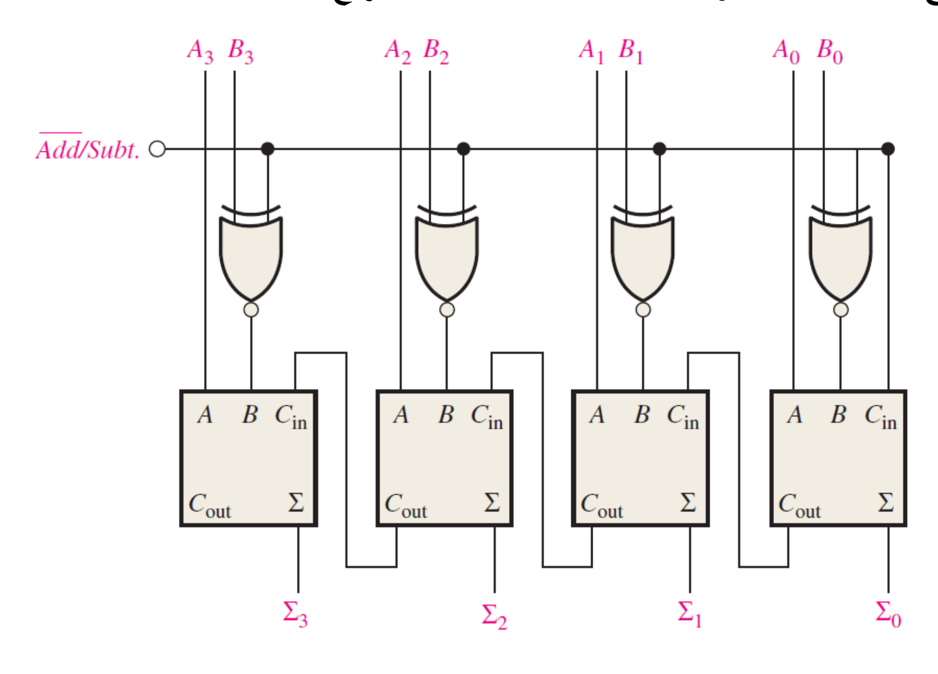
22– باستخدام بوابات آند AND وبوابات النفي NOT ارسم دائرة المشفر المنطقي للشفرات التالية:

23– بالرجوع إلى دائرة المشفر من ثماني إلى ثنائي المدروسة سابقاً، ما هي شفرة الخرج الثنائية إذا كان الدخل D5=1.

24- الدائرة في الشكل (**6-34**) تظهر دائرة جامع – طارح بأربع خانات للأعدّاد (حيث تجمع الأرقام الموجبة بشكلها الصحيح، والسالبة بشكلها المتمم) **4-bit circuit that can add or subtract numbers**.

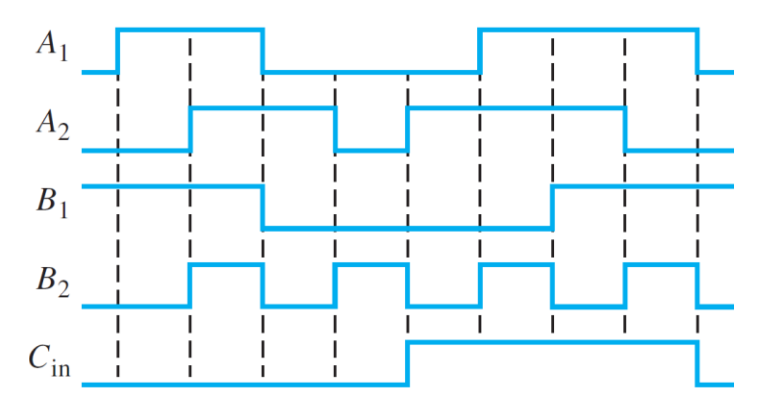
1- اشرح ما يحدث عندما يكون الخط **$\overline{\text{Add}}$/Sub** بحالة الجهد المرتفع **HIGH**.

2- اشرح ما يحدث عندما يكون الخط **Add/$\overline{\text{Sub}}$** بحالة الجهد المرتفع **HIGH**.



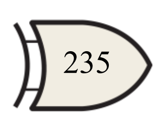
الشكل (**6-34**)

25- الدائرة في الشكل (**6-35**) تظهر أشكال موجات تطبق على جامع بخانتين **2-bit adder**، حدد أشكال موجة الخرج للمجموع وحمل الخرج.



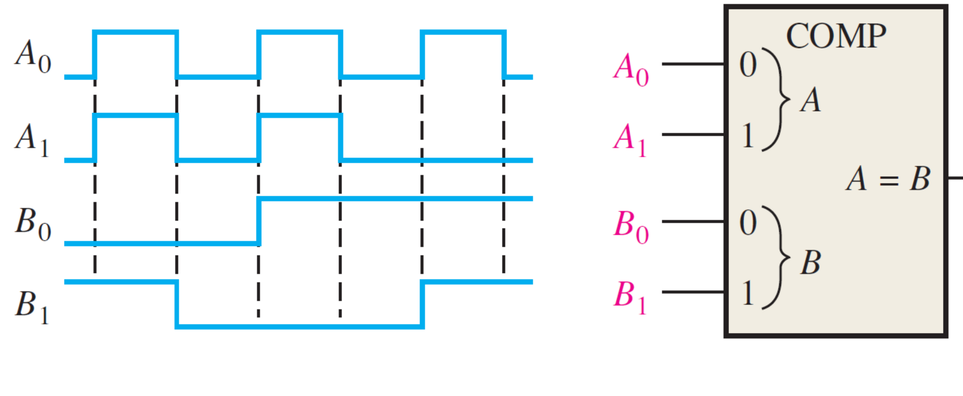
الشكل (**6-35**)

26- بالرجوع إلى دائرة الناخب ما هي قيمة الخرج لقيم المدخلات التالية:



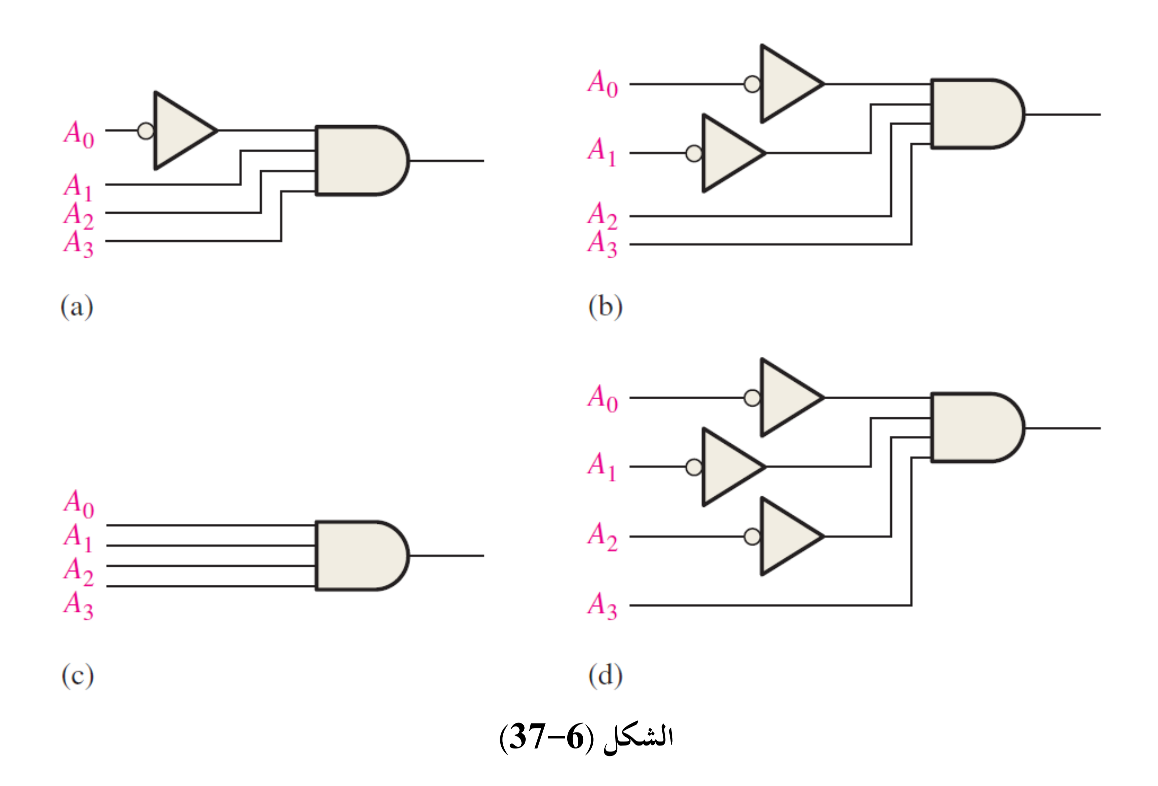
$D0 = 0, D1 = 1, D2 = 1, D3 = 0, S0 = 1, S1 = 0$

27- أشكال الموجات في الشكل (**6-36**) تطبق على دائرة المقارن كما هو موضح، حدد شكل موجة الخرج (**A=B**).



الشكل (**6-36**)

28- إذا كان خرج صفر **0** يظهر على كل بوابات التشفير في الشكل (**6-37**)، ما هي الشفرة الثنائية التي تظهر على المداخل، علماً أن الخانة الأكثر أهمية هي **A_3**.



الشكل (**6-37**)

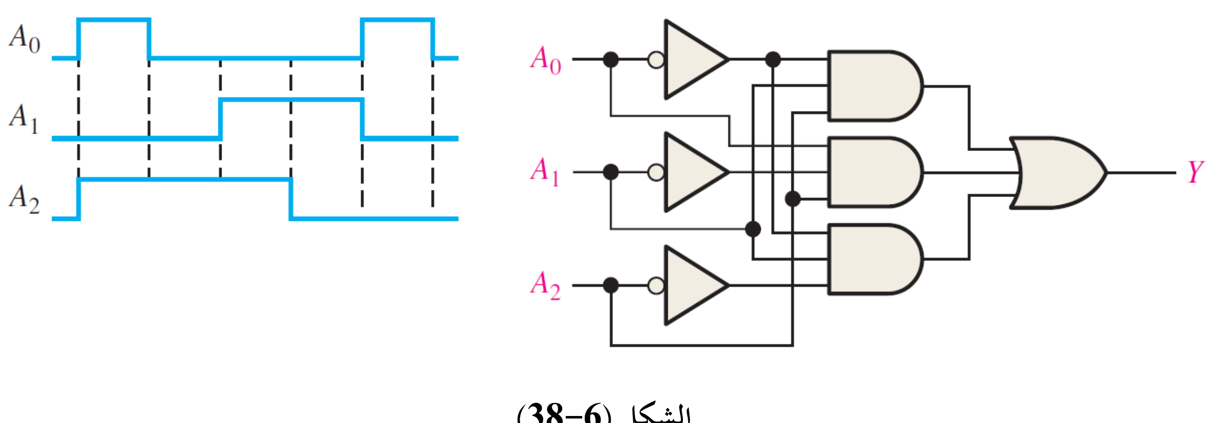
29- صمم دائرة تكتشف وجود الشفرات التالية على خرجها بإظهار القيمة واحد على خرجها الوحيد:

1010, 1100, 0001, 1011

30– صمم دائرة منطقية تقوم بكشف وجود الشفرات التالية على خرجها الوحيد بوضع هذا الخرج بحالة واحد **1**:

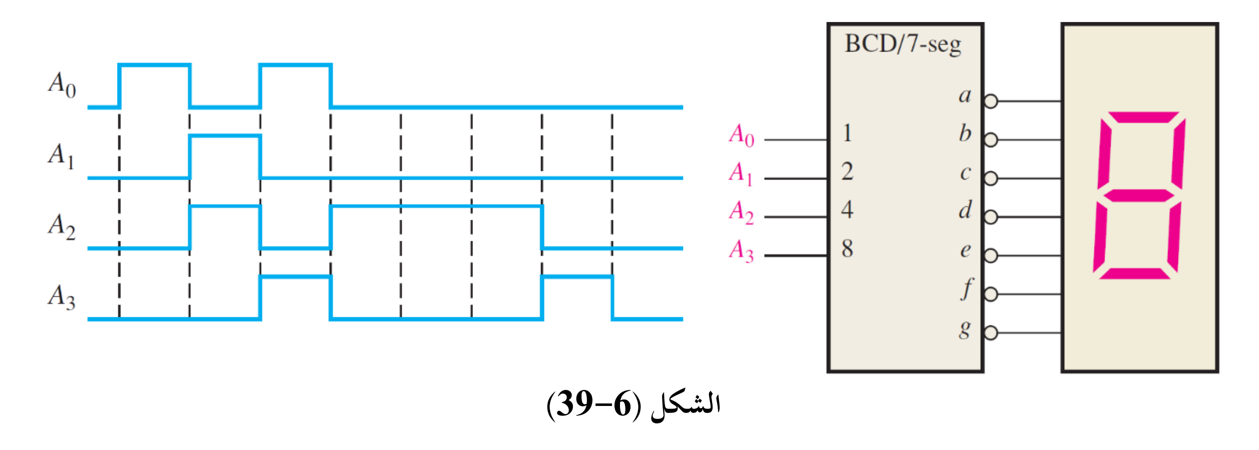
1010 1100 0001 1011، ومن أجل شفرات أخرى يكون الخرج بحالة صفر **0**.

31– إذا طبقت أشكال الموجة على منطق تشفير كالموضح بالشكل (**6–38**)، ارسم شكل موجة الخرج.



الشكل (**6–38**)

32– إذا طبقت أشكال الموجة الموضحة في الشكل (**6–39**)، على محلل الشفرة من الشفرة العشرية المشفرة ثنائياً **BCD** (الشفرة (**8421 code**)) إلى قطع الاظهار السبع **BCD-to-7-segment decoder/driver**، ما هو تسلسل الأرقام التي سوف تظهر على الشاشة.



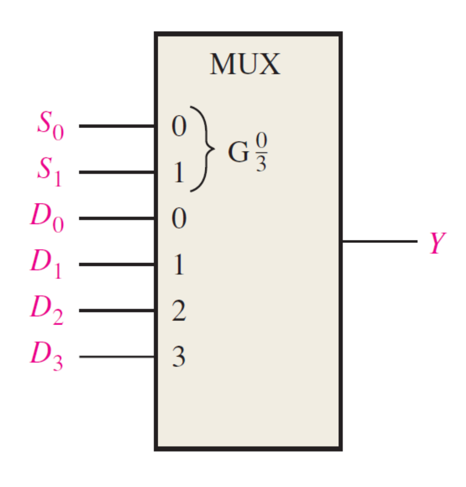
الشكل (**6–39**)

33– إذا كانت دائرة المشفر **74HC147** تملك الحالة صفر **0** على الأطراف **2** و **5** و **12**، ماهي شفرة بي سي دي **BCD** التي تظهر على المخارج إذا كانت بقية المداخل بحالة واحد **1**.



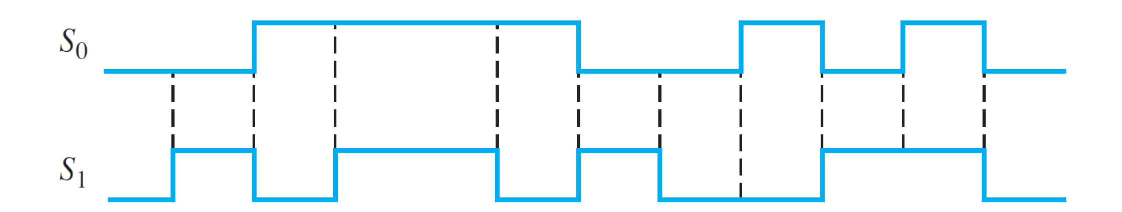
34– من أجل دائرة الناخب في الشكل (**6–40**) حدد الخرج من أجل المداخل التالية:

D0 = 1, D1 = 0, D2 = 0, D3 = 1, S0 = 0, S1 = 1



الشكل (**6–40**)

35– من أجل دائرة الناخب في الشكل (**6–40**) حدد أشكال موجة الخرج من أجل أشكال الموجة في الشكل (**6–41**)، من أجل نفس بيانات الدخل.



الشكل (**6–41**)

36–اذا كان دخل دائرة الجامع الكامل يساوي

B = 10010011 **A = 10110111** **Cin = 10100011**

فأوجد ناتج المجموع Σ و الحمل Cout مع رسم أشكال موجة الخرج لهما ؟

37–صمم دائرة ضرب رقمي ثنائيين بخانة واحدة علماً أن قواعد الضرب هي

0×0 = 0 **1×0 = 0** **1×1 = 1**

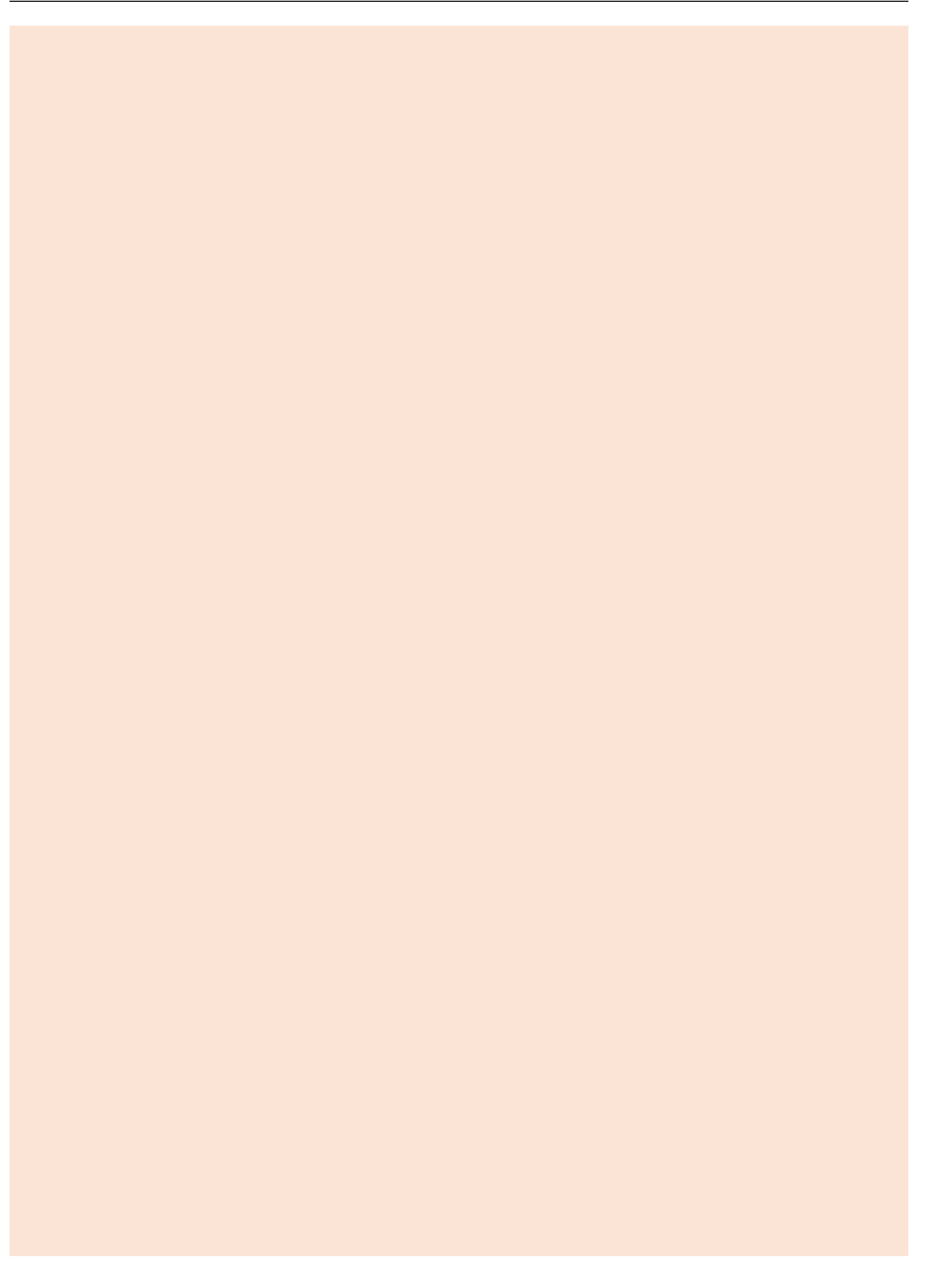
اكتب جدول الحقيقة والتعبير المنطقي للخرج.

38- من أجل جدول الحقيقة التالي صمم التابع المنطقي للخرج باستخدام دائرة ناخب البيانات التي تحمل الرقم **74HC151 data selector**.

Inputs				**Output**
A_3	A_2	A_1	A_0	Y
0	0	0	0	0
0	0	0	1	0
0	0	1	0	1
0	0	1	1	1
0	1	0	0	0
0	1	0	1	0
0	1	1	0	1
0	1	1	1	1
1	0	0	0	1
1	0	0	1	0
1	0	1	0	1
1	0	1	1	1
1	1	0	0	0
1	1	0	1	1
1	1	1	0	0
1	1	1	1	1

Key Terms and Abbreviations المصطلحات والعبارات الرئيسة واختصاراتها

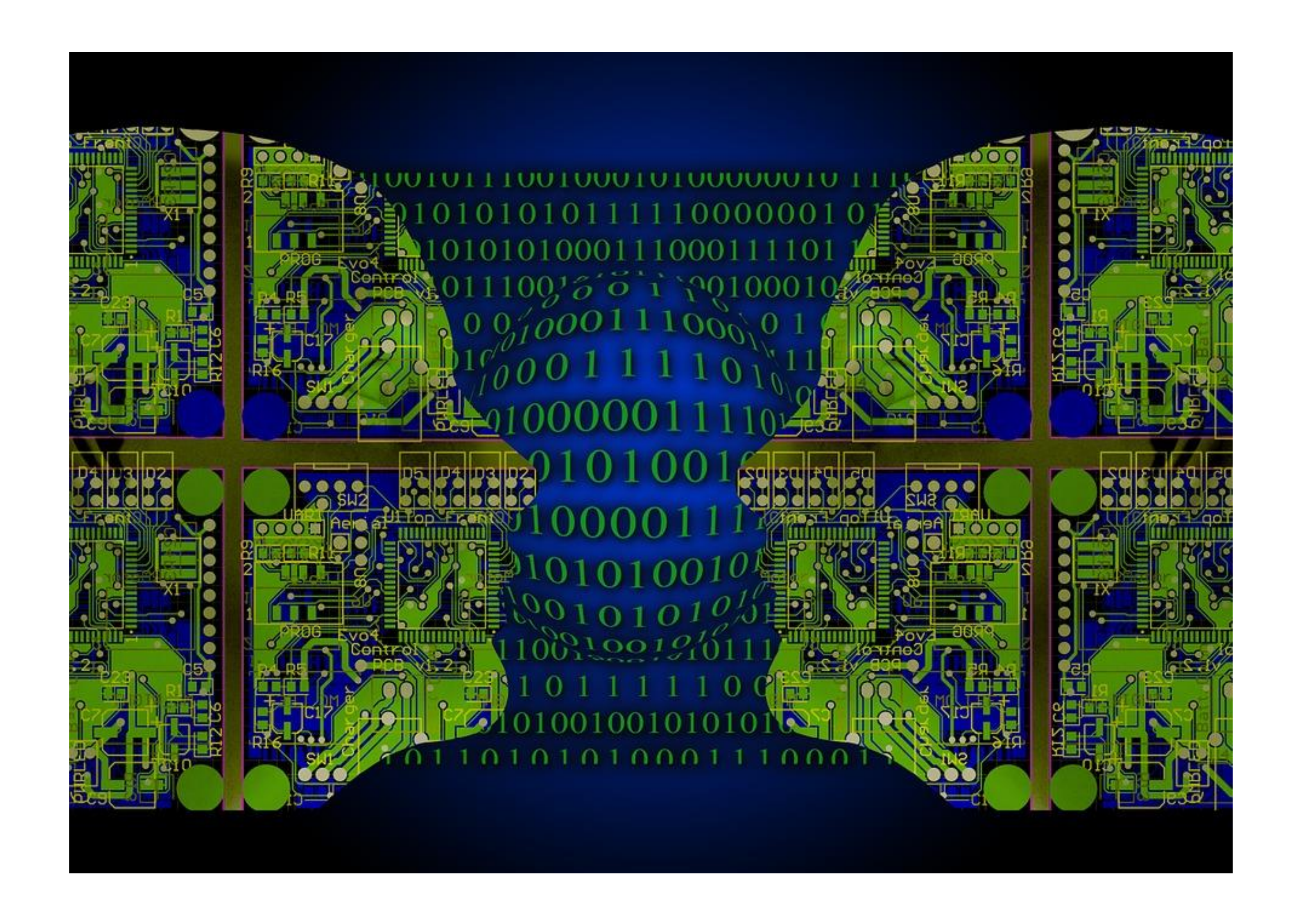
المصطلح أو العبارة	الترجمة	الصفحة	المصطلح أو العبارة	الترجمة	الصفحة
تصميم الدوائر المنطقية	Logic Circuit Design	203	محلل الشفرة	Decoder	215
الدائرة المنطقية التوافقية	Combinational Logic Circuit	203	شفرة ثنائية	Binary Code	215
الدوائر المتكاملة	Integrated Circuits (IC)	203	محلل الشفرة طرفين إلى أربعة أطراف	2-Line-to-4-Line Decoder	215
الجامع النصفي	The Half-Adder (HA)	204	أطراف الخرج	Output Lines	215
الجامع الكامل	Full-Adder (FA)	205	أطراف العنوان	Address Lines	215
حمل الدخل	Input Carry	205	أطراف الدخل	Inputs Lines	215
حمل الخرج	Output Carry	205	محلل شفرة بأربع خانات	4-Bit Decoder	216
أعدّاد ثنائية بخانتين	2-Bit Numbers	208	محلل شفرة واحد من ست عشر	1-of-16 Decoder	216
الجامع الثنائي التفرعي	Parallel Binary Adders	208	توابع فك التشفير	Decoding Function	217
جامع ثنائي بأربع خانات	4- Bit Binary Adder	209	مدخل تمكين الشريحة	Chip Select Input	218
الرمز المنطقي	Logic Symbol	210	محلل الشفرة العشرية المشفرة ثنائياً لعشري	BCD-to-Decimal Decoder	218
مخطط توزع الأرجل	Pin Diagram	210	محلل الشفرة واحد من عشرة	1-of-10 Decoder	218
المقارن	Comparators	212	محلل الشفرة العشرية المشفرة ثنائياً لمفعل قطع الاظهار السبع	BCD-to-7-Segment Decoder/Driver	219
مقارن كمية من أربع خانات	4-Bit Magnitude Comparator	214	المشفر	Encoder	220



الفصل السابع 7

الماسكات والقلابات

Latches and Flip-Flops



الأهداف العامة للفصل Chapter Objectives

عندما تكمل هذا الفصل سوف تكتسب مجموعة من الخبرات والمعارف وينبغي أن تكون قادراً على:

- التفريق ما بين الدوائر المنطقية التوافقية والدوائر المنطقية التعاقبية.
- معرفة ودراسة دوائر الماسكات وجدول الحقيقة الخاص بها.
- فهم وتحليل مبدأ عمل القلاب.
- معرفة ودراسة وتصميم الأنواع الشهيرة من القلابات وتوضيح طريقة عملها وهي:
  - معرفة ودراسة دائرة القلاب S-R.
  - معرفة ودراسة دائرة القلاب J-K.
  - معرفة ودراسة دائرة القلاب D.
- التعرف على أهم خصائص القلابات.
- فهم جدول الحقيقة وتحليل المخططات الزمنية لدوائر القلابات.
- التعرف على أهم تطبيقات القلابات.
- التعرف على أهم شرائح الدوائر المتكاملة ICs للقلابات والماسكات.

1- مقدمة Introduction

درسنا في الفصول السابقة الصنف الأول من الدوائر الرقمية وهي الدوائر المنطقية التوافقية Combinational Logic Circuit، هذه الدوائر تتكون من دخل وخرج، حيث يتحدد الخرج عند أي لحظة بالدخل الموجود عند هذه اللحظة فقط، أي أنه لا يوجد أي نوع من أنواع التغذية المرتدة من الخرج إلى الدخل، ويعتمد خرج الدائرة فقط على القيم الحالية للدخل، من أمثلة هذه الدوائر التي درسناها دوائر المشفرات ومحللات الشفرة والنواخب والموزعات ودوائر الحساب وغيرها الكثير.

سنقوم في هذا الفصل بدراسة نوع جديد من الدوائر المنطقية الرقمية وهي القلابات Flip Flops أو ثنائية الاستقرار، وهي دوائر لها القدرة على تخزين قيمة منطقية إما واحد "1 " أو صفر "0 " أي خانة واحدة، لفترة زمنية تستمر طالما أن التيار الكهربائي لم ينقطع عن الدائرة، أو لم يتم تغيير هذه القيمة خارجياً.

تعتبر القلابات من أهم الدوائر المنطقية لتعدد استخداماتها ولكونها الوحدة الأساسية في بناء الدوائر المنطقية التعاقبية Sequential Logic Circuits، حيث نقوم في هذا الفصل بتوضيح بنائها وطريقة عملها مع تحليل جدول الحقيقة والمخطط الزمني لأنواعها المختلفة، وأهم تطبيقاتها.

2- الدوائر المنطقية التعاقبية Sequential Logic Circuits

تنقسم الدوائر المنطقية إلى نوعين:

- دوائر منطقية توافقية Combinational Logic Circuits:

يعتمد فيها الخرج في أي لحظة زمنية على المدخلات الموجودة في تلك اللحظة، وحدة البناء الأساسية فيها هي البوابات المنطقية Logic Gates.

- دوائر منطقية تعاقبية Sequential Logic Circuits:

يعتمد فيها الخرج في أي لحظة زمنية على المدخلات الموجودة في تلك اللحظة، وعلى الخرج السابق للدائرة، ويتميز بوجود ذاكرة، أي توجد لديها قدرة تخزينية تأتي من التغذية المرتدة Feedback حيث أن خرج الدائرة يتم أخذه عبر هذه التغذية المرتدة و إدخاله إلى الدائرة مرة أخرى مع متغيرات الدخل، وحدة البناء الأساسية فيها هي دائرة القلاب Flip-Flop Circuit.

سوف نهتم في هذا الفصل بدراسة تصميم دوائر الذاكرة التي تمثل القلابات، وفي الفصل القادم سوف نقدم بعض تطبيقات الدوائر المنطقية التعاقبية.

2–1 دوائر الماسكات Latch Circuits

دائرة الماسك Latch Circuit هو نوع من عناصر التخزين ثنائية الاستقرار والتي عادة ما توضع في تصنيف منفصل عن دوائر القلابات، والماسكات من حيث طبيعة العمل تشبه دوائر القلابات، لأنها عنصر ثنائي الاستقرار يمكن وضعه في إحدى حالتي الاستقرار بواسطة نظام التغذية المرتدة Feedback، والذي يوصل به الخرج خلفياً إلى الدخل المعاكس، والفرق الرئيس بين الماسكات والقلابات هو الطريقة المستخدمة لتغيير حالتي الاستقرار فقط.

الماسك latch هو نوع من المهتز ثنائي الاستقرار bistable multivibrator، أي دائرة يستقر خرجها على حالتين two states الواحد 1 أو الصفر 0، يتنقل مهتزاً بينهما تحت تأثير متغيرات الدخل، إذاً العمل الأساسي للماسك هو عبارة عن دائرة منطقية تعمل **كعنصر ذاكرة** ونقصد به العنصر القادر على اختزان قيمة منطقية ما واحد "1 " أو صفر "0 " أي خانة واحدة لفترة زمنية تستمر طالما أن التيار الكهربائي لم ينقطع عن الدائرة، أو لم يتم تغيير هذه القيمة خارجياً، وتتكون دائرة الماسك في معظم الأحيان من:

- بوابتي ناند NAND في حال كان يعمل على المستوى المنطقي المنخفض LOW.
- بوابتي نور NOR في حال كان يعمل على المستوى المنطقي المرتفع HIGH.

2–1–1 الماسك توضيع– تصفير اس ار The S-R (SET-RESET) Latch

الماسك من نوع توضيع – تصفير اس ار S-R (SET-RESET) Latch له مدخلين الأول يعرف بالمدخل الفعال أو مدخل الوضع في المستوى المنطقي واحد " 1 " (Set Input)، ويرمز له بالرمز (S)، والمدخل الآخر يعرف بالمدخل غير الفعال أو مدخل التصفير أي الوضع في المستوى المنطقي صفر " 0 " (Reset Input)، ويكون له مخرجان أحدهما يكون دائما عكس الآخر الأول الخرج الطبيعي يرمز له بالرمز Q، ويرمز للآخر بالخرج المتمم Q.

تسمى الحالة والتي يكون محتفظاً فيها بالقيمة المنطقية واحد " 1 " بحالة الوضع SET (S)، ويقال إن دائرة الماسك في حالة فعالة أو نشطة (Set Condition)، وذلك عندما يكون الخرج

$$Q = 1 \qquad \overline{Q} = 0$$

في حين تسمى الحالة الأخرى والتي يكون محتفظاً فيها بالقيمة المنطقية صفر " 0 " بحالة اعادة الوضع RESET(R) ، أو التصفير Clear، (، ويقال إن دائرة الماسك في حالة غير فعالة أو خاملة (Reset Condition)، وذلك عندما يكون الخرج

$$Q = 0 \qquad \overline{Q} = 1$$

ومن التعريف الأساسي للماسك نجد أنه:

- عندما نؤثر على مدخل التوضيع S بالمستوى المنطقي واحد " 1 " يكون المستوى المنطقي للخرج الطبيعي Q = 1 (الحالة الفعالة)، بغض النظر عن حالة Q السابقة، وبنفس الوقت يكون المستوى المنطقي للخرج المتمم $\overline{Q} = 1$.
- عندما نؤثر على مدخل التصفير R بالمستوى المنطقي واحد " 1 " يكون المستوى المنطقي للخرج الطبيعي Q = 0 (الحالة غير الفعالة)، بغض النظر عن حالة Q السابقة، وبنفس الوقت يكون المستوى المنطقي للخرج المتمم $\overline{Q} = 1$.
- عندما نؤثر على كل من المدخلين مدخل التوضيع S ومدخل التصفير R بالمستوى المنطقي واحد " 1 " يكون المستوى المنطقي للخرج غير محدد وغير معروف unpredictable، ويجب محاولة تفادي ذلك حتى نتجنب الإخلال بدائرة الماسك.
- عندما نؤثر على كل من المدخلين مدخل التوضيع S ومدخل التصفير R بالمستوى المنطقي صفر " 0 " لا يتغير المستوى المنطقي للخرج ويكون محتفظاً بحالته السابقة.

يمكن بناء دائرة الماسك من نوع توضيع – تصفير S-R (SET-RESET) Latch باستخدام بوابات نور NOR حيث يتم وصل مخرج كل بوابة إلى مدخل البوابة الأخرى كما هو موضح في الشكل (7–1)(b)، وهذا ينتج **التغذية المرتدة feedback** التي تعتبر خاصية كل من الماسكات والقلابات، وتسمى الدائرة في هذه الحالة بدائرة الماسك ذات المداخل الفعالة عند المستوى المرتفع Active High Inputs لأن المستوى المنطقي الفعال للبوابة نور NOR، هو واحد " 1 " (أي مستوى الدخل الذي يحدث عنده تغيير في حالة الخرج)، الجدول (7–1) جدول الحقيقة لدائرة الماسك هذه وهو كما يلي:

المدخلات Inputs		الخرج Outputs		وضع التشغيل Mode of Operation
S	R	Q	$\overline{Q}$	
0	0	NC	NC	حالة الامساك (عدم التغيير) No Change
0	1	0	1	حالة التصفير (الغير الفعال) Latch RESET
1	0	1	0	حالة التوضيع (الفعال) Latch SET
1	1	0	0	الحالة الممنوعة Invalid condition

الجدول (7–1) جدول الحقيقة لدائرة الماسك من نوع توضيع – تصفير S-R (SET-RESET) Latch ذات المداخل الفعالة عند المستوى المرتفع

من جدول الحقيقة يمكن ملاحظة الآتي:

1- عند وجود المستوى المنطقي صفر " 0 " على المدخلين R و S في نفس الوقت لا تتغير حالة الماسك، أي تظل قيمة الخرج Q كما هي، ويعرف هذا الوضع بحالة الإمساك، أو عدم التغيير.

2- عندما يكون المستوى المنطقي على الدخل R واحد " 1 " R= 1، والمستوى المنطقي على الدخل S صفر " 0 " S= 0، يتغير المستوى المنطقي للخرج Q، إلى صفر " 0 " أي أن Q= 0 (حالة التصفير أو الحالة غير الفعالة)، أما إذا كان الخرج Q= 0 أصلاً فيبقى كما هو بدون تغيير.

3- عندما يكون المستوى المنطقي على الدخل S واحد " 1 " S= 1، والمستوي المنطقي على الدخل R صفر " 0 " R= 0، يتغير المستوى المنطقي للخرج Q، إلى واحد " 1 " أي أن Q= 1 (حالة التوضيع أو الحالة الفعالة)، أما إذا كان الخرج Q= 1 أصلاً فيبقى كما هو بدون تغيير.

4- غير مسموح وجود المستوى المنطقي واحد " 1 " على الدخلين R و S في نفس الوقت، لأنه يمثل الحالة الفعالة للبوابة نور NOR، ومن ثم تصير المخارج في هذه الحالة غير معرفة.

5- حالة المخارج تتغير فقط عندما تتغير المداخل، وتحتفظ بحالتها بدون تغيير إذا ظلت المداخل بدون تغيير، أي أن دائرة الماسك تمسك على حالة معينة إذا لم تتغير المداخل، لذلك قيل إن لها خاصية الاحتفاظ بالبيانات بصفة مؤقتة.

ويمكن بناء دائرة الماسك الماسك من نوع توضيع – تصفير اس ار S-R (SET-RESET) Latch باستخدام بوابات ناند NAND حيث يتم وصل مخرج كل بوابة إلى مدخل البوابة الأخرى كما هو موضح في الشكل (7-1)(a)، وهذا ينتج **التغذية المرتدة feedback** التي تعتبر خاصية كل من الماسكات والقلابات وتسمى الدائرة في هذه الحالة بدائرة الماسك ذات المداخل الفعالة عند المستوى المنخفض Active Low Inputs لأن المستوى المنطقي الفعال للبوابة ناند NAND هو صفر " 0 " (أي مستوى الدخل الذي يحدث عنده تغيير في حالة الخرج). الجدول (7-2) جدول الحقيقة لدائرة الماسك هذه وهو كما يلي:

المدخلات Inputs		الخرج Outputs		وضع التشغيل Mode of Operation
$\overline{S}$	$\overline{R}$	Q	$\overline{Q}$	
0	0	1	1	الحالة الممنوعة Invalid Condition
0	1	1	0	حالة التوضيع (الفعال) Latch SET
1	0	1	0	حالة التصفير (الغير الفعال) Latch RESET
1	1	NC	NC	حالة الامساك (عدم التغيير) No Change

الجدول (7-2) جدول الحقيقة لدائرة الماسك من نوع توضيع – تصفير S-R (SET-RESET) Latch ذات المداخل الفعالة عند المستوى المنخفض

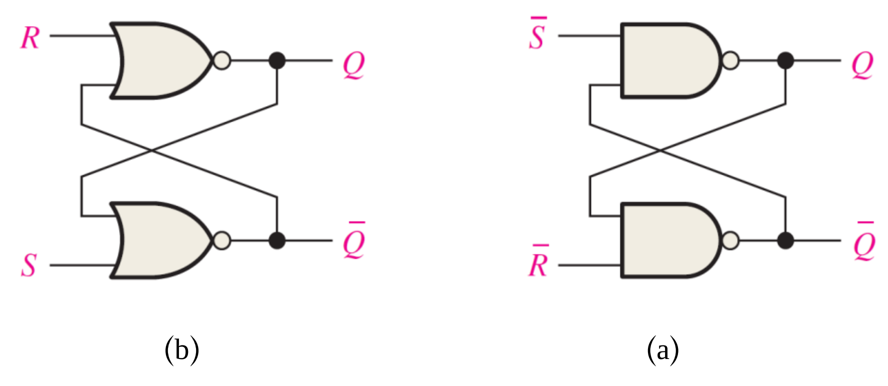
من جدول الحقيقة يمكن ملاحظة الآتي:

1- عند وجود المستوى المنطقي واحد " 1 " على المدخلين $\overline{R}$ و $\overline{S}$ في نفس الوقت لا تتغير حالة الماسك، أي تظل قيمة الخرج Q كما هي، ويعرف هذا الوضع بحالة الإمساك، أو عدم التغيير.

2- عندما يكون المستوى المنطقي على الدخل $\overline{R}$ صفر " 0 " $\overline{R}= 0$ ، والمستوى المنطقي على الدخل $\overline{S}$ واحد " 1 " $\overline{S}= 1$ يتغير المستوى المنطقي للخرج Q، إلى صفر " 0 " أي يكون Q= 0 (حالة التصفير أو الحالة غير الفعالة)، أما إذا كان الخرج Q= 0 أصلاً فيبقى كما هو بدون تغيير.

3- عندما يكون المستوى المنطقي على الدخل $\overline{S}$ صفر " 0 " $\overline{S}= 0$، والمستوى المنطقي على الدخل $\overline{R}$ واحد " 1 " $\overline{R}= 1$ ، يتغير المستوى المنطقي للخرج Q، إلى واحد " 1 " أي أن Q= 1 (حالة التوضيع أو الحالة الفعالة)، أما إذا كان الخرج Q= 1 أصلاً فيبقى كما هو بدون تغيير.

4- غير مسموح وجود المستوى المنطقي صفر " 0 " على الدخلين $\overline{R}$ و $\overline{S}$ في نفس الوقت، لأنه يمثل الحالة الفعالة للبوابة ناند NAND، ومن ثم تصير المخارج في هذه الحالة غير معرفة.

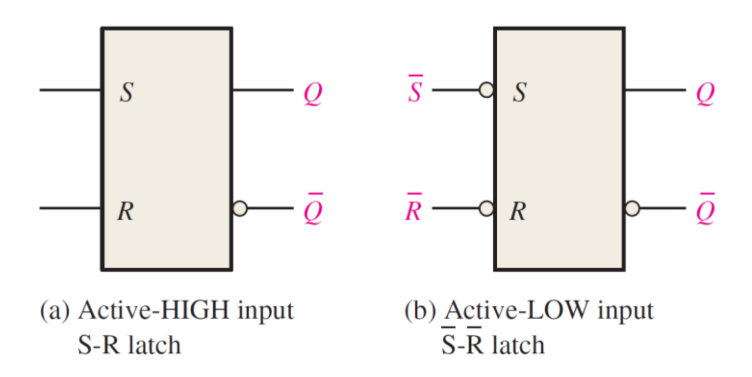


الشكل (7-1) دائرة الماسك من نوع توضيع – تصفير اس ار S-R (SET-RESET) Latch ذو المدخلات الفعالة المرتفعة في (a)، وذو المدخلات المنخفضة الفعالة في (b).

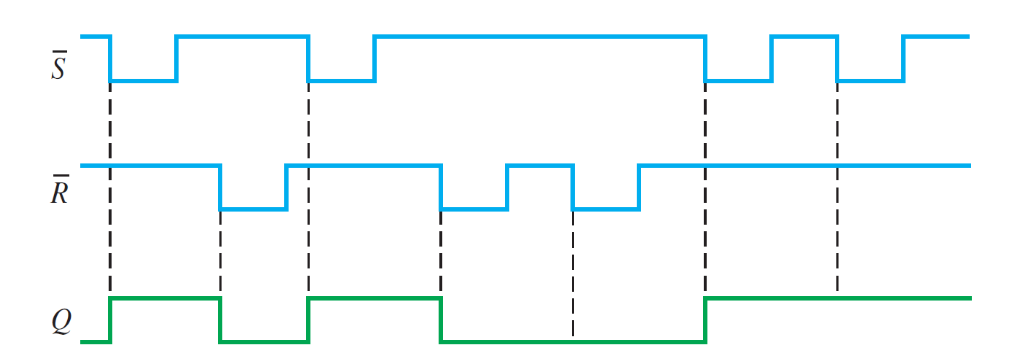
يظهر الشكل (7-2) الرمز المنطقي لكل من دائرة الماسك اس ار S-R ذو المدخلات الفعالة المرتفعة في (a)، وذو المدخلات الفعالة المنخفضة في (b).

يظهر (7-3) شكل موجة الخرج للماسك ذو المدخلات المنخفضة الفعالة، عند تطبيق أشكال موجات على الدخل، مع الفرض أن الحالة الابتدائية للخرج Q هي الحالة المنخفضة LOW.

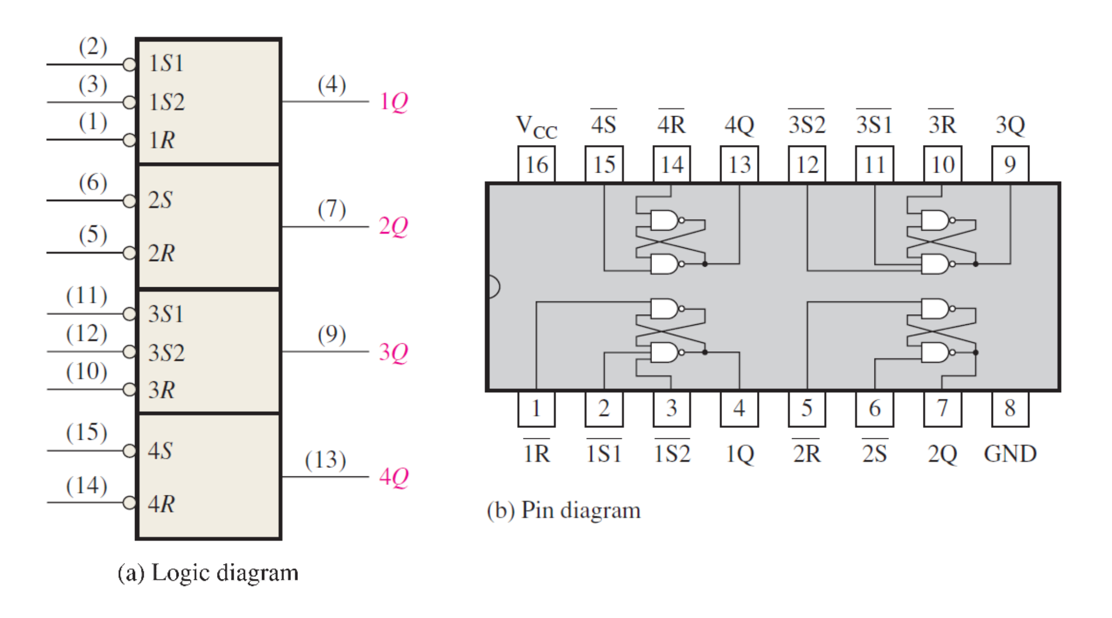
الرمز المنطقي، مع مخطط توزع الأرجل (البنات) لشريحة الدائرة المتكاملة للماسك من نوع توضيع – تصفير اس ار S-R (SET-RESET) Latch ذو المدخلات الفعالة المنخفضة، التي تحمل الرقم 74HC279A، تظهر في الشكل (7-4)، تحتوي شريحة هذه الدائرة على أربع دوائر ماسك، مع ملاحظة أنه يوجد اثنين من الماساكات لها اثنين من مداخل التوضيع $\overline{S}$.



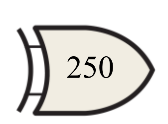
الشكل (7–2) المخطط المنطقي للماسك اس ار S-R مع المداخل الفعالة المرتفعة في(a)، وذو المدخلات الفعالة المنخفضة في(b)



الشكل (7–3) شكل موجة الخرج للماسك ذو المدخلات المنخفضة الفعالة



الشكل (7–4) الرمز المنطقي، مع مخطط توزع الأرجل (البنات) لشريحة الدائرة المتكاملة للماسك من نوع اس ار S-R ذو المدخلات الفعالة المنخفضة، وتحتوي أربع ماسكات، والتي تحمل الرقم 74HC279A



2-1-2 الماسك توضيع تصفير اس ار S-R المتزامن The Gated S-R Latch

يعرف الماسك اس ار S-R الأساسي السابق دراسته بالماسك غير المتزامن نظراً لتغيير وضع الخرج الطبيعي Q مباشرة مع تغيير المدخلات فور التأثير بالمستوى المنطقي الفعال، كما يحدث في الدوائر المنطقية التوافقية، ولذلك فإن الدوائر المنطقية التوافقية ودوائر الماسك تعمل بشكل لا تزامني.

إن النظم الالكترونية المنطقية تحتاج إلى دوائر ماسك متزامن للتغلب على المشاكل التي قد تحدث عن تأخير انتقال المعلومات خلال النظام مما يعوق تسلسل المعلومات طبقاً للتوقيت الزمني المطلوب، ولذا فإن الماسك اس ار S-R المتزامن A gated S-R latch (*synchronous*) يعمل وفقاً لنبضات توقيت، أي يعمل تزامنياً.

ويمكن القول بأن كلمة تزامن *synchronous* تعني أن الخرج سوف يتغير فقط عند نقطة محددة من نبضات التزامن أو ما يطلق عليه نبضات الساعة Clock Pulses وسوف نكتب اختصاراً CLK، أي لا يتغير الخرج إلا بناءً على إعطاء نبضة تزامن للخرج Clock أو نبضة سماح وتمكين Enable واختصاراً EN للخرج (إشارة السماح والتمكين Enable تشبه في عملها إلى حد كبير إشارة التزامن Clock)، فإذا كانت إشارة التزامن مرتفعة HIGH أي مساوية واحد 1 تمر إشارات الدخل S و R إلى الماسك، ويستجيب لها بالصورة المعتادة، أما إذا كانت إشارة التزامن منخفضة LOW أي تساوي الصفر 0، فيتم حجب إشارات الدخل عن الماسك، ويظل الماسك محتفظاً بحالته السابقة، الشكل (7-5) يظهر الرمز المنطقي مع المخطط المنطقي للماسك اس ار S-R المتزامن A gated S-R latch (البوابة نفي أور NOT-OR تكافئ البوابة ناند NAND)، وفيه نلاحظ وجود مدخل اضافي لنبضة التزمن أو نبضة الساعة CLK (نبضة التمكين EN).

الشكل (7-6) يظهر شكل موجة الخرج لهذا الماسك عند تطبيق موجات الدخل الموضحة حيث الحالة الابتدائية هي الحالة المنخفضة LOW، وهو يعمل على الحافة الصاعدة، ونلاحظ من الشكل عندما:

- الدخل S= HIGH و R= LOW

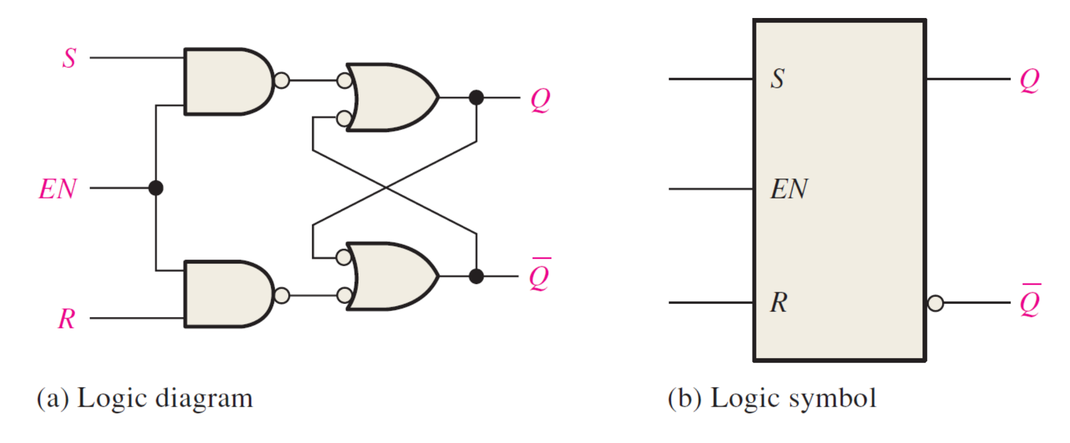
اشارة التزامن أو التمكين EN= HIGH توضّع الماسك، والخرج يصبح بالحالة المرتفعة HIGH.

- الدخل S= LOW و R= HIGH

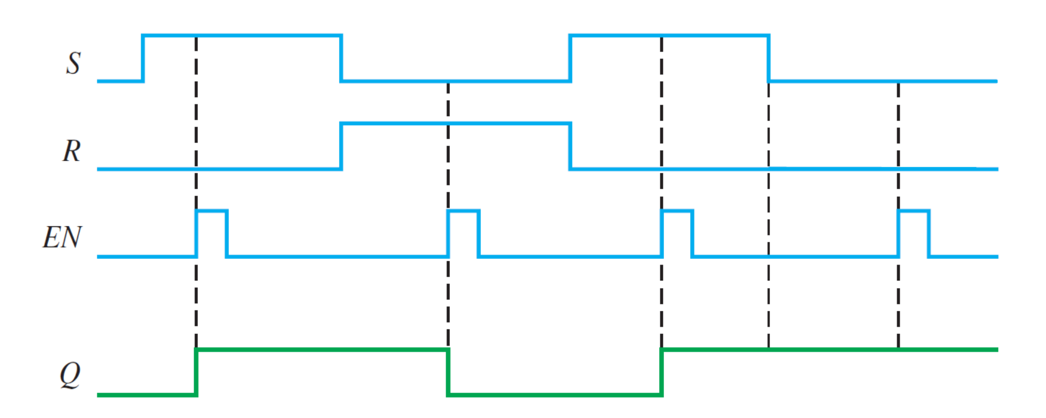
اشارة التزامن أو التمكين EN= HIGH تصفّر الماسك، والخرج يصبح بالحالة المنخفضة LOW.

- عندما كل من

الدخل S= LOW و R= LOW الخرج لا يتغير ويحافظ على حالته.



الشكل (7–5) المخطط المنطقي في (a) والرمز المنطقي في (b) للماسك اس ار S-R المتزامن A gated S-R latch



الشكل (7–6) شكل موجة الخرج للماسك اس ار S-R المتزامن

3–1–2 الماسك دي D المتزامن The Gated D Latch

هو نوع آخر من الماسك المتزامن يدعى الماسك دي D Latch، وهو ماسك اس ار S-R متزامن تم ربط طرفي الدخل اس ار S-R له في طرف دخل واحد هو دي D باستخدام بوابة نفي، أي يختلف عن الماسك اس ار S-R بأن له مدخل وحيد فقط بالاضافة لمدخل التزامن، ويمكن الحصول عليه من القلاب S-R بوصل المدخل D إلى المدخل S مباشرة ووصل متممه إلى المدخل R، فإذا كان:

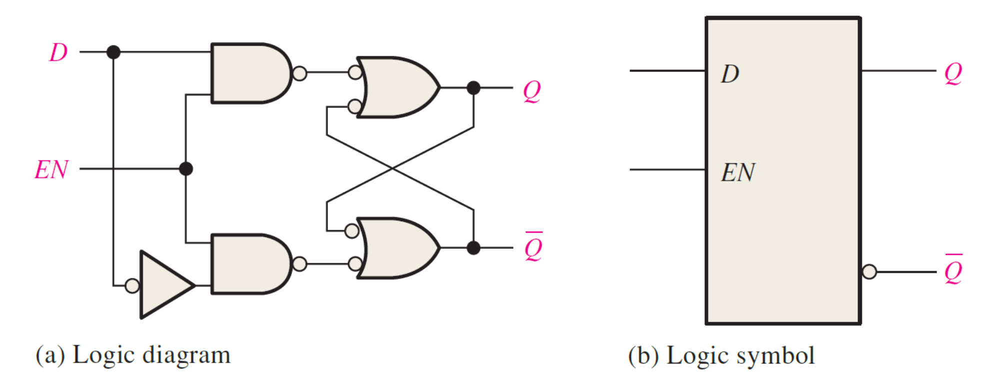
– الدخل دي D عند المستوى المنطقي المرتفع HIGH أي يساوي واحد 1 ونبضة التزامن والتمكين بالحالة المرتفعة HIGH فالخرج سيكون في حالة الوضع أي الخرج في الحالة المرتفعة HIGH.

– الدخل دي D عند المستوى المنطقي المنخفض LOW أي يساوي صفر 0 ونبضة التزامن والتمكين بالحالة المرتفعة HIGH فالخرج سيكون في حالة التصفير أي الخرج في الحالة المنخفضة LOW.

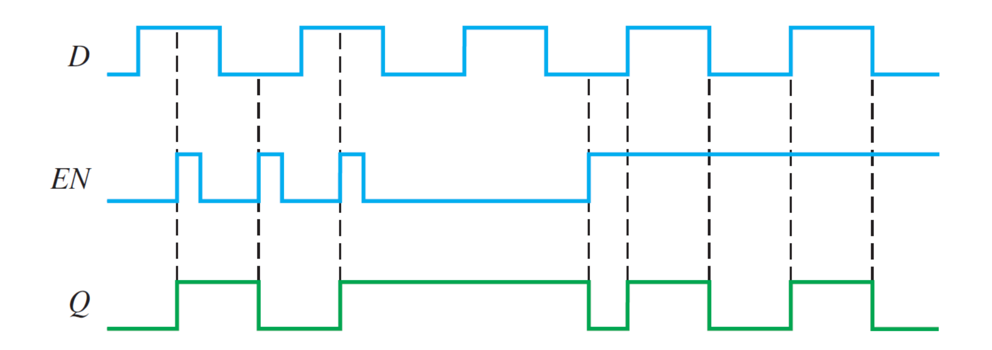
الشكل (7–7) يظهر الرمز المنطقي مع المخطط المنطقي للماسك دي D المتزامن، الشكل (7–8) يظهر شكل موجة



الخرج لهذا الماسك عند تطبيق موجات الدخل الموضحة حيث الحالة الابتدائية هي الحالة المنخفضة LOW، وهو يعمل على الحافة الصاعدة.



الشكل (7-7) المخطط المنطقي في (a) والرمز المنطقي في (b) للماسك دي D المتزامن

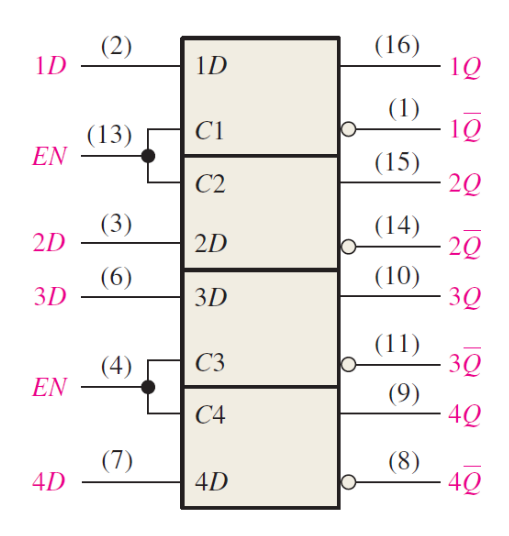


الشكل (7-8) شكل موجة الخرج للماسك دي D المتزامن

الجدول (7-3) جدول الحقيقة للماسك من نوع دي D Latch يكون:

المدخلات Inputs		الخرج Outputs		وضع التشغيل Mode of Operation
D	**EN**	**Q**	**$\overline{Q}$**	
0	**1**	**0**	**1**	حالة التصفير (الغير الفعال) **Latch RESET**
1	**0**	**1**	**0**	حالة التوضيع (الفعال) **Latch SET**
1	**1**	**NC**	**NC**	الماسك يبقى على حالته (عدم التغيير) **No Change**

الرمز المنطقي لشريحة الدائرة المتكاملة للماسك من نوع دي D Latch ذو المدخلات الفعالة المنخفضة، التي تحمل الرقم 74HC75، تظهر في الشكل (7–9)، تحتوي شريحة هذه الدائرة على أربع داوائر ماسك، مع ملاحظة أنه يوجد لكل ماسكين مدخل تزامن وتمكين واحد EN.



الشكل (7–9) الرمز المنطقي، لشريحة الدائرة المتكاملة للماسك من نوع دي D Latch، تحتوي أربع ماسكات، والتي تحمل الرقم 74HC75

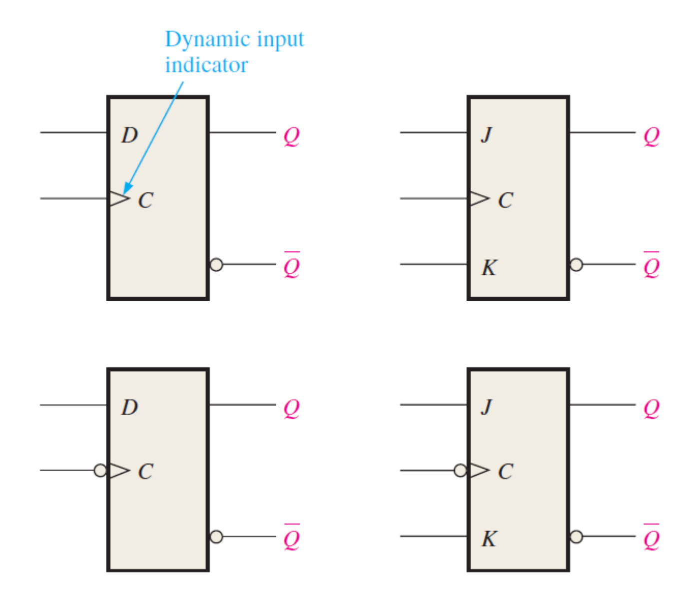
3– القلابات Flip-Flops

القلابات Flip-Flops هي أجهزة ثنائية الاستقرار متزامنة Synchronous Bistable Devices، فالقلاب هو ماسك محكوم بنبضات تزامن، ولكن الخرج لا يتغير تبعا للدخل إلا عند حافة نبضة التزامن (الساعة) فقط (CLK) **clock**، سواء الحافة الصاعدة للنبضة أو الحافة الهابطة Flip-Flops are Edge-Triggered or Edge-Sensitive وسنرى كيف يتم ذلك.

في الماسك كان الخرج يتغير طالما أن طرف التزامن CK= 1، بينما القلاب لن يتغير الخرج إلا في وجود حافة للطرف CK أي أنه حتى لو تغير الدخل اس S و ار R وكان طرف التزامن CK= 1 فإن الخرج لن يتغير إلا بعد عبور طرف التزامن CK لحافة معينة سواءً كانت الحافة الصاعدة أو الهابطة.

سنغطي في هذا الفصل نوعين من القالابات المتزامنة فقط، القلاب دي D، والقلاب جي كا J-K، حيث يظهر الشكل (7–10) أشكال رموزها المنطقية، حيث يظهر في الشكل:

- رمز المثلث يدل على مؤشر الدخل الديناميكي The Dynamic Input Indicator أي أن هذا الطرف يكون فعالاً عند حافة وليس عند مستوى للإشارة على هذا الطرف.
- وجود دائرة عند مدخل هذا الطرف تعني أنه يكون فعالا مع الحافة الهابطة للنبضة على هذا الطرف.
- عدم وجود دائرة عند هذا الطرف تعني أنه فعال عند الحافة الصاعدة للنبضة.



الشكل (7–10) الرموز المنطقية للقلاب جي كا J-K وللقلاب دي D، مع اظهار مؤشر الدخل الديناميكي

3–1 القلاب دي (D) The D Flip-Flop

الحرف دي D هنا اختصار لكلمة بيانات DATA وهو قلاب بدخل متزامن، أي البيانات على الدخل تمر إلى الخرج فقط مع حافة القدح لنبضة التزامن clock pulse، واختصاراً C، يعتبر القلاب دي D من أشهر أنواع القلابات وأكثرها انتشاراً، يعمل القلاب على الشكل التالي:

– الدخل دي D في الحالة المرتفعة D= HIGH أي يساوي واحد 1، فإن الخرج يتحول إلى الحالة المرتفعة Q= HIGH مع حافة القدح لنبضة الساعة، والقلاب يكون في حالة التوضيع SET.

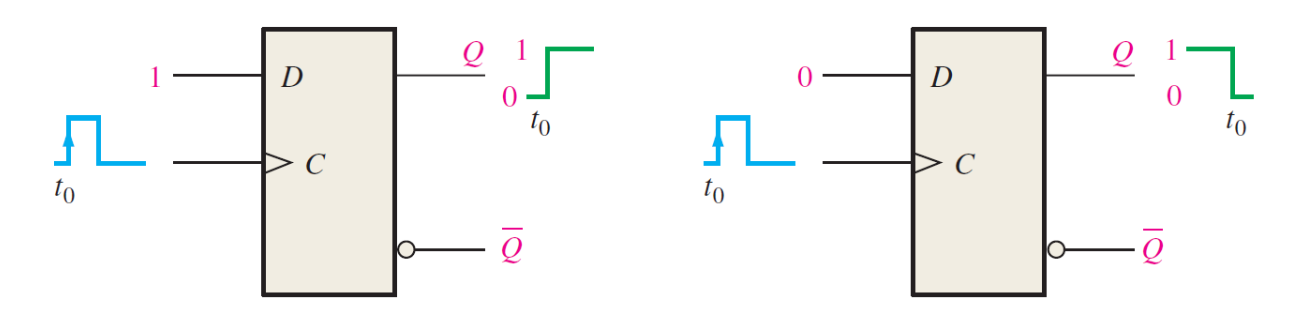
– الدخل دي D في الحالة المنخفضة D= LOW أي يساوي صفر 0، فإن الخرج يتحول إلى الحالة المنخفضة Q= LOW مع حافة القدح لنبضة الساعة، والقلاب يكون في حالة التصفير RESET.

عملية تشغيل القلاب دي D مع حافة قدح صاعدة موجبة Positive Edge-Triggered Flip-Flop موضحة في الشكل (7–11)، تذكر أن القلاب لا يمكن أن يغير حالته إلا مع حافة القدح لنبضة التزامن، والخرج Q يتبع الدخل D.

يعرض الجدول (7–4)جدول الحقيقة للقلاب دي D، حيث يشير السهم للأعلى على أن نبضة التزامن CLk تنتقل من الحالة المنخفضة LOW إلى الحالة المرتفعة HIGH.

Inputs		Outputs		
D	CLK	*Q*	$\overline{Q}$	Comments
0	↑	0	1	RESET
1	↑	1	0	SET

الجدول (7–4)جدول الحقيقة للقلاب دي D



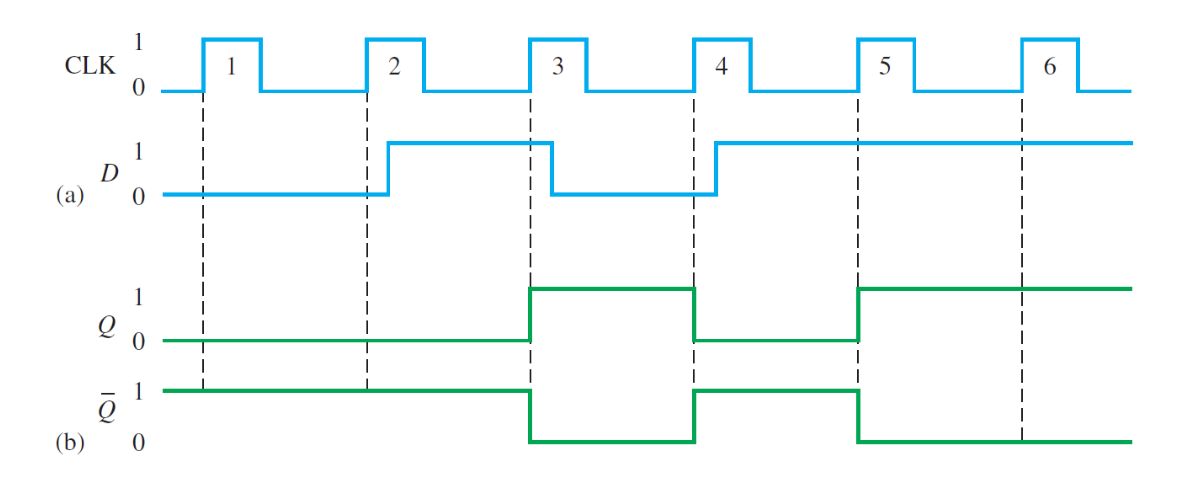
الشكل (7-11) قلاب من نوع دي D يعمل على حافة القدح الصاعدة a Positive Edge-Triggered D Flip-Flop

نلاحظ من الشكل أنه عندما:

– عندما D= 1، فإن الخرج يكون في حالة الوضع SET، ويتغير الخرج إلى الحالة المرتفعة واحد 1 مع الحافة الصاعدة الموجبة لنبضة التزامن، وإذا كان في الأصل D= 1 يبقى على حاله.

–عندما D= 0، فإن الخرج يكون في حالة التصفير RESET، ويتغير الخرج إلى الحالة المنخفضة صفر 0 مع الحافة الصاعدة الموجبة لنبضة التزامن، وإذا كان في الأصل D= 0 يبقى على حاله.

الشكل (7-12) يظهر شكل موجة الخرج للقلاب دي D عند تطبيق موجات الدخل الموضحة، حيث الحالة الابتدائية هي الحالة المنخفضة LOW، وهو يعمل على الحافة الصاعدة a Positive Edge-Triggered D Flip-Flop.



الشكل (7-12) شكل موجة الخرج للقلاب من نوع دي D يعمل على حافة القدح الصاعدة Positive edge-Triggered D Flip-Flop حيث تظهر في (a) شكل موجة الدخل مع نبضة التزامن CLK وفي (b) أشكال موجة الخرج الطبيعي والخرج المتمم

من الشكل (7-12) نلاحظ أن الخرج كان في حالة التصفير Q= 0 (RESET)

- عند نبضة التزامن clock pulse 1 الدخل D = LOW فإن الخرج يبقى في حالة التصفير Q= LOW (RESET)
- عند نبضة التزامن clock pulse 2 الدخل D = LOW فإن الخرج يبقى في حالة التصفير Q= LOW (RESET)
- عند نبضة التزامن clock pulse 3 الدخل D = HIGH فإن الخرج ينتقل إلى حالة التوضيع Q= HIGH (SET)
- عند نبضة التزامن clock pulse 4 الدخل D = LOW فإن الخرج ينتقل إلى حالة التصفير Q= LOW (RESET)
- عند نبضة التزامن clock pulse 5 الدخل D = HIGH فإن الخرج ينتقل إلى حالة التوضيع Q= HIGH (SET)
- عند نبضة التزامن clock pulse 6 الدخل D = HIGH الخرج يبقى في حالة التوضيع Q= HIGH (SET)

3-2 القلاب جي كا (J-K) The J-K Flip-Flop

القلاب جي كا The J-K Flip-Flop هو قلاب متزامن مداخله هي جي وكا J, K، ويعتبر من أكثر القلابات استخداماً. البيانات على الدخل تمر إلى الخرج فقط مع حافة القدح لنبضة التزامن clock pulse، طريقة عمله تماثل تماماً القلاب اس ار S-R، في الأوضاع الثلاثة الأولى للتشغيل وهي عدم التغير والإمساك، حالة التوضيع، حالة إعادة التوضيع أو التصفير، والفرق فقط في الحالة الأخير أنها حالة مسموحة، أي عندما يكون كلا المدخلين في الحالة المرتفعة HIGH فإن القلاب يغير حالته، وهذا يسمى **نمط التبديل Toggle Mode**، أي تتغير الحالة بين المخارج، فإن كان الخرج الطبيعي بالحالة المرتفعة HIGH يصبح بالحالة المنخفضة LOW، والعكس بالعكس بالنسبة للخرج المتمم.

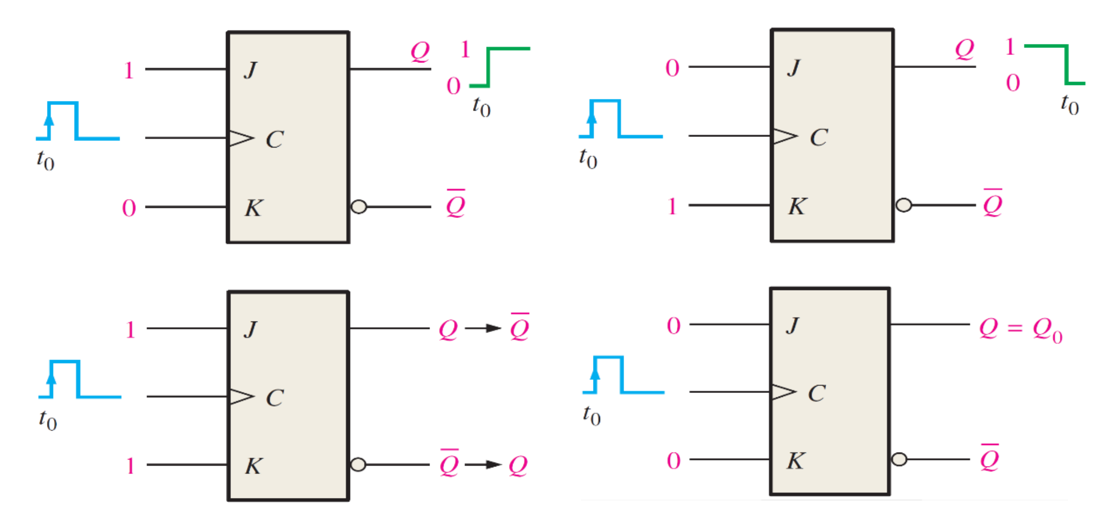
عملية تشغيل القلاب جي كا J-K مع حافة قدح صاعدة موجبة positive edge-triggered flip-flop موضحة في الشكل (7-13).

يعرض الجدول (7-5) جدول الحقيقة للقلاب جي كا J-K، حيث يشير السهم للأعلى على أن نبضة التزامن CLK تنتقل من الحالة المنخفضة LOW إلى الحالة المرتفعة HIGH.

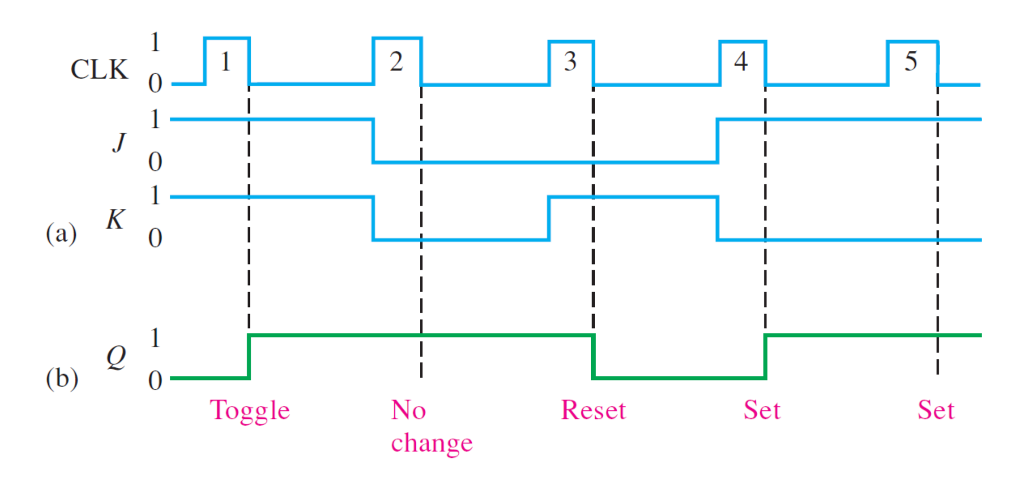
الشكل (7-14) يظهر شكل موجة الخرج للقلاب جي كا J-K عند تطبيق موجات الدخل الموضحة، حيث الحالة الابتدائية هي الحالة المنخفضة LOW، وهو يعمل على الحافة الهابطة a Negative Edge-Triggered Flip-Flop

Inputs			Outputs		
J	*K*	CLK	*Q*	$\overline{Q}$	Comments
0	0	↑	Q_0	$\overline{Q}_0$	No change
0	1	↑	0	1	RESET
1	0	↑	1	0	SET
1	1	↑	$\overline{Q}_0$	Q_0	Toggle

الجدول (7-5) جدول الحقيقة للقلاب جي كا J-K



الشكل (7-13) قلاب من نوع جي كا J-K يعمل على حافة القدح الصاعدة a positive edge-triggered J-K flip-flop



الشكل (7-14) شكل موجة الخرج للقلاب من نوع جي كا J-K يعمل على حافة القدح الهابطة a negative edge-triggered J-K flip-flop حيث تظهر في (a) شكل موجة الدخل مع نبضة التزامن وفي (b) أشكال موجة الخرج الطبيعي والخرج المتمم

من الشكل (7-14) نلاحظ أن الخرج سوف يتغير عند الحافة الهابطة، والحالة الابتدائية له هي حالة التصفير Q= 0 (RESET)

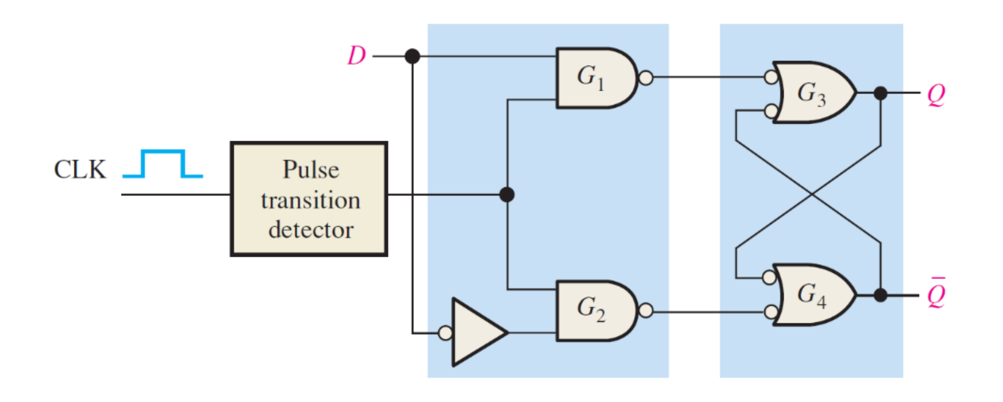
- عند نبضة التزامن clock pulse 1 كلا الدخلين J= K = 1 نمط التبديل toggle وبالتالي ينتقل الخرج إلى الحالة المرتفعة Q= HIGH (SET).
- عند نبضة التزامن clock pulse 2 لا يوجد تغيير على حالة الدخلين، لذلك الخرج لا يتغير ويحافظ على حالته في حالة التوضيع Q= HIGH (SET).

- عند نبضة التزامن clock pulse 3 الدخلين يصبحان J= LOW- K = HIGH فإن الخرج ينتقل إلى حالة التصفير Q= LOW (RESET).
- عند نبضة التزامن clock pulse 4 الدخلين يتغيران J= HIGH - K = LOW فإن الخرج ينتقل إلى حالة التوضيع Q= HIGH (SET).
- عند نبضة التزامن clock pulse 5 شروط حالة التوضيع ماتزال موجودة على الدخلين، لذلك الخرج لا يتغير ويحافظ على حالة التوضيع Q= HIGH (SET).

3-3 عملية القدح عند الحافة Edge-Triggered Operation

لجعل القلاب يغير من حالته عند أي حافة لنبضة الساعة سواء الحافة الصاعدة أو الهابطة، فإنه يتم وضع حساس للحافة عند مدخل نبضات التزامن في القلاب، كاشف (حساس) حافة النبضة Pulse Transition Detector عبارة عن دائرة تدخل لها نبضة التزامن CLK بأي زمن للدورة، فتعطي في الخرج نبضة ذات فترة زمنية قصيرة جداً يقدر عرضها الزمني بعدد قليل من الميكروثانية عند الحافة المطلوبة سواء كانت الحافة الصاعدة أو الهابطة.

الشكل (7-15) يظهر الشكل المبسط لعملية قدح القلاب من نوع دي D flip-flop D، مع التذكرة أن الاختلاف الأساسي للقلاب دي D عن الماسك من نوع دي D المتزامن the gated D latch فقط في أنه يمتلك كاشف (حساس حافة a pulse transition detector لكشف التحول والانتقال في حالة النبضة عند مدخل نبضات التزامن في القلاب.



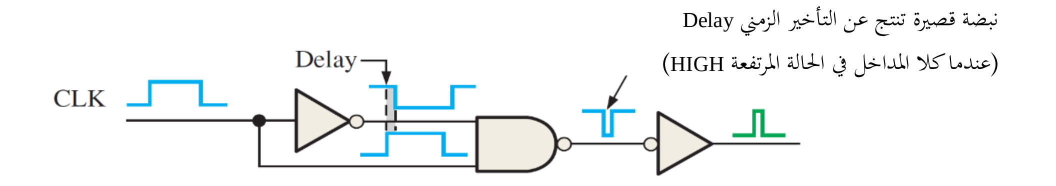
الشكل (7-15) الشكل المبسط لعملية قدح القلاب من نوع دي (D) flip-flop D

أحد أنواع كاشف انتقال حالة النبضة a pulse transition detector يعرضه الشكل (7-16)، نلاحظ أنه أنها دائرة تتألف من بوابة ناند NAND تم احداث تأخير زمني Delay على أحد دخليها عن الآخر بمقدار زمن مرور الاشارة على بوابة

نفي NOT واحدة، بحيث أن نبضة التزامن المعكوسة تصل على مدخل البوابة بعض مدة زمنية تقدر بالمكرو ثانية بعد نبضة التزامن الأساسية CLK. وهو مقدار عرض النبضة القصيرة الناتجة عند حالة التحول الموجبة، التي ستسبب إطلاق الدخل وتغيير الخرج.

عندما يقدح القلاب على الحافة الهابطة نبضة التزامن تنعكس أولاً علي بوابة النفي، ثم تنتج نبضة قصيرة عند التحول السالب.

بالطبع فإن الإطلاق عند الحافة النازلة أو الصاعدة ليس مقصورا على القلاب دي D فقط، بل يمكن تطبيقه مع كل أنواع الماسكات أو القلابات، بل إن معظم القلابات تعمل عند حافة نبضة الساعة سواء الصاعدة أو النازلة.

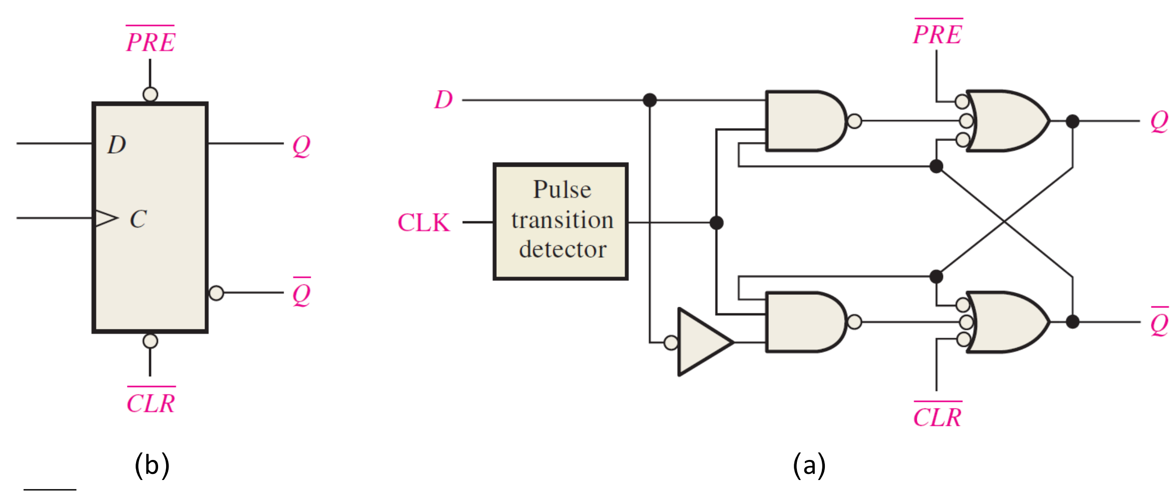


الشكل (7–16) كاشف انتقال حالة النبضة a pulse transition detector

3–4 المداخل غير المتزامنة Asynchronous Preset and Clear Inputs

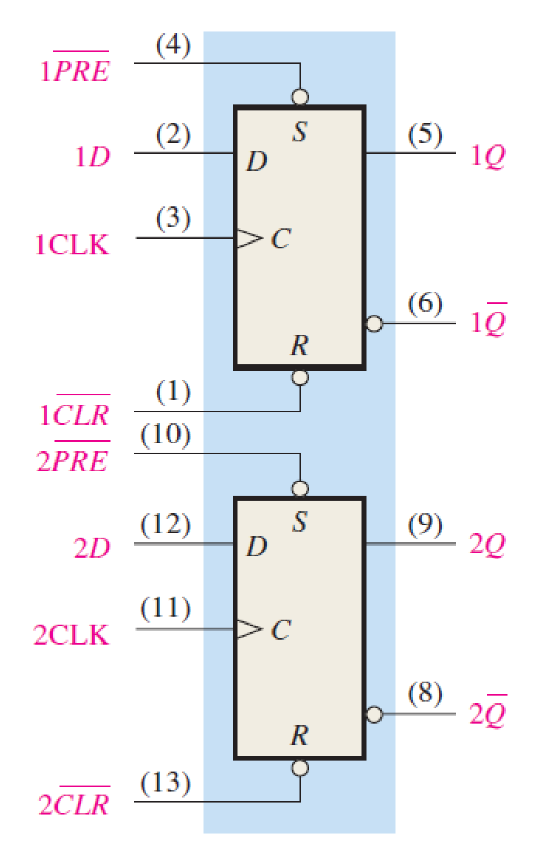
كانت المداخل بالنسة للقلابات المدروسة المداخل J وK وD مداخل متزامنة، لأنه لا يحدث لها تأثير على الخرج إلا إذا كانت هناك نبضة تزامن، أي أن هذه المداخل متزامنة مع نبضات التزامن، أحيانا تضطرنا الحاجة إلى إضافة مدخلات غير متزامنة مع نبضات التزامن لتؤدي عمل ما، حيث تستخدم في الكثير من التطبيقات لوضع حالات ابتدائية على خرج القلاب، كأن نضع خرج القلاب في حالة تصفير أي Q= 0 ، أو حالة توضيع Q= 1، قبل البدء بالتشغيل، أي ودونال اعتماد على نبضات التزامن لإدخال هذه الحالات.

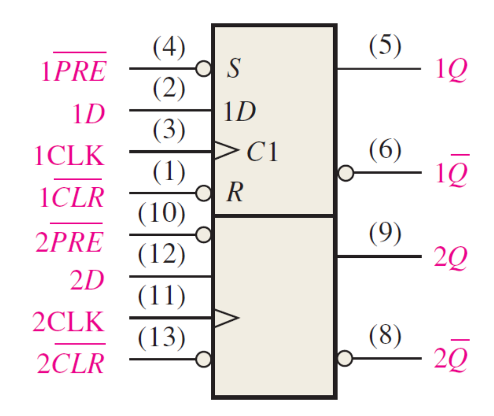
الشكل (7–17) يبين التركيب الداخلي لقلاب من نوع دي D بعد اضافة مدخلين غير متزامنين له، المدخل الأول هو **مدخل التصفير** (*CLR*) **clear**، وهو مدخل يعمل على الحالة المنخفضة LOW ($\overline{\text{CLR}}$)، أي عند وضع صفر 0 على هذا المدخل يتم تصفير الخرج أي Q= 0، والمدخل الثاني هو **مدخل التوضيع** (PRE) **Preset** وهو مدخل يعمل على الحالة المنخفضة LOW ($\overline{\text{PRE}}$)، الذي عندما يكون صفر 0 يجبر الخرج على أن يكون واحد 1 أي Q= 1، دون النظر أيضاً لنبضات التزامن CLK.



الشكل (7–17) المخطط المنطقي في (a) لقلاب من نوع دي D بعد اضافة مدخلين غير متزامنين مدخل التصفير $\overline{\text{clear}}$ ومدخل التوضيع $\overline{\text{Preset}}$ وكل منهما فعال على الحالة المنخفضة، في (b) الرمز المنطقي

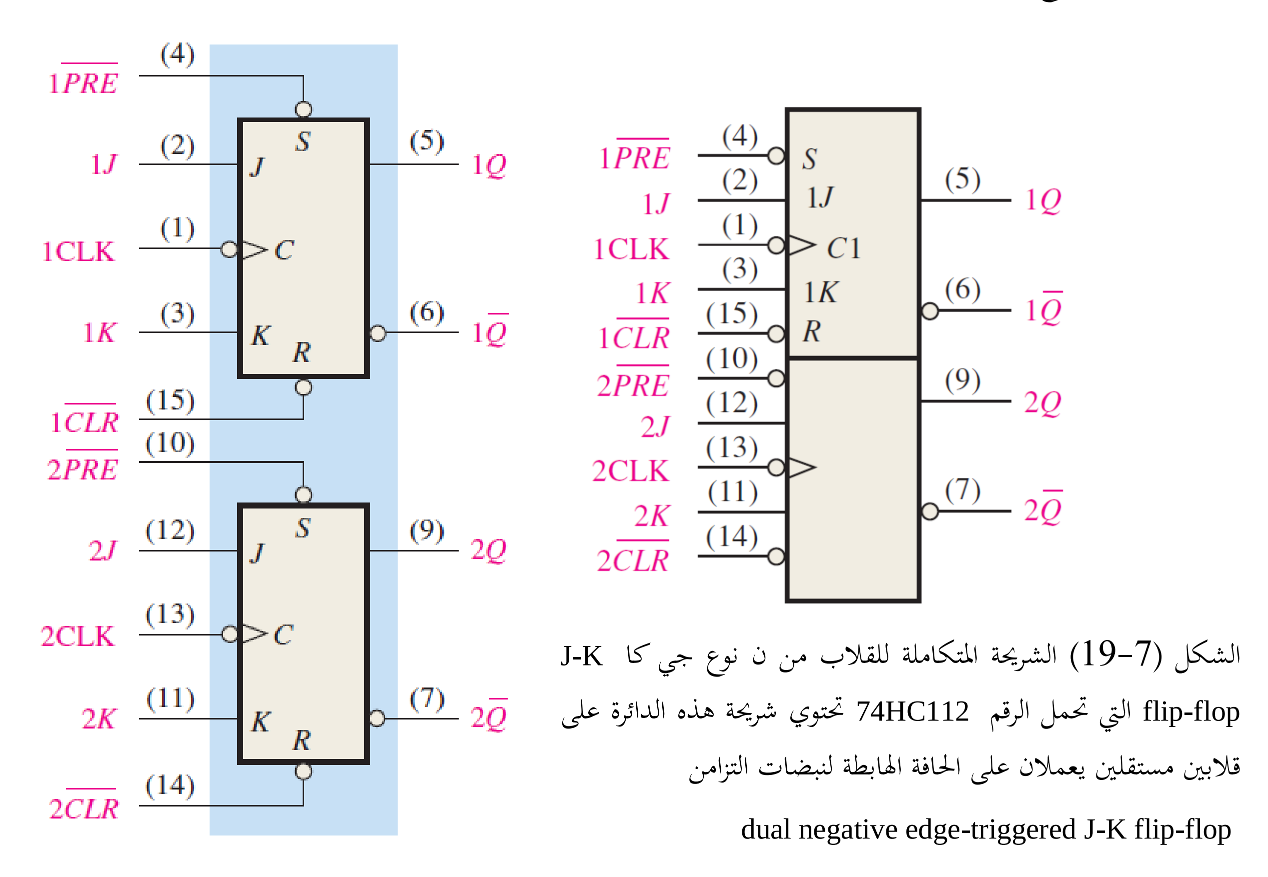
الرمز المنطقي لشريحة الدائرة المتكاملة للقلاب من نوع دي D flip-flop التي تحمل الرقم 74HC74، تظهر في الشكل (7–18)، تحتوي شريحة هذه الدائرة على قلابين مستقلين يعملان على الحافة الصاعدة لنبضات التزامن a positive edge-triggered D flip-flop، وللشريحة طرف توضيع وطرف تصفير فعالان عند الحالة المنخفضة، يرمز داخلياً لهما بالرمز R للتصفير و S للتوضيع.





الشكل (7–18) الشريحة المتكاملة للقلاب من نوع دي D flip-flop التي تحمل الرقم 74HC74 تحتوي شريحة هذه الدائرة على قلابين مستقلين يعملان على الحافة الصاعدة لنبضات التزامن a positive edge-triggered D flip-flop

الرمز المنطقي لشريحة الدائرة المتكاملة للقلاب من نوع جي كا J-K flip-flop التي تحمل الرقم 74HC112، تظهر في الشكل (7–19)، تحتوي شريحة هذه الدائرة على قلابين مستقلين يعملان على الحافة الهابطة لنبضات التزامن dual negative edge-triggered J-K flip-flop وللشريحة طرف توضيع وطرف تصفير فعالان عند الحالة المنخفضة، يرمز داخلياً لهما بالرمز R للتصفير و S للتوضيع.



الشكل (7–19) الشريحة المتكاملة للقلاب من ن نوع جي كا J-K flip-flop التي تحمل الرقم 74HC112 تحتوي شريحة هذه الدائرة على قلابين مستقلين يعملان على الحافة الهابطة لنبضات التزامن

dual negative edge-triggered J-K flip-flop

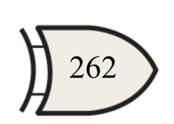
3–5 خصائص التشغيل للقلابات Flip-Flop Operating Characteristics

يعتمد الأداء ومتطلبات أو محددات التشغيل بالنسبة للقلابات على عدد من الخصائص أو البارامترات الموجودة على ورقة البيانات للجهاز، وبصفة عامة، تنطبق الخصائص على القلابات من نوع CMOS ومن نوع TTL.

أهم هذه الخصائص:

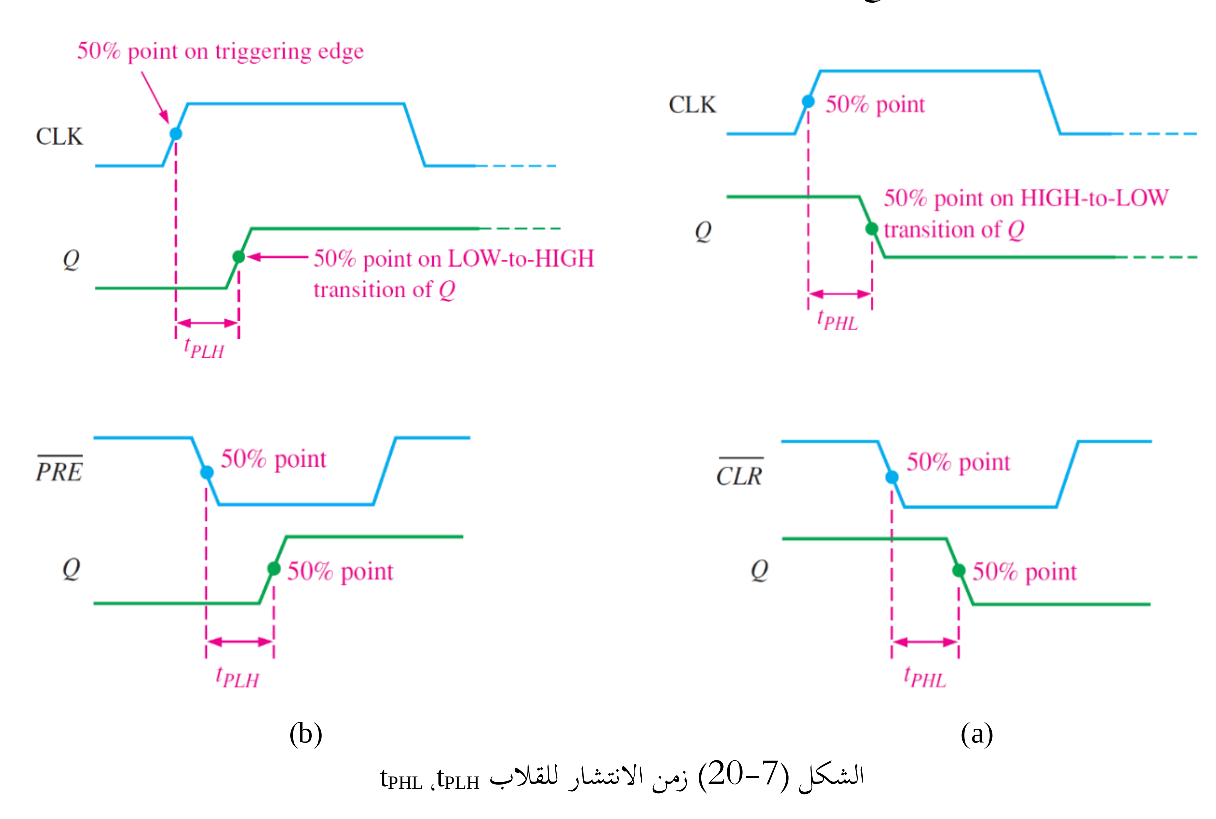
1– زمن الانتشار أو زمن العبور Propagation Delay Time

زمن الانتشار Propagation Delay Time هو الفترة الزمنية بين حالة الدخل للقلاب وتغير خرجه إلى قيمة ثابتة بناء على هذا الدخل، هناك أكثر من صورة لهذا الزمن على حسب شكل نبضة التزامن وكيفية تغير الخرج بناء عليها، وهي التالي:



1- الزمن (t_{PLH}) وهو الفترة الزمنية من منتصف الحافة المؤثرة لنبضة التزامن (الصاعدة أو النازلة) إلى أن يصعد الخرج من صفر 0 أو القيمة الصغرى (LOW) إلى 50% من قيمة الجهد المنطقي واحد 1 أو القيمة العظمى (HIGH)، الشكل (20-7) (a) يبين ذلك مع مثل نبضة التزامن $\overline{CLK}$، ونبضة التوضيع $\overline{PRE}$.

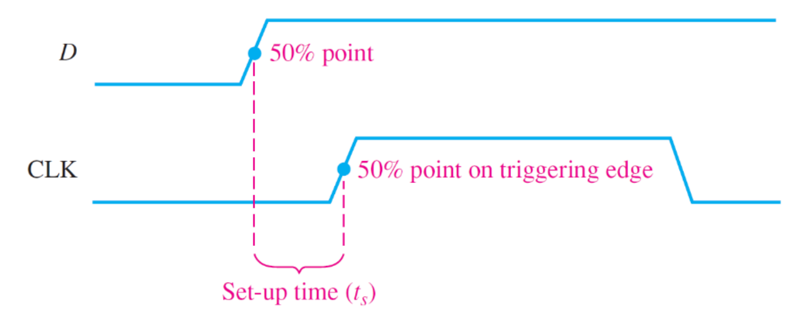
2- الزمن (t_{PHL}) وهو الفترة الزمنية من منتصف الحافة المؤثرة لنبضة التزامن (الصاعدة أو النازلة) إلى أن ينزل الخرج من واحد 1 أو القيمة العظمى (HIGH)، إلى 50% من قيمة الجهد المنطقي صفر 0 أو القيمة الصغرى (LOW)، الشكل (7-20) (b) يبين ذلك مع مثال نبضة التزامن $\overline{CLK}$، ونبضة التصفير $\overline{PRE}$.



الشكل (7-20) زمن الانتشار للقلاب t_{PLH}، t_{PHL}

2- زمن الاستقرار Set up Time

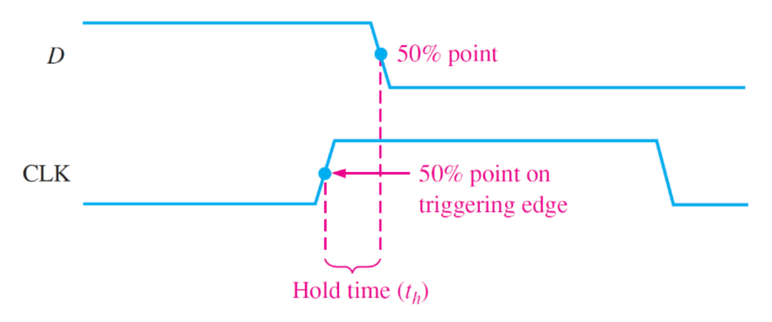
زمن الاستقرار (t_S) **set-up time** هو أقل فترة زمنية مطلوبة كي تبقى المستويات المنطقية على مداخل القلابات (D, J, K, S , R) قبل تطبيق الحافة المؤثرة لنبضة التزامن، حتى يثبت الخرج على قيمته الجديد، أي أن مستويات الدخل المنطقية إذا تغيرت أو لم تستقر حتى يمر هذا الزمن، فإن قيمة الخرج لن تكون ثابتة أو محددة، الشكل (7-21) يبين هذا الزمن على قلاب من نوع دي D، ويجب التفريق بين زمن الانتشار وزمن الاستقرار.



الشكل (7-21) زمن الانتشار للقلاب t_S

3- زمن المسك Hold Time

زمن المسك (t_h) **Hold Time** هو أقل فترة زمنية مطلوبة كي تثبت المستويات المنطقية على مداخل القلابات (D, J , K, S , R) بعد تطبيق الحافة المؤثرة لنبضة التزامن، وإلا فإن الخرج لن يستقر، الشكل (7-22) يبين هذا الزمن على قلاب من نوع دي D.



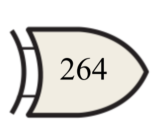
الشكل (7-22) زمن المسك للقلاب t_h

4- القيمة العظمى لتردد الساعة Maximum clock frequency

القيمة العظمى لتردد الساعة أو تردد نبضات التزامن (f_{max}) The Maximum Clock Frequency، هي أعلى تردد يمكن تطبيقه لتشغيل القلاب ويعمل بشكل موثوق، قبل أن يفشل القلاب فى العمل أو متابعة الدخل، عند الترددات فوق القيمة العظمى، القلاب سوف لن يكون قادر على الاستجابة بشكل سريع، وربما يتضرر.

5- عرض النبضات Pulse Widths

عادة ما يتم تحديد القيمة الدنيا لعرض النبضات (t_W) Minimum pulse widths للتشغيل الموثوق به من قبل الشركة المصنعة من أجل مداخل نبضة الساعة clock، إعادة التوضيع (التصفير) preset، والتصفير clear. عادة، يتم تحديد نبضة الساعة بواسطة تحديد الزمن الأدنى للحالة المنخفضة LOW والزمن الأدنى للحالة المترفعة HIGH.



6- الطاقة المبددة Power Dissipation

الطاقة المبددة لأي دائرة رقمية تكون إجمالي استهلاك الطاقة للجهاز وتعطى بالعلاقة:

$$P = VCC * ICC$$

الجدول (6-7) يظهر مقارنة للخصائص السابقة من أجل أربع قلابات CMOS و TTL من نفس النوع لكنها من أصناف دوائر متكاملة مختلفة وهي

(HC(High-speed CMOS), AHC(Advanced high-speed CMOS), LS(Low-power Schottky), F(Fast))

وذلك عند درجة الحرارة 25°C درجة مئوية.

Parameter	CMOS		Bipolar (TTL)	
	74HC74A	74AHC74	74LS74A	74F74
t_{PHL} (CLK to Q)	17 ns	4.6 ns	40 ns	6.8 ns
t_{PLH} (CLK to Q)	17 ns	4.6 ns	25 ns	8.0 ns
t_{PHL}($\overline{CLR}$ to Q)	18 ns	4.8 ns	40 ns	9.0 ns
t_{PLH}($\overline{PRE}$ to Q)	18 ns	4.8 ns	25 ns	6.1 ns
t_s (set-up time)	14 ns	5.0 ns	20 ns	2.0 ns
t_h (hold time)	3.0 ns	0.5 ns	5 ns	1.0 ns
t_W (CLK HIGH)	10 ns	5.0 ns	25 ns	4.0 ns
t_W (CLK LOW)	10 ns	5.0 ns	25 ns	5.0 ns
t_W($\overline{CLR}/\overline{PRE}$)	10 ns	5.0 ns	25 ns	4.0 ns
f_{max}	35 MHz	170 MHz	25 MHz	100 MHz
Power, quiescent	0.012 mW	1.1 mW		
Power, 50% duty cycle			44 mW	88 mW

الجدول (6-7) مقارنة لخصائص أربع قلابات CMOS و TTL من نفس النوع ومن أصناف دوائر متكاملة

6-3 تطبيقات القلابات Flip-Flop Applications

بعد أن تعرفنا بشكل مفصّل على العناصر الأساسية في الدوائر التعاقبية، القلابات، سنبين فيما يلي بعض أهم الدوائر التعاقبية الشهيرة والمستخدمة في كثير من التطبيقات بدون الدخول في تفاصيل كيفية تصميم هذه الدوائر، إذ سنتناول بعضها في الفصل القادم. من أهم التطبيقات التي تستخدم فيها القلابات:

- مسجلات الإزاحة Shift Registers .
- العدّادات الثنائية Binary Counters .
- تقسيم التردد Frequency Division.

- الذواكر Memories.
- تخزين البيانات بشكل على التوازي Parallel Data Storage.

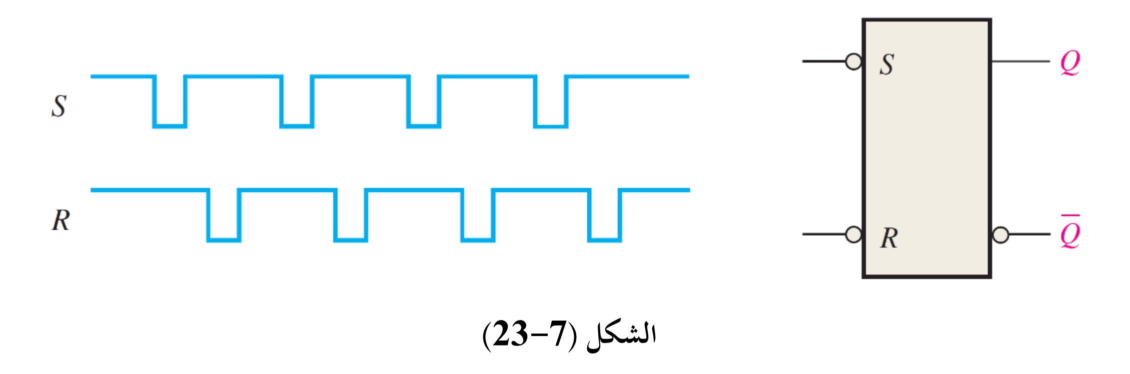
الجدول (7-7) يلخص الدوائر المتكاملة التي تم عرضها سابقاً، مع أرقامها ومحتوياتها

نوع الدائرة المتكاملة		رقمها
ماسك من نوع اس ار S-R ذو المدخلات الفعالة المنخفضة	The 74HC279A quad S-R latch	74HC279A
ماسك من نوع دي D Latch	The 74HC75 quad D latch	74HC75
قلاب من نوع دي D flip-flop	a positive edge-triggered D flip-flop	74HC74
قلاب من ن نوع جي كا J-K flip-flop	dual negative edge-triggered J-K flip-flop	74HC112

الجدول (7-7) الدوائر المتكاملة التي تم عرضها في هذا الفصل

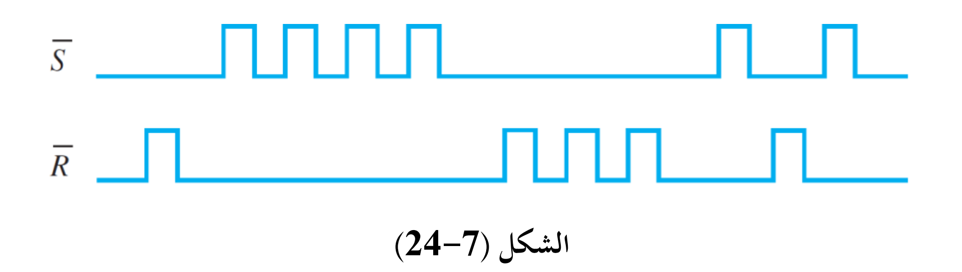
تدريبات

1– إذا طبقت الموجات التالية في الشكل (**7–23**) على ماسك من نوع اس ار **S-R** ذو المدخلات الفعالة المرتفعة، ارسم شكل موجة الخرج، وافترض أن الحالة البدائية في الحالة المنخفضة **LOW**.



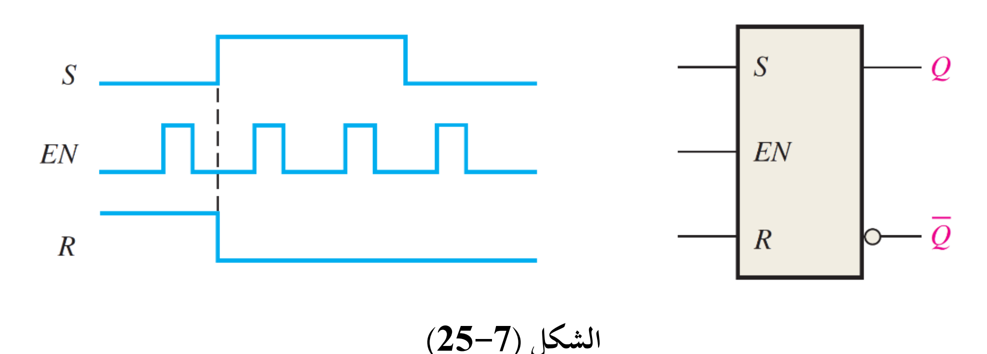
الشكل (**7–23**)

2– إذا طبقت الموجات التالية في الشكل (**7–24**) على ماسك من نوع اس ار **S-R** ذو المدخلات الفعالة المنخفضة، ارسم شكل موجة الخرج، وافترض أن الحالة البدائية في الحالة المنخفضة **LOW**.



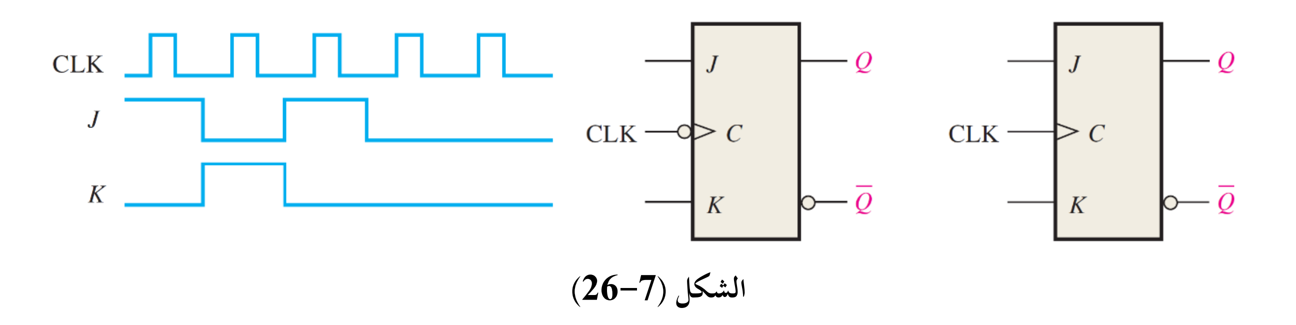
الشكل (**7–24**)

3– إذا طبقت الموجات التالية في الشكل (**7–25**) على ماسك من نوع اس ار **S-R** متزامن، ارسم شكل موجة الخرج الطبيعي والخرج المتمم، وافترض أن الحالة البدائية للخرج الطبيعي في الحالة المنخفضة**LOW**.



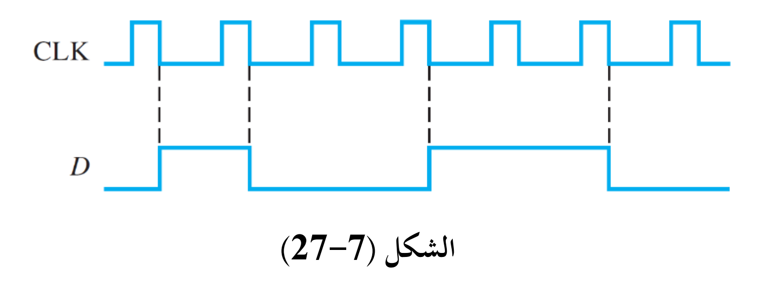
الشكل (**7–25**)

4- إذا طبقت الموجات التالية في الشكل (7–**26**) على قلابين من نوع جي كا **J-K flip-flops J-K**، ارسم شكل موجة الخرج الطبيعي، وافترض أن الحالة البدائية هي توضيع **RESET**، واشرح الفرق بين القلابين.



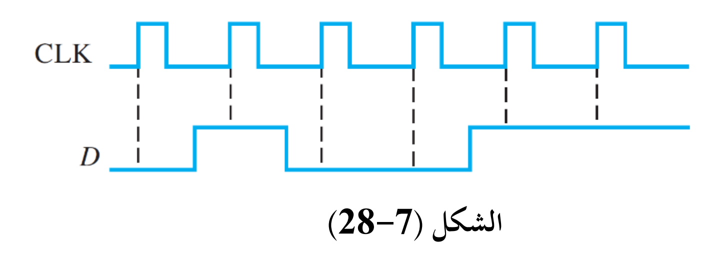
الشكل (7–**26**)

5- إذا طبقت الموجات التالية في الشكل (7–**26**) على قلاب من نوع **D** دي **D flip-flop**، ارسم شكل موجة الخرج الطبيعي، وافترض أن الحالة البدائية هي توضيع **RESET**.



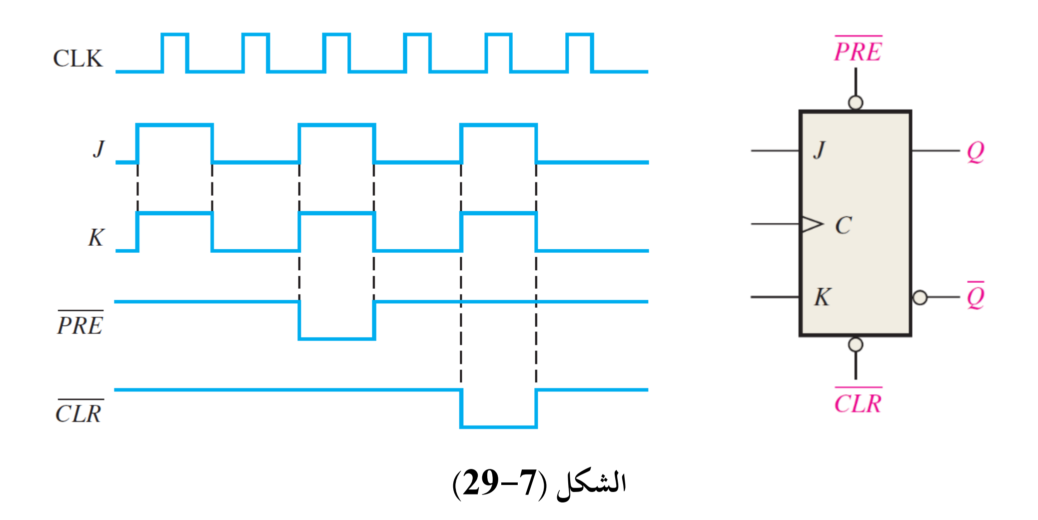
الشكل (7–**27**)

6- إذا طبقت الموجات التالية في الشكل (7–**28**) على قلاب من نوع **D** دي **D flip-flop** يعمل على الحافة الصاعدة **a positive edge-triggered D flip-flop**، ارسم شكل موجة الخرج الطبيعي، وافترض أن الحالة البدائية في الحالة المنخفضة **LOW**.



الشكل (7–**28**)

7- إذا طبقت الموجات التالية في الشكل (7–**29**) على قلاب من نوع جي كا **J-K flip-flop J-K**، ارسم شكل موجة الخرج الطبيعي، وافترض أن الحالة البدائية في الحالة المنخفضة **LOW**.



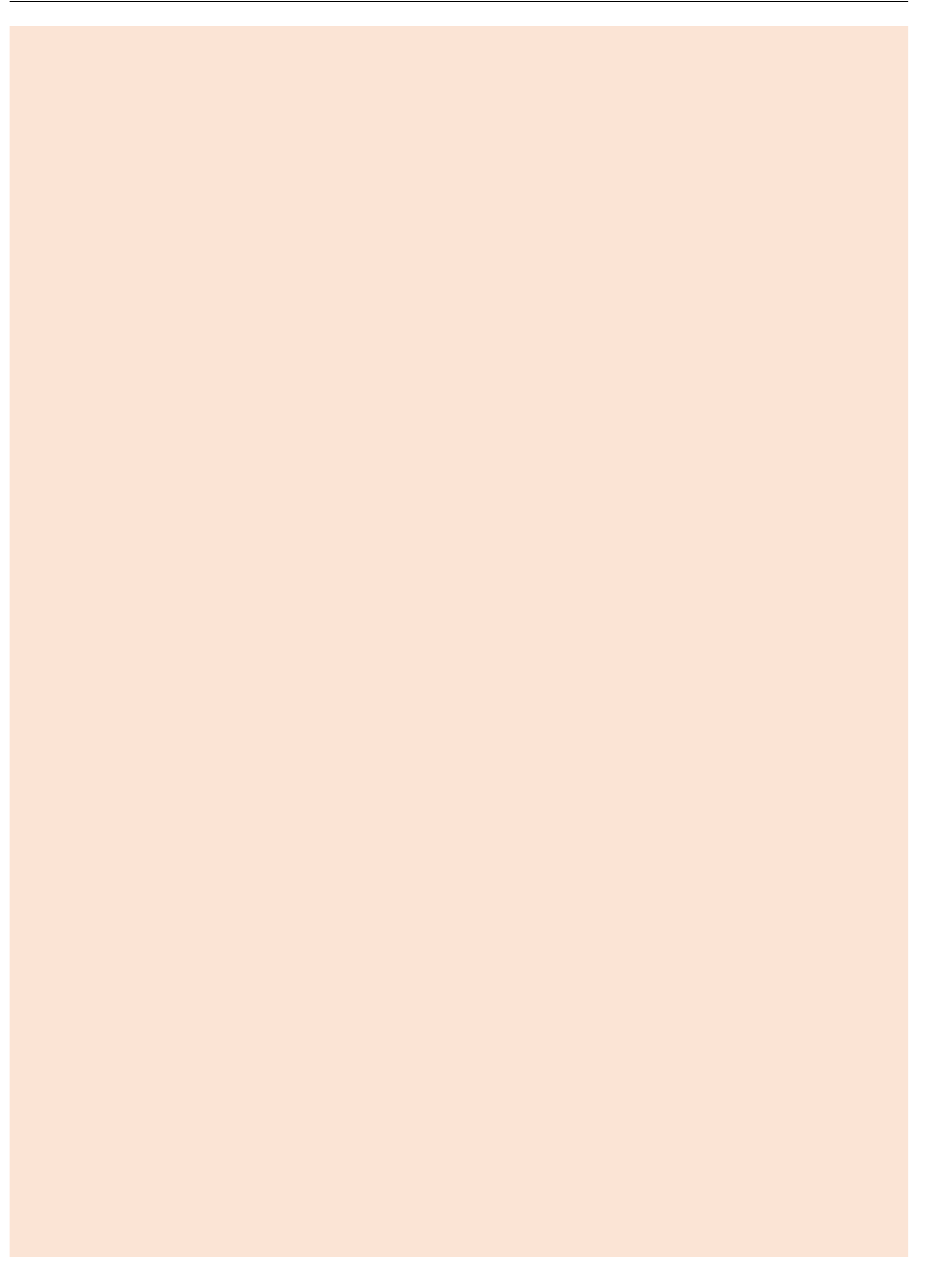
الشكل (7–29)

8– تظهر ورقة العمل لأحد القلابات أن أقل زمن للحالة المرتفعة **minimum HIGH time** من أجل نبضات التزامن (نبضة الساعة **clock pulse**) **30 ns**، وأقل زمن للحالة المنخفضة **minimum LOW time** هو **60 ns**، ما هو التردد الأعظمي لنبضات الساعة يمكن أن يعمل عنده هذا القلاب.

Key Terms and Abbreviations المصطلحات والعبارات الرئيسة واختصاراتها

المصطلح أو العبارة	الترجمة	الصفحة	المصطلح أو العبارة	الترجمة	الصفحة
الدوائر المنطقية التوافقية	Combinational Logic Circuit	245	التزامن	Synchronous	251
القلابات	Flip Flops	245	الماسك اس ار S-R المتزامن	The Gated S-R Latch	251
الدوائر المنطقية التعاقبية	Sequential Logic Circuits	245	الماسك دي D المتزامن	The Gated D Latch	252
دائرة الماسك	Latch Circuit	246	أجهزة ثنائية الاستقرار متزامنة	Synchronous Bistable Devices	254
المهتز ثنائي الاستقرار	Bistable Multivibrator	246	قلابات تقدح عند الحافة أو حساسة للحافة	Flip-Flops are Edge-Triggered or Edge-Sensitive	254
التغذية المرتدة	Feedback	246	مؤشر الدخل الديناميكي	The Dynamic Input Indicator	254
المداخل الفعالة عند المستوى المرتفع	Active High Inputs	247	قلاب يقدح على الحافة الصاعدة	A Positive Edge-Triggered Flip-Flop	255
نمط التشغيل	Mode of Operation	247	القلاب جي كا J-K	The J-K Flip-Flop	257
الماسك في وضع التصفير	Latch RESET	247	نمط التبديل	Toggle Mode	257
الماسك في وضع التوضيع	Latch SET	247	قلاب يقدح على الحافة الهابطة	A Negative Edge-Triggered Flip-Flop	257
الماسك من نوع توضيع – تصفير	S-R (SET-RESET) Latch	247	قلاب من نوع جي كا J-K يعمل على حافة القدح الصاعدة	A Positive Edge-Triggered J-K Flip-Flop	258
المداخل الفعالة عند المستوى المنخفض	Active Low Inputs	248	قلاب من نوع جي كا J-K يعمل على حافة القدح الهابطة	A Negative Edge-Triggered J-K Flip-Flop	258
حساس حافة النبضة	Pulse Transition Detector	259	المداخل غير المتزامنة	Asynchronous Inputs	260

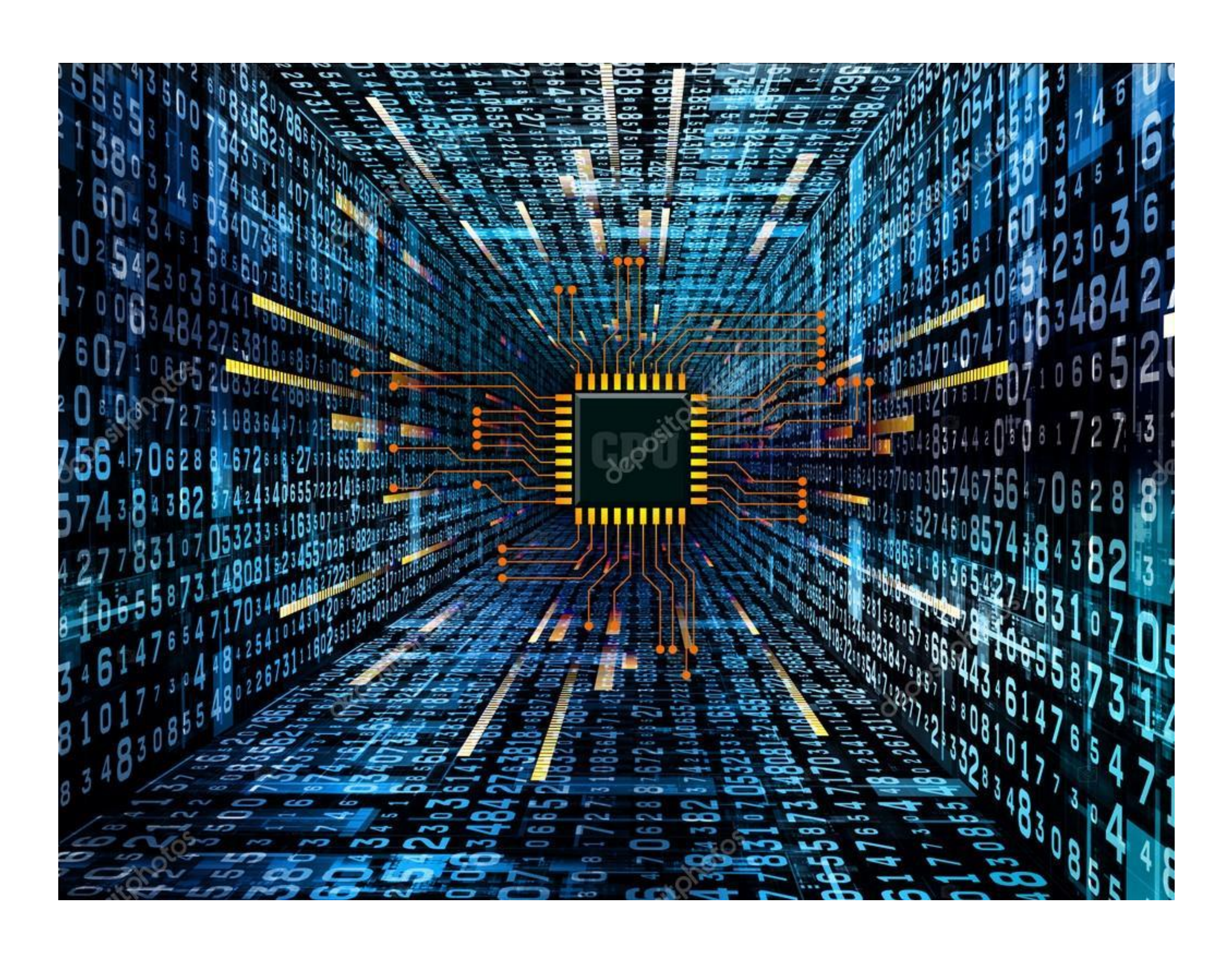
265	**Advanced High-Speed**	عالي السرعة متقدم	260	**A Positive Edge-Triggered D Flip-Flop**	قلاب من نوع دي D يقدح على الحافة الصاعدة
265	**Low-Power Schottky**	شوتكي منخفض الطاقة	261	**Dual Negative Edge-Triggered J-K Flip-Flop**	قلابين من نوع جي كا J-K يقدحان على الحافة الهابطة
265	**High-Speed CMOS**	سموس عالي السرعة	262	**Propagation Delay Time**	زمن الانتشار
265	**Shift Registers**	مسجلات الإزاحة	263	**Set up Time**	زمن الاستقرار
265	**Binary Counters**	العدّادات الثنائية	264	**Hold Time**	زمن المسك
265	**Frequency Division**	تقسيم التردد	264	**The Maximum Clock Frequency**	القيمة العظمى لتردد الساعة أو تردد نبضات التزامن
266	**Parallel Data Storage**	تخزين البيانات بشكل على التوازي	264	**Minimum Pulse Widths**	القيمة الدنيا لعرض النبضات
266	**Memories**	الذواكر	265	**Power Dissipation**	الطاقة المبددة



الفصل الثامن 8

الدوائر المنطقية التعاقبية

Sequential Logic Circuits



الأهداف العامة للفصل Chapter Objectives

عندما تكمل هذا الفصل سوف تكتسب مجموعة من الخبرات والمعارف وينبغي أن تكون قادراً على:

- التعرف على أهم الدوائر المنطقية التعاقبية.
- تحليل الدوائر المنطقية التعاقبية.
- استخدام مخططات التزامن في تحليل الدوائر المنطقية التعاقبية.
- التعرف على أهم الفروقات ما بين الدوائر المنطقية التوافقية والدوائر المنطقية التعاقبية.
- التعرف على المسجلات كدوائر منطقية تعاقبية.
- فهم توضيح طريقة القراءة والكتابة في المسجلات.
- فهم توضيح طريقة نقل البيانات بين المسجلات.
- فهم آلية عمل وتصميم مسجلات الإزاحة بأنواعها.
- التعرف على أهم تطبيقات مسجلات الازاحة.
- التعرف على أهم شرائح الدوائر المتكاملة ICs لمسجلات الازاحة.

1– مقدمة Introduction

في هذ الفصل سوف نتعرف على الصنف الثاني من الدوائر المنطقية الرقمية، وهو الدوائر المنطقية التعاقبية Sequential Logic Circuits، هذه الدوائر تتكون من دخل وخرج حيث يتحدد الخرج عند أي لحظة بقيمة الدخل عند هذه اللحظة والخرج عند اللحظة السابقة، لذلك نقول أن هذه الدوائر تمتلك نوع من أنواع الذاكرة حيث أن الخرج يتحدد جزئياً بالخرج عند اللحظة السابقة الذي تتذكره الدائرة، أي أن هذا النوع من الدوائر له ذاكرة Memory تستطيع تخزين القيم السابقة لخرج الدائرة بحيث تستطيع التأثير على خرجها الحالي. والسبب في ظهور هذه القدرة التخزينية هو وجود تغذية مرتدة Feedback من خرج الدائرة إلى دخلها.

من أهم أنواع الدوائر المنطقية التعاقبية تكون دوائر الماسكات ومسجلات الإزاحة والعدّادات، سنعرض تفصيلاً عنها في هذا الكتاب، ولن نتعرض لتصميم الدوائر المنطقية التعاقبية بالتفصيل، كما فعلنا بالنسبة للدوائر المنطقية التوافقية، بل سنترك هذه الدراسة التفصيلية لمقرر آخر متقدم في التصميم المنطقي.

سنتعرف على تحليل وتصميم الدوائر المنطقية التعاقبية، وعلى أحد أهم أنواعها وهو المسجلات، ووظائفها، بالاضافة إلى مسجلات الازاحة وأنواعها وطرق تصيميها وآلية عملها وتطبيقاتها.

2– تحليل الدوائر التعاقبية Sequential Circuits Analysis

تعرفنا سابقاً على الدوائر المنطقية التعاقبية ووجدنا بأنها دوائر تتحدد قيم مخارجها في أية لحظة تبعًا للقيم الحاضرة لمداخلها والقيم السابقة لمخارج الدائرة أيضًا، أي تحتوي هذه الدوائر على عناصر الذاكرة.

معظم الدوائر التعاقبية الممكن أن تصادفها عمليًا من مجموعة من القلابات ومجموعة من البوابات المنطقية متصلة مع بعضها البعض بطريقة ما لإجراء مهمة أو وظيفة ما، ويستخدم عادة مع هذه الدوائر الرقمية إشارة نبضات تزامن واحدة تعمل على تنظيم وتزامن عمل الدائرة ككل.

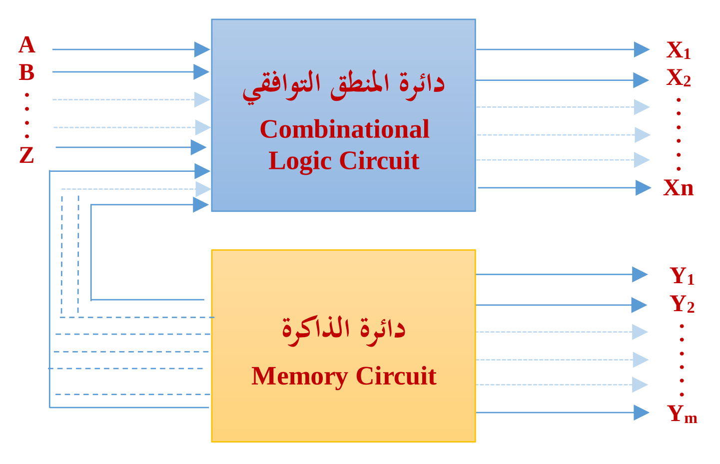
إذًا تتكون الدائرة من قسمين:

- **الأول** هو قسم **دوائر المنطق التوافقي Combinational Logic Circuit** مختلفة و تتميز هذه الدوائر بأنها دوائر تتحدد قيم مخارجها في أية لحظة مباشرة تبعًا للقيم الحاضرة لمداخلها دون النظر إلى القيم السابقة لهذه المداخل.
- **الثاني** هو قسم **الذاكرة Memory** الذي تخزن فيه البيانات عن متحولات الدخل والخرج السابقة أو لأي منهما حسب متطلبات الدائرة.

السبب في ظهور القدرة التخزينية في الدوائر المنطقية التعاقبية هو وجود تغذية مرتدة Feedback حيث أن خرج الدائرة يتم أخذه عبر هذه التغذية المرتدة وإدخاله إلى الدائرة مرة أخرى مع متغيرات الدخل، ونظراً لوجود ماضي وحاضر في الدوائر

المنطقية التعاقبية نستطيع القول أن الزمن Time يدخل فيها كمتغير، ودخول الزمن كمتغير يتطلب وجود إشارة التزامن Clock Signal في الدوائر المنطقية التعاقبية للقيام في الدوائر المنطقية التعاقبية للقيام بدور تنسيقي وتنظيمي هام في النظام الرقمي.

يمكن تمثيل دائرة المنطق التتابعي بصندوقين أحدهما يمثل دائرة المنطق التوافقي والأخرى دوائر الذاكرة، كما هو موضح بالشكل (8-1).



الشكل (8-1) المخطط الصندوقي لدائرة تعاقبية

يمكن بشكل عام تحليل عمل الدائرة التعاقبية وذلك بإتباع الخطوات التالية:

1. دراسة مفصلة للدائرة المنطقية من قلابات وبوابات منطقية والتعرف على جميع أجزائها.
2. تحديد وحساب المستوى المنطقي لدخل كل قلاب قبل ورود نبضة التزامن.
3. استخدام المستوى المنطقي لكل قلاب قبل ورود نبضة التزامن في تحديد خرج القلاب بعد ورود نبضة التزامن.
4. إعادة الخطوتين **2** و **3** بعد كل ورود لنبضة التزامن.

والجدول (8-1) يلخص أهم الفروقات ما بين الدوائر المنطقية التوافقية والدوائر المنطقية التعاقبية

	الدوائر المنطقية التوافقية Combinational Logic Circuit	الدوائر المنطقية التعاقبية Sequential Circuits Analysis
الخرج Output	يعتمد على القيم الحالية للدخل فقط	يعتمد على القيم الحالية للدخل وعلى القيم السابقة للخرج
الذاكرة Memory	ليس لها ذاكرة	لها ذاكرة
التغذية المرتدة Feedback	لا توجد بها تغذية مرتدة	توجد بها تغذية مرتدة
الزمن Time	توجد بها تغذية مرتدة	يدخل الزمن فيها كمتغير
إشارة التزامن Clock	لا توجد بها إشارة تزامن	توجد بها إشارة تزامن
التطبيقات Applications	الدوائر الحسابية، محلل الشفرة، المشفر، الناخب، الموزع	القلابات، المسجلات، العدّادات الثنائية، الذواكر

الجدول (8-1) ملخص لأهم الفروقات ما بين الدوائر المنطقية التوافقية والدوائر المنطقية التعاقبية

1-2 المسجلات Registers

المسجل Register هو عبارة عن دائرة منطقية تعاقبية لها وظيفتين أساسيتين هما:

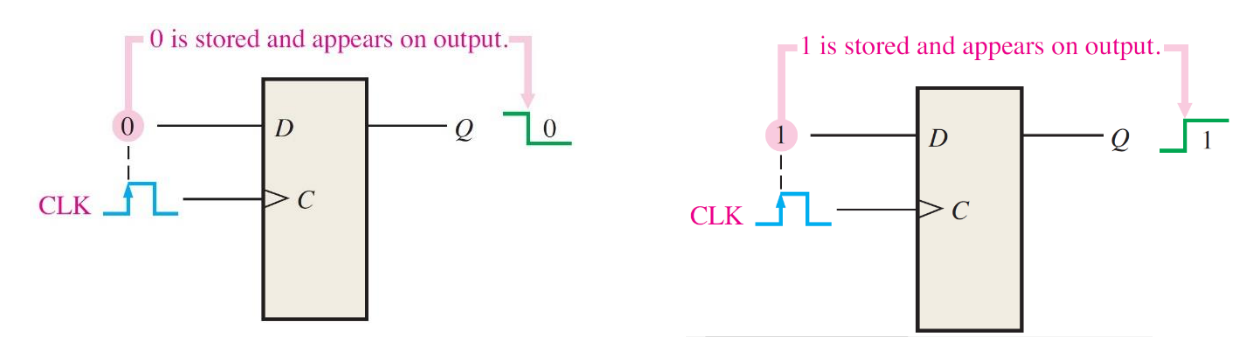
- تخزين البيانات Data Storage.
- نقل البيانات Data Movement.

قدرات التخزين للمسجل تجعل منه نوع مهم من أجهزة الذاكرة، حيث يعبر المسجل عن موقع تخزيني له القدرة على تخزين معلومة مكونة من عدة خانات (Bits)، وهي أحد أنواع الدوائر المنطقية التعاقبية، ووجدنا من دراستنا السابقة لدوائر القلاب أنه يمكن تخزين رقم ثنائي مفرد (Bit)، بواسطة دائرة قلاب واحدة، ومن ثم يمكن توصيل عدد من دوائر القلاب معاً لبناء المسجل، والذي يستخدم كذاكرة مؤقتة لتخزين كمية صغيرة من البيانات ولفترة زمنية قصيرة، وذلك تمهيداً لنقلها كما في مسجلات النقل أو العزل Buffer Registers، أو لازاحة البيانات Shift Registers، أو من أجل نقل البيانات بشكل متسلسل Serial Data، أو نقل البيانات بشكل متوازي Parallel Data.

والعمليات التي يمكن إجراؤها على المسجلات هي:

- الكتابة Write أي تخزين معلومة في المسجل.
- القراءة Read أي إسترجاع معلومة مخزنة في المسجل.
- نقل البيانات ما بين المسجلات Register-to-Register Transfer.

الشكل (2-8) يوضح مفهوم تخزين واحد 1 أو صفر 0 في قلاب من نوع دي D flip-flop، عند تطبيق واحد 1 على مدخل البيانات كما هو موضح، فمع نبضة التزامن يتم تخزين الواحد 1 في القلاب، وعندما يزال الواحد 1 من الدخل، القلاب يحتفظ بحالة الواحد 1 أي حالة التوضيع SET ويتم تخزين الواحد 1. وبنفس الطريقة يتم تخزين الصفر 0 ويتم تصفير القلاب resetting.



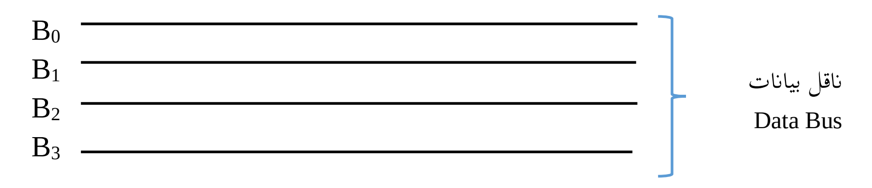
الشكل (2-8) عملية التخزين في المسجل المبني من قلاب من نوع دي D flip-flop



سعة التخزين للمسجل Storage Capacity هي العدد الكلي من الخانات الثنائية الأصفار والواحدات للبيانات الرقمية التي يمكنه الاحتفاظ بها، وبالتالي عدد القلابات المؤلف منها المسجل يحدد امكانياته وسعته التخزينية.

2-1-1 الكتابة في المسجلات والقراءة منها Write and Read Operations

عند إجراء عملية كتابة Write في المسجل فإن المعلومة المطلوب تخزينها عادة ما تصل إلى المسجل من خلال ناقل بيانات Data Bus و عند إجراء عملية قراءة Read من المسجل فإن المعلومة التي تم إسترجاعها عادة ما تنقل من المسجل إلى الجهة المقصودة عبر ناقل البيانات Data Bus أيضاً. وناقل البيانات هذا هو عبارة عن مجموعة من الموصلات المتوازية كل منها يحمل خانة واحدة bit فقط من البيانات، و الشكل (3-8) يوضح ناقل بيانات ذو أربعة خانات 4-Bit Data Bus



الشكل (3-8) ناقل بيانات ذو أربعة خانات 4-Bit Data Bus

لاحظ أنه من الناحية الكهربائية لابد من وجود موصل خامس في ناقل البيانات ذو الأربعة خانات الموضح أعلاه، و هذا الموصل الخامس هو الموصل الأرضي Ground أو GND الذي يعتبر مرجع قياس الجهود بالنسبة لبقية الموصلات. ولكن لا يتم عادة توضيح هذا الموصل الأرضي و إنما يُفهم وجوده ضمناً، و ذلك كنوع من التبسيط.

هذا ويتم ربط كل من أطراف الدخل وأطراف الخرج للبيانات للمسجل بناقل البيانات باستخدام عوازل، هذه العوازل تسمح بمرور الدخل كما هو إلى الخرج في المسجل، أو تقوم بمنع أو عزل الدخل عن الخرج.

- لإجراء عملية الكتابة Write في المسجل للبيانات الموجودة على الناقل، يتم وصل أطراف الدخل للمسجل مع الناقل Bus، وتنتقل البيانات الموجودة على الناقل إلى داخل المسجل، ويتم تخزينها.
- لإجراء عملية القراءة Read من المسجل، يتم وصل أطراف الخرج للمسجل مع الناقل Bus، وتنتقل البيانات المخزنة في المسجل إلى الناقل.

2-1-2 نقل البيانات ما بين المسجلات Register-to-Register Transfer

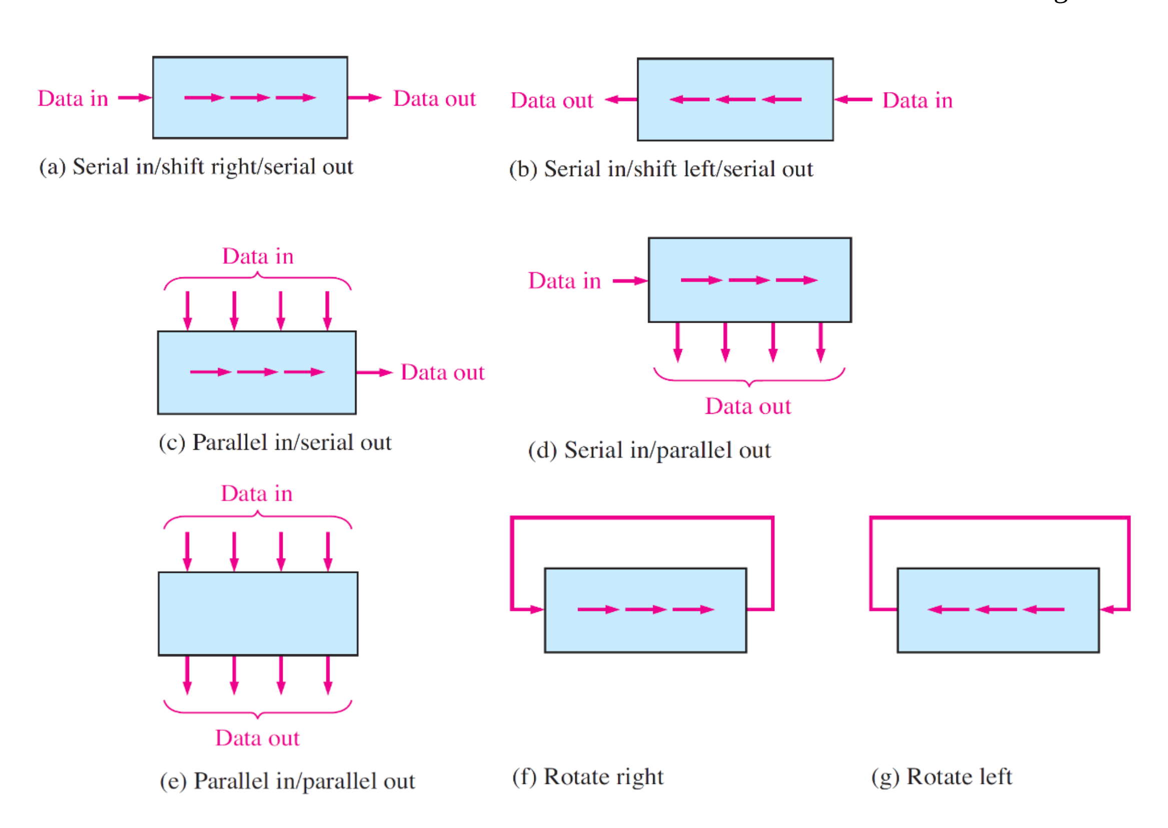
لنقل البيانات بين مجموعة من المسجلات يتم ربط تلك المسجلات بناقل مشترك Common Bus، حيث يتم نقل البيانات من مسجل إلى آخر باستخدام الناقل كوسيط، ويتم قراءة محتويات المسجل الأول لتظهر تلك المحتويات على الناقل، بعد ذلك يتم قراءتها من الناقل بواسطة المسجل الثاني.

2-2 مسجل الازاحة Shift Register

مسجل الإزاحة Shift Register هو عبارة عن مسجل يستطيع، إضافة إلى العمليات السابقة، عمل إزاحة للبيانات الموجودة بداخله بمقدار خانة واحدة أو أكثر يميناً أو يساراً one bit. ووجدنا أن عدد القلابات يحدد سعة المسجل ويمثل أيضاً عدد المراحل حيث كل مرحلة تمثل خانة واحد من سعة التخزين one bit of storage capacity.

تستخدم مسجلات الإزاحة لنقل محتويات مسجل إلى مسجل آخر بشكل تسلسلي، أي خانة واحدةفي كل عملية، أو لتحويل الإشارة الرقمية على التوازي Parallel إلى إشارة رقمية تسلسلية Parallel على خط وحيد.

امكانية الازاحة Shift Capability للمسجل تسمح بانتقال البيانات من مرحلة إلى مرحلة ضمن المسجل، أو من داخل المسجل أو إلى خارجه، الشكل (8-4) يوضح أنواع الحركة الأساسية للبيانات في مسجل الازاحة، وذلك لمسجل من أربع بتات 4-Bit Register.



الشكل (8-4) أنواع حركة البيانات ضمن مسجل الازاحةمن أربع خانات 4-Bit Register

من الشكل (8-4) نجد أنواع الحركة الأساسية للبيانات لمسجل الازاحة تكون:

- ادخال من اليسار left مع الازاحة (ادخال على التسلسل Serial in/اخراج على التسلسل Serial out) كما في (a).
- ادخال من اليمين right مع الازاحة (ادخال على التسلسل Serial in/اخراج على التسلسل Serial out) كما في (b).



- ادخال مع الازاحة (ادخال على التوازي Parallel in/اخراج على التسلسل Serial out) كما في (c).
- ادخال مع الازاحة (ادخال على التسلسل Serial in/اخراج على التوازي Parallel out) كما في (d).
- ادخال مع الازاحة (ادخال على التوازي Parallel in/اخراج على التوازي Parallel out) كما في (e).
- الازاحة الدورانية نحو اليسار Rotate Left كما في (g).
- الازاحة الدورانية نحو اليمين Rotate Right كما في (f).

2-3 أنواع مسجل الازاحة حسب طريقة إدخال وإخراج البيانات Types of Shift Register Data I/Os

يعتبر مسجل الازاحة من المكونات الإلكترونية متعددة الاستخدام فى الكثير من التطبيقات الرقمية، حيث يستخدم مسجل الإزاحة فى تسجيل البيانات الرقمية حيث يمكن إجراء بعض العمليات على محتويات هذا المسجل، من هذه العمليات مثلا، إزاحة البيانات من اليمين إلى اليسار أو العكس، أو دوران البيانات من اليمين لليسار أيضاً أو العكس، يمكن إدخال البيانات على المسجل على التوازي وإخراجها على التسلسل، أو إدخالها على التسلسل ثم إخراجها على التوازي، كل هذه العمليات سنرى في هذا الفصل كيفية تحقيقها.

وحدة بناء مسجل الإزاحة هى القلاب من النوع دي D، هذا القلاب له دخل واحد اسمه دي D، والدخل الآخر هو طرف التزامن C (CLK)، وكما رأينا في الفصل السابق أن هذا القلاب به خرج طبيعي كيو Q وخرج متمم له، الاشارة الموجودة على الدخل دي D تنتقل إلى الخرج كيو Q بعد اعطاء نبضة على طرف التزامن C، وأحياناً يقال أن تسمية القلاب دي D جاءت اختصاراً لكلمة تأخير زمني delay لأنه يقوم بتأخير اظهار البيانات على الخرج.

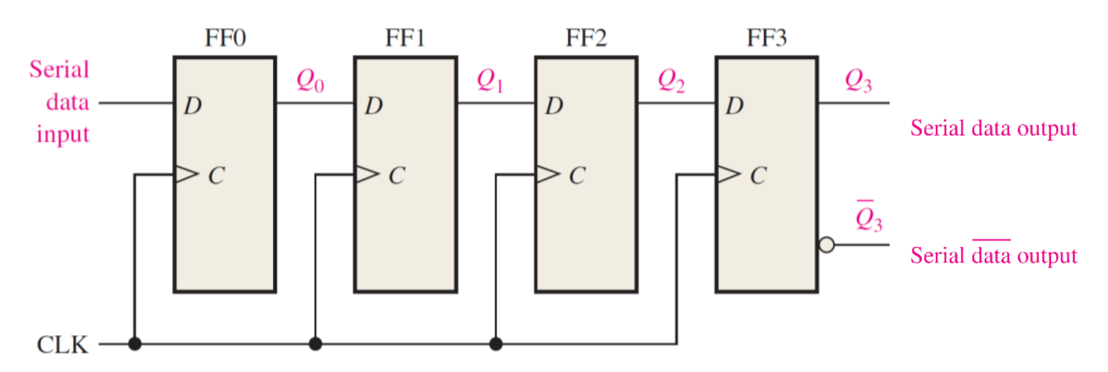
يوجد أربعة أنواع لمسجل الازاحة بالاعتماد على طريقة ادخال واخرج البيانات inputs/outputs سنناقشها بالتفصيل مع الرسم ، وهي:

- مسجلات الازاحة ادخال على التسلسل/اخراج على التسلسل Serial In/Serial Out Shift Registers
- مسجلات الازاحة ادخال على التسلسل/اخراج على التوازي Serial In/Parallel Out Shift Registers
- مسجلات الازاحة ادخال على التوازي/اخراج على التسلسل Parallel In/Serial Out Shift Registers
- مسجلات الازاحة ادخال على التوزاي/اخراج على التوازي Parallel In/Parallel Out Shift Registers

2-3-1 مسجلات الازاحة ادخال على التسلسل/اخراج على التسلسل Serial In/Serial Out Shift Registers

مسجلات الازاحة ادخال على التسلسل/اخراج على التسلسل Serial In/Serial Out Shift Registers تقبل البيانات بشكل تسلسلي بحيث تكون خانة واحد من البيانات على خط ادخال وحيد Serial data input من اليسار، ويتم اخراج البيانات المخزنة فيها على الخرج بشكل تسلسلي Serial data output.

الشكل (8-5) يظهر مسجل ازاحة أربع خانات 4-bit register، مبني من أربع قلابات من نوع دي D flip-flops، له أربع مراحل، يمكنه تخزين حتى أربع خانات ثنائية من البيانات up to four bits of data.



الشكل (8-5) مسجل ازاحة ادخال على التسلسل/اخراج على التسلسل Serial In/Serial Out Shift Registers

على سبيل المثال إذا أردنا ادخال الأربع خانات الثنائية 1010 إلى مسجل الازاحة، بحيث نبدأ بالخانة الأقل أهمية LSB وهي الخانة على اليمين، و الحالة الابتدائية للمسجل تكون بحالة تصفير clear صفر 0.

تطبيق الخانة الأولى وهي الصفر 0 على خط البيانات Serial data input، تجعل D = 0 من أجل القلاب الأول FF0 عند تطبيق نبضة التزامن الأولى CLK، القلاب الأول FF0 يصبح بحالة تصفير reset ويخزن الخانة صفر 0.

عند تطبيق الخانة الثانية وهي الواحد 1 على خط البيانات Serial data input، تجعل D = 1 من أجل القلاب الأول FF0، و D = 0 من أجل القلاب الثاني FF1 لأن الدخل دي D من أجل القلاب الثاني FF1 موصول مع خرج القلاب الأول Q_0، ومع نبضة التزامن الثانية الواحد 1 على خط البيانات يزاح إلى القلاب الأول FF0 واضعاً هذا القلاب بحالة التوضيع set أي واحد 1، والصفر 0 الذي كان في القلاب القلاب الأول FF0 يزاح إلى القلاب الثاني FF1.

عند تطبيق الخانة الثالثة وهي الصفر 0 على خط البيانات Serial data input، ونبضة التزامن تطبق، الصفر 0 يدخل إلى القلاب الأول FF0، الواحد 1 المخزن في القلاب الأول FF0 يزاح إلى القلاب الثاني FF1، الصفر 0 المخزن في القلب الثاني FF1 يزاح إلى القلاب الثالث FF2. عند تطبيق الخانة الاخيرة وهي الواحد 1 على خط البيانات Serial data input، ونبضة التزامن تطبق، الواحد 1 يدخل إلى القلاب الأول FF0، الصفر 0 المخزن في القلاب الأول FF0 يزاح إلى القلاب الثاني FF1، الواحد 1 المخزن في القلب الثاني FF1 يزاح إلى القلاب الثالث FF2، الصفر 0 المخزن في القلب الثالث FF2 يزاح إلى القلاب الرابع FF3. الجدول (8-2) يوضح عملية ادخال الأربع خانات ثنائية 1010 إلى مسجل الازاحة.

CLK	FF0 (Q_0)	FF1 (Q_1)	FF2 (Q_2)	FF3 (Q_3)
Initial	0	0	0	0
1	**0**	0	0	0
2	**1**	**0**	0	0
3	**0**	**1**	**0**	0
4	**1**	**0**	**1**	**0**

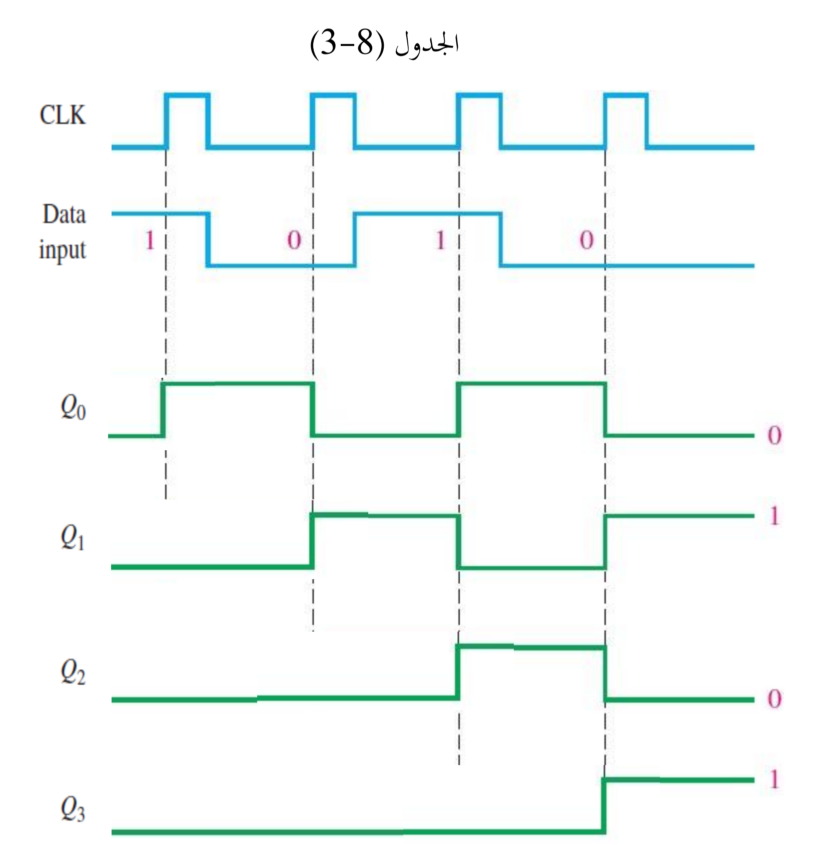
الجدول (8-2)

نلاحظ أنه في الادخال على التسلسل، خانة واحدة من البيانات تنتقل في كل مرة.

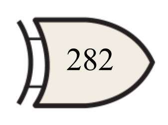
إذا أردنا أن نحصل على البيانات من المسجل أو نقلها إلى خارج المسجل، الخانات الثنائية يجب أن تزاح بشكل تسلسلي إلى خرج القلاب الأخير Q_3، بعد نبضة التزامن الرابعة CLK4 من عملية ادخال البيانات السابقة، الخانة الأقل أهمية LSB، وهي الصفر 0 تظهر على الخرج الأخير Q_3 وعند تطبيق نبضة التزامن الخامسة CLK5 الخانة الثانية تظهر على الخرج الأخير Q_3، نبضة التزامن السادسة CLK6 تزيح الخانة الثالثة إلى الخرج الأخير Q_3، وعند تطبيق نبضة التزامن السابعة CLK7 الخانة الرابعة تزاح وتظهر على الخرج الأخير Q_3 وهكذا يكون الخانات الأربعة تم ازاحتها إلى خارج المسجل، الشكل (8-6) يوضح أشكال الموجة لهذه العمليات ونلاحظ أن البيانات الثنائية الأربعة خزنت بعد أربع نبضات تزامن، الجدول (8-3) يوضح ذلك.

FF0 (Q_0)	FF1 (Q_1)	FF2 (Q_2)	FF3 (Q_3)
1	**0**	**1**	**0**
0	**1**	**0**	**1**
0	0	**1**	**0**
0	0	0	**1**
0	0	0	0

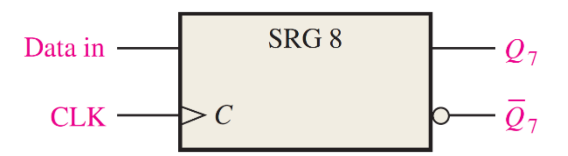
الجدول (8-3)



الشكل (8-6) أشكال الموجة لعملية ادخال القيمة الثنائية 1010 إلى مسجل الازاحة بأربع خانات، ادخال على التسلسل/اخراج على التسلسل



الرمز الصندوقي المنطقي لمسجل ازاحة ادخال على التسلسل/اخراج على التسلسل يظهر في الشكل (8-7) حيث الرمز SRG يشير مسجل ازاحة بسعة ثمان خانات 8-Bit Serial In/Serial Out Shift Register.

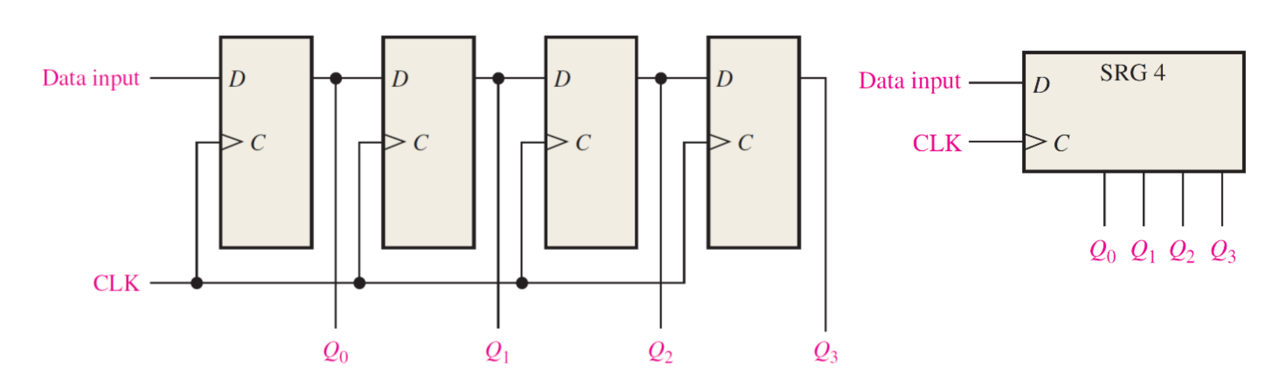


الشكل (8-7) الرمز المنطقي لمسجل ازاحة ادخال على التسلسل/اخراج على التسلسل بثمان خانات 8-Bit Serial In/Serial Out Shift Register

2-3-2 مسجلات الازاحة ادخال على التسلسل/اخراج على التوازي Serial In/Parallel Out Shift Registers

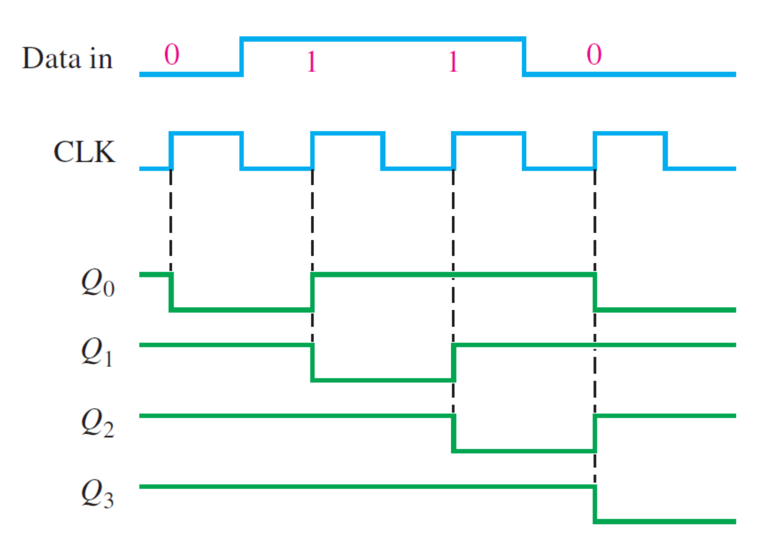
يتم في مسجلات الازاحة ادخال على التسلسل/اخراج على التوازي ادخال البيانات بشكل تسلسلي بحيث تكون خانة واحد من البيانات على خط ادخال وحيد من اليسار، وهي الخانة الأقل أهمية LSB، كما في المسجل السابق، الفرق الوحيد في طريقة اخراج البيانات المخزنة فيها والتي تتم على التوازي، حيث المسجل ذو الخرج التفرعي يكون خرج كل مرحلة متوفراً حالما يتم تخزين البيانات، حيث تظهر كل خانة ثنائية على خط الخرج الموافق، وجميع الخانات الثنائية تظهر بنفس الوقت بدلاً من خانة خانة كما في الاخراج التسلسلي.

الشكل (8-8) يظهر مسجل ازاحة من نوع ادخال على التسلسل/اخراج على التوازي بأربع خانات a 4-bit serial in/parallel out shift register مع الرمز المنطقي. والشكل (8-9) يظهر أشكال الموجة لخط البيانات وخط التزامن لهذا المسجل مع الحالة الابتدائية للمسجل هي كل القلابات واحد 1، ونجد أن المسجل يحتوي على القيمة الثنائية 0110 بعد أربع نبضات تزامن.

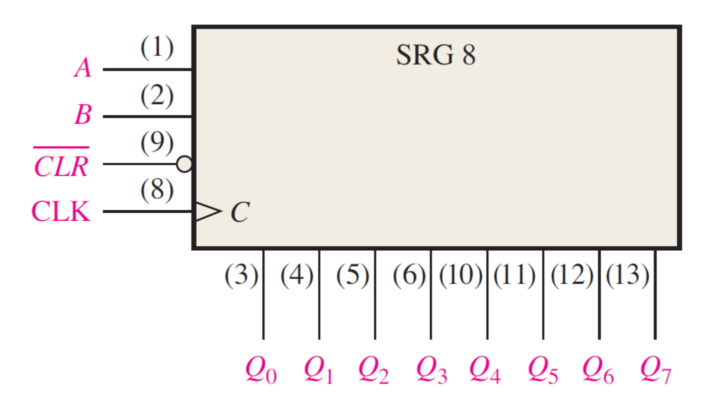


الشكل (8-8) مسجل ازاحة ادخال على التسلسل/اخراج على التوازي من اربع خانات مع الرمز المنطقي له a 4-bit serial in/parallel out shift register

يظهر في الشكل (8-10)، الرمز المنطقي لشريحة الدائرة المتكاملة لمسجل الازاحة من نوع ادخال على التسلسل/اخراج على التوازي بثمان خانات 8-bit serial in/parallel out shift register التي تحمل الرقم 74HC164، تحتوي شريحة هذه ثمان مخارج على التوازي هي من Q_0 حتى Q_7، وللشريحة طرف غير متزامن للتصفير فعال عند الحالة المنخفضة، ولها طرفي ادخال تسلسلي هما A, B



الشكل (8-9) أشكال الموجة لعملية ادخال القيمة الثنائية 0110 إلى مسجل الازاحة بأربع خانات ادخال على التسلسل/اخراج على التوازي



الشكل (8-10) الرمز المنطقي لشريحة الدائرة المتكاملة لمسجل الازاحة من نوع ادخال على التسلسل/اخراج على التوازي بثمان خانات 8-bit serial in/parallel out shift register التي تحمل الرقم 74HC164

2-3-3 مسجلات الازاحة ادخال على التوازي/اخراج على التسلسل Parallel In/Serial Out Shift Registers

في مسجل الازاحة من نوع ادخال على التوازي/اخراج على التسلسل، يتم ادخال البيانات بنفس الوقت على خطوط دخل متوازية، بدلاً من إدخالها خانة خانة بخط دخل وحيد، الخرج التسلسلي يكون كما في مسجلات الازاحة من نوع ادخال على التسلسل/اخراج على التسلسل، ويظهر حالما يتم تخزين كامل الخانات في المسجل.

الشكل (8-11) يظهر مسجل ازاحة من نوع ادخال على التوازي/اخراج على التسلسل بأربع خانات a 4-bit parallel in/serial out shift register مع الرمز المنطقي، حيث يوجد أربع خطوط دخل للبيانات من D_0 حتى D_3 بالاضافة إلى مدخلين للتحكم هما تحميل / ازاحة $SHIFT/\overline{LOAD}$ التي تسمح للخانات الأربع بالتحميل إلى المسجل، عندما:

$SHIFT/\overline{LOAD}= 0$ البوابات آند AND من G1 حتى G4 تكون في حالة تمكين تسمح للخانات الثنائية لتطبق على الدخل دي D للقلاب الموافق، فمع نبضة التزامن عندما يكون D = 1 سيكون القلاب في حالة التوضيع، ومع D= 0 القلاب سيكون في حالة التصفير، بالتالي تخزين كل الخانات يكون بنفس الوقت.

$SHIFT/\overline{LOAD}= 1$ البوابات آند AND من G1 حتى G4 تكون في حالة عدم التمكين، والبوابات آند AND من G5 حتى G7 تكون في حالة التمكين تسمح للخانات الثنائية بالازاحة نحو اليمين تتابعياً من المرحلة الأولى إلى المرحلة التالية حتى المرحلة الأخيرة، البوابات آند AND تسمح إما بعملية ازاحة عادية أو عملية ادخال بيانات على التوازي.

الشكل (8-12) يظهر أشكال الموجة للخرج لمسجل ازاحة من نوع ادخال على التوازي/اخراج على التسلسل بأربع خانات، مع أشكال الموجة لنبضة التزامن ولخط التحكم تحميل / ازاحة $SHIFT/\overline{LOAD}$

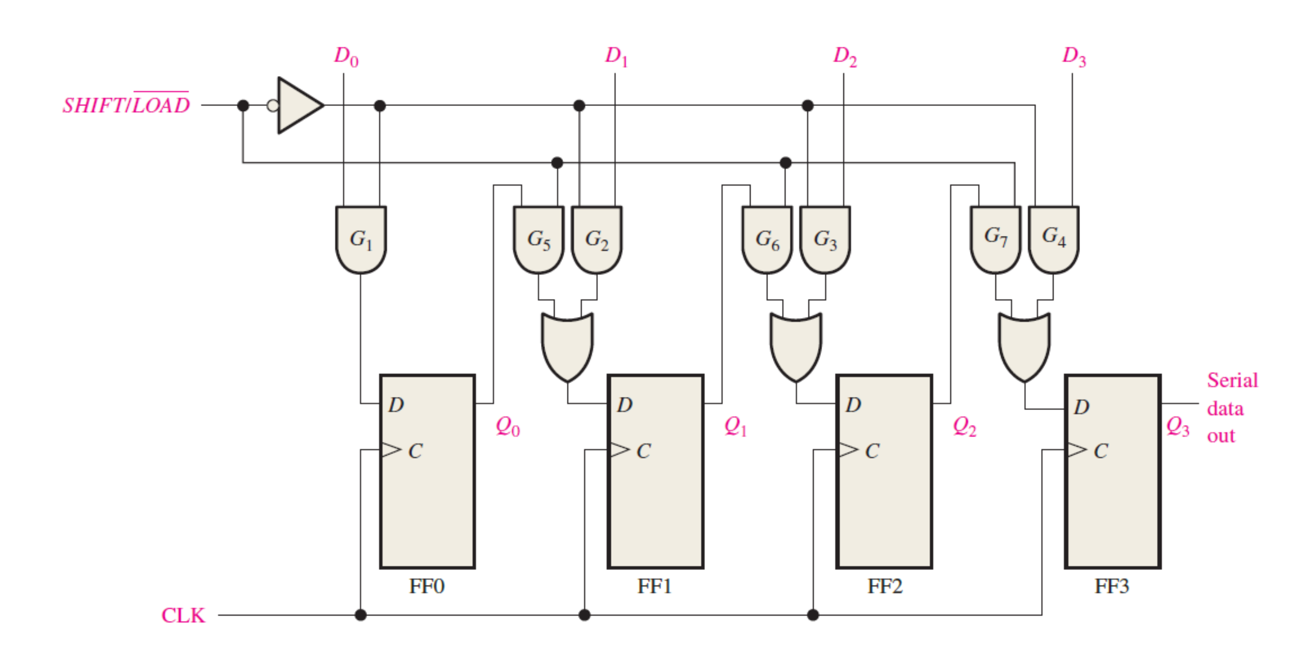
نلاحظ مع نبضة التزامن الاولى يتم تحميل البيانات على التوازي التالية إلى المسجل، الخرج Q_3 يصبح صفر 0.

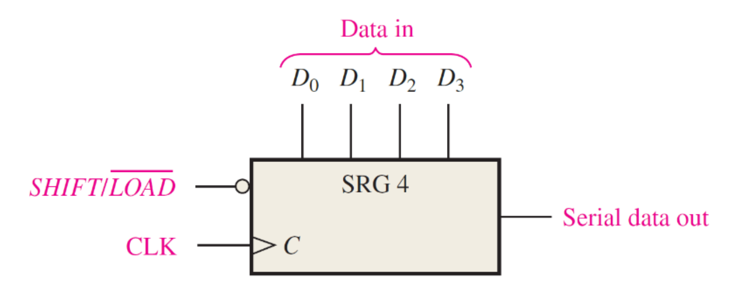
$(D_0D_1D_2D_3 = 1010)$

- مع نبضة التزامن الثانية الواحد 1 في Q_2 يزاح إلى Q_3
- مع نبضة التزامن الثالثة الصفر 0 تزاح إلى Q_3
- مع نبضة التزامن الرابعة الخانة الأخيرة واحد 1 تزاح إلى Q_3
- مع نبضة التزامن الخامسة كل خانات البيانات تزاح خارجاً وفقط واحد 1 يبقى في المسجل، مع افتراض أن الدخل D_0 يبقى واحد 1.

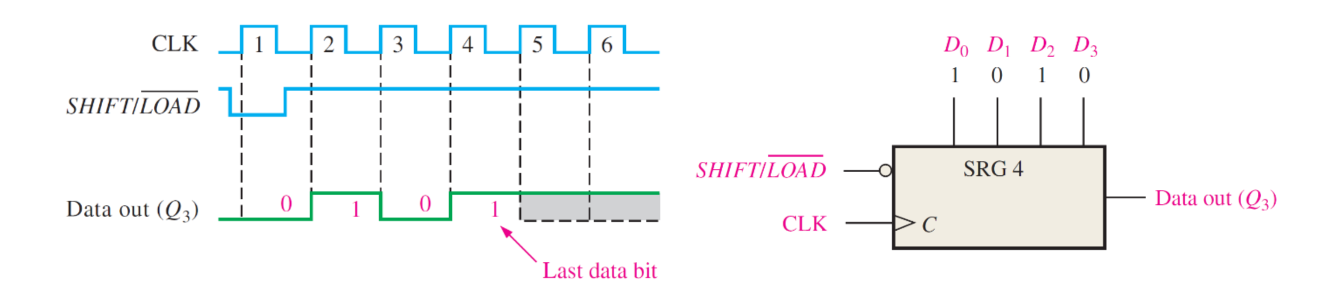
نلاحظ أنه في الادخال على التوازي، عدد من الخانات الثنائية تنقل في نفس الوقت.





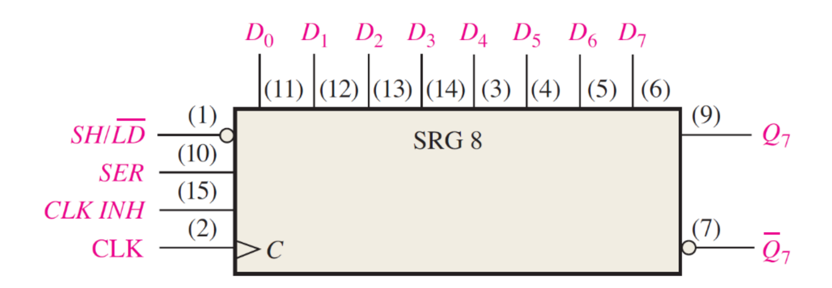


الشكل (8-11) المخطط المنطقي مع الرمز المنطقي لمسجل ازاحة من نوع ادخال على التوازي/اخراج على التسلسل بأربع خانات a 4-bit parallel in/serial out shift register



الشكل (8-12) أشكال الموجة لعملية ادخال القيمة الثنائية 1010 إلى مسجل الازاحة بأربع خانات ادخال على التوازي/اخراج على التسلسل a 4-bit parallel in/serial out shift register مع الرمز المنطقي

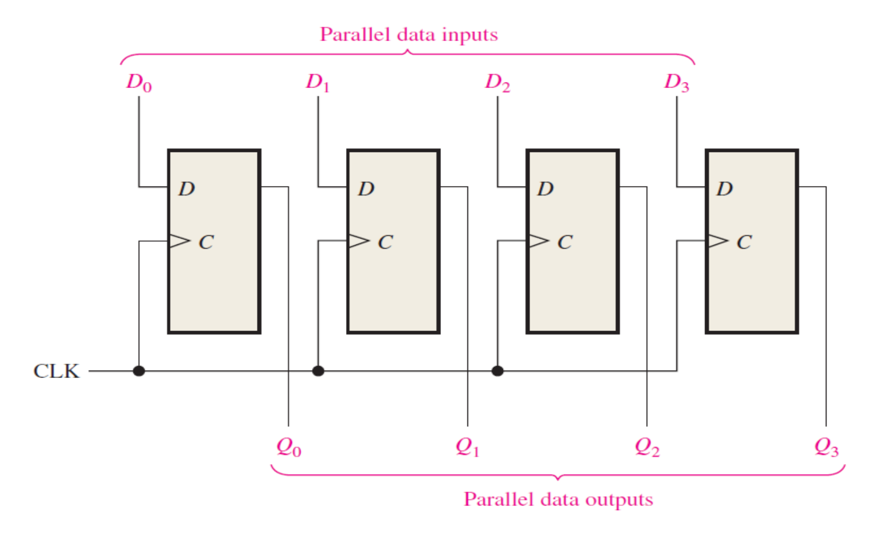
يظهر في الشكل (8-13)، الرمز المنطقي لشريحة الدائرة المتكاملة لمسجل الازاحة من نوع ادخال على التوازي/اخراج على التسلسل مع التحميل بثمان خانات 8-bit parallel load shift register التي تحمل الرقم 74HC165، والتي يمكن أن تعمل أيضاً كمسجل من نوع ادخال على التسلسل/اخراج على التسلسل، حيث يمكن إدخال البيانات له على التوازي من أطراف البيانات الثمانية من D_0 حتى D_7، الخرج للمسجل هو Q_7 ومتممه، وتحتوي بالاضافة إلى طرف التحكم تحميل/ازاحة $SH/\overline{LD}$، الطرف CLK INH، وعندما يكون في الحالة المرتفعة HIGH فإن نبضات التزامن يتم حجبها ويتم تجميد الشريحة.



الشكل (8-13) الرمز المنطقي لشريحة الدائرة المتكاملة لمسجل الازاحة من نوع ادخال على التوازي (التسلسل)/اخراج على التسلسل بثمان خانات 8-bit parallel load shift register التي تحمل الرقم 74HC165

4-3-2 مسجلات الازاحة ادخال على التوازي/اخراج على التوازي Parallel In/Parallel Out Shift Registers

مسجل الازاحة من نوع ادخال على التوازي/اخراج على التوازي parallel in/parallel out shift register تستخدم فيه الطريقة على التوازي في الادخال والاخراج، مباشرة بعد الادخال المتزامن لكل البيانات من الخانات الثنائية، تظهر على الخرج المتوازي. تم مناقشة طريقة ادخال واخراج البيانات على التوازي سابقاً، الشكل (8-14) يظهر هذا المسجل.

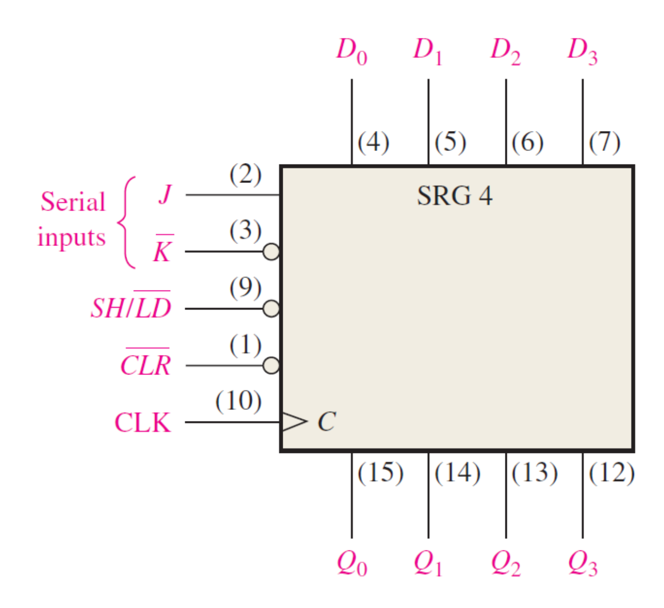


الشكل (8-14) المسجل من نوع ادخال على التوازي/اخراج على التوازي

يظهر في الشكل (8-15)، الرمز المنطقي النموذجي لشريحة الدائرة المتكاملة لمسجل الازاحة من نوع ادخال على التوازي/اخراج على التوازي بأربع خانات 4-bit parallel access shift register التي تحمل الرقم 74HC195، والتي يمكن أن تعمل أيضاً كمسجل من نوع ادخال على التسلسل/اخراج على التسلسل، وكمسجل من نوع ادخال على التفرع /اخراج على التسلسل، حيث يمكن استخدام الخرج Q_3، ونلاحظ أن لها مدخلين جي وكا J, K من أجل الادخال على التسلسل للمرحلة الأولى من المسجل، وتحتوي طرف من أجل التصفير CLR يكون فعال عند الحالة المنخفضة بالاضافة إلى طرف التحكم تحميل/ازاحة $SH/\overline{LD}$.

عندما $SH/\overline{LD}=0$ مع نبضة التزامن على الطرف CLK تنتقل البيانات من المداخل إلى المخارج.

عندما $SH/\overline{LD}=1$ مع نبضة التزامن على الطرف CLK تنتقل البيانات المخزنة مزاحة نحو اليمين من Q_0 إلى Q_3.



الشكل (8-15) الرمز المنطقي النموذجي لشريحة الدائرة المتكاملة لمسجل الازاحة من نوع ادخال على التوازي/اخراج على التوازي بأربع خانات 4-bit parallel access shift register التي تحمل الرقم 74HC195

4-2 مسجلات الازاحة ثنائية الاتجاه Bidirectional Shift Registers

مسجل الازاحة ثنائي الاتجاه Bidirectional Shift Register هو المسجل الذي فيه يمكن للبيانات أن تزاح يميناً ويساراً، ويمكن أن يصمم باستخدام منطق متزامن يساعد نقل البيانات من مرحلة إلى أخرى إلى اليمين أو اليسار بالاعتماد على قيمة خط ا لتحكم.

الشكل (16-8) يوضح مسجل ازاحة ثنائي الاتجاه بأربع خانات A 4-bit bidirectional shift register، الحالة المرتفعة HIGH على خط التحكم $RIGHT/\overline{LEFT}$ تسمح للبيانات الثنائية داخل المسجل أن تزاح إلى اليمين، وعندم يكون في الحالة المنخفضة LOW تمكن البيانات الثنائية داخل المسجل أن تزاح إلى اليسار.

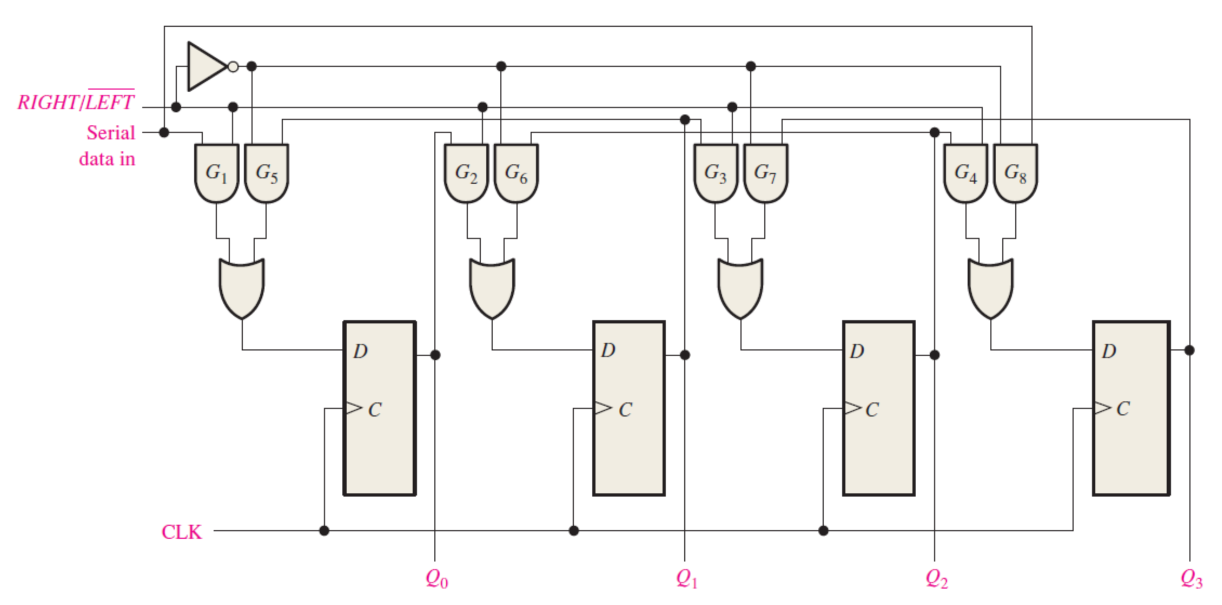
البوابات آند AND من G1 حتى G4 تكون في حالة عدم التمكين، والبوابات آند AND من G5 حتى G7 تكون في حالة التمكين تسمح للخانات الثنائية بالازاحة نحو اليمين تتابعياً من المرحلة الأولى إلى المرحلة التالية حتى المرحلة الأخيرة، البوابات آند AND تسمح إما بعملية ازاحة عادية أو عملية ادخال

عندما خط التحكم $RIGHT/\overline{LEFT}$ يكون في الحالة المرتفعة HIGH أي $RIGHT/\overline{LEFT} = 1$

البوابات آند AND من G1 حتى G4 تكون في حالة التمكين، وحالة الخرج كيو Q لكل قلاب تمرر من خلال الدخل دي D إلى القلاب التالي، عند حدوث نبضة الساعة، خانات البيانات تزاح مكان واحد نحو اليمين.

عندما خط التحكم $RIGHT/\overline{LEFT}$ يكون في الحالة المخفضة LOW أي $RIGHT/\overline{LEFT} = 0$

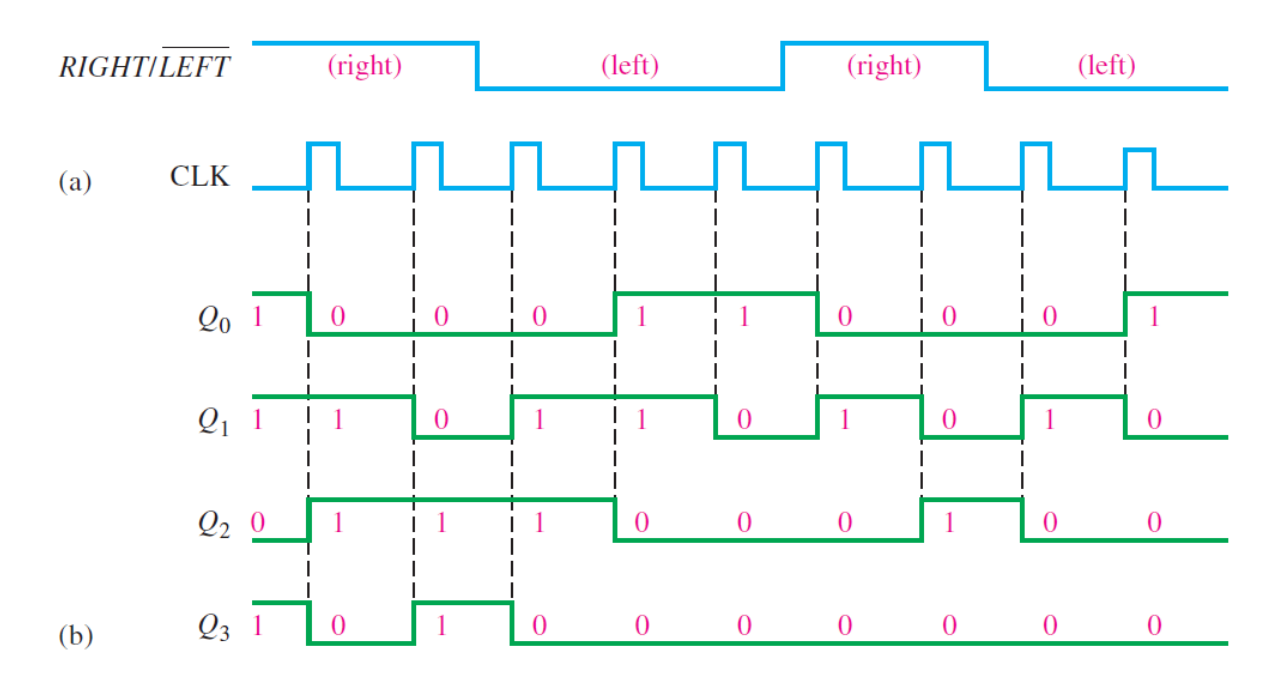
البوابات آند AND من G5 حتى G8 تكون في حالة التمكين، وحالة الخرج كيو Q لكل قلاب تمرر من خلال الدخل دي D إلى القلاب السابق، عند حدوث نبضة الساعة، خانات البيانات تزاح مكان واحد نحو اليسار.



الشكل (16-8) مسجل ازاحة ثنائي الاتجاه بأربع خانات A 4-bit bidirectional shift register



الشكل (8-17) يظهر أشكال الموجة للتزامن وللخرج لمسجل ازاحة ثنائي الاتجاه بأربع خانات، مع أشكال الموجة لخطوط التحكم RIGHT/LEFT، مع الفرض أن $Q_0 = 1$ $Q1 = 1, Q2 = 0, Q3 = 1$ والخط التسلسلي لبيانات الدخل serial data-input line في الحالة المنخفضة LOW، حيث يتم عرض شكل موجة التزامن في (a) وشكل موجة الخرج في (b).



الشكل (8-17) يظهر أشكال الموجة للتزامن وللخرج لمسجل ازاحة ثنائي الاتجاه بأربع خانات

A 4-bit bidirectional shift register

يظهر في الشكل (8-18)، الرمز المنطقي لشريحة الدائرة المتكاملة لمسجل الازاحة العام من نوع ثنائي الاتجاه، التي تحمل الرقم 74HC194 وهو بأربع خانات 4-bit bidirectional universal shift register، مسجل الازاحة العام (متعدد الأغراض) A **universal shift register** له امكانيات العمل بالشكلين على التوازي وعلى التفرع لكل من الادخال والاخراج، أي يقبل دخلاً على التوازي وعلى التسلسل، و يقوم بالإزاحة يميناً أو يساراً. وتحتوي على طرف من أجل التصفير CLR يكون فعال عند الحالة المنخفضة.

هذا ويمكن استخدام مسجل الإزاحة العام في تحويل البيانات من الشكل على التوازي إلى الشكل التسلسلي Parallel to Serial أو من تسلسلي إلى توازي Serial to Parallel.

تحتوى هذه الشريحة على 4 مراحل يمكن من خلالهم إجراء كل العمليات التي يمكن طلبها من أي مسجل إزاحة، الشريحة لها خطى تحكم S_0, S_1 يمكن بهما التحكم فى طريقة تشغيل الشريحة على الشكل التالي:

التحميل على التوازي Parallel loading ينجز عندما:



$S_1 = 1$ $S_0 = 1$ ومع نبضة التزامن الموجبة على المدخل CLK فإن بيانات الدخل على المداخل على التوازي D_0 حتى D_3 تنتقل إلى المخارج من Q_0 إلى Q_3.

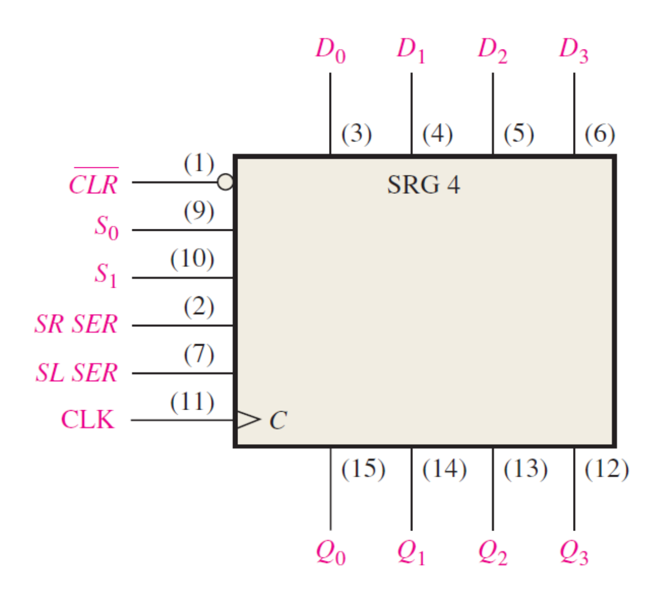
الازاحة نحو اليمين Shift right مع الادخال على التسلسل تنجز عندما

$S_1 = 0$ $S_0 = 1$ ومع نبضة التزامن الموجبة على المدخل CLK فإن البيانات تزاح تتابعياً نحو اليمين أي من Q_0 باتجاه Q_3.

ادخال البيانات على التسلسل Serial data يتم عبر المدخل على التسلسل مع ازاحة نحو اليمين Shift-right serial input (*SR SER*) وبيانات هذا الدخل تذهب إلى المرحلة Q_0.

الازاحة نحو اليسار Shift left تنجز عندما

$S_1 = 1$ $S_0 = 0$ ومع نبضة التزامن الموجبة على المدخل CLK وبيانات جديدة تدخل عبر المدخل على التسلسل مع ازاحة نحو اليسار shift-left serial input (*SL SER*)، وبيانات هذا الدخل تذهب إلى المرحلة Q_3.



الشكل (18-8) الرمز المنطقي النموذجي لشريحة الدائرة المتكاملة لمسجل الازاحة العام من نوع ثنائي الاتجاه، التي تحمل الرقم 74HC194 وهو بأربع خانات 4-bit bidirectional universal shift register

2–5 تطبيقات مسجلات الإزاحة Shift Register Applications

يوجد عدة تطبيقات لمسجل الازاحة، سنقدم بعضها في هذا الفصل:

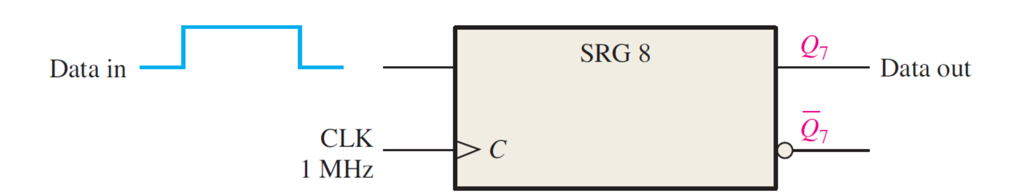
2–5–1 التأخير الزمني Time Delay

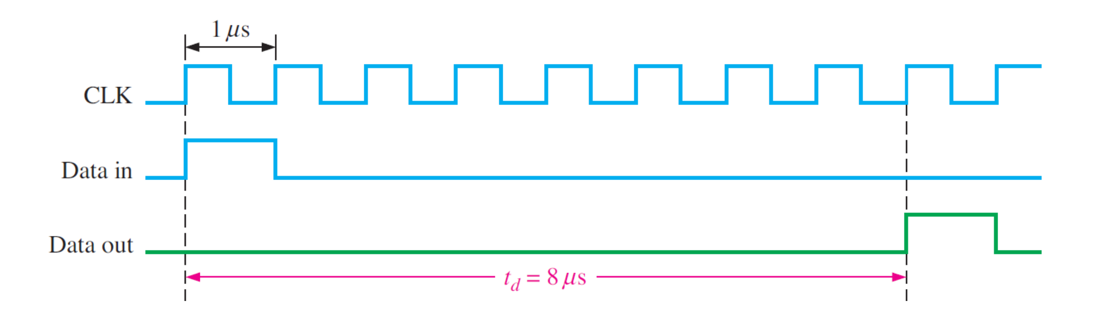
يمكن استخدام مسجل ازاحة من نوع ادخال على التسلسل/ اخراج على التسلسل A serial in/serial out shift register للحصول على تأخير زمني يمكّن إدخال البيانات المتتالية على دخله ثم استقبال هذه البيانات على خرجه في آخر مرحلة بعد زمن تأخير مقداره عدد مراحل هذا المسجل مضروباً في زمن كل نبضة من نبضات التزامن.

أي زمن التأخير تابع لكل من:

- عدد المراحل (n)
- تردد نبضات الساعة clock frequency (التزامن)

الشكل (8–19) يبين رسماً توضيحياً للرمز المنطقي لمسجل الازاحة كجهاز تأخير زمني مع المخطط الزمني، حيث نلاحظ من هذا الشكل أن البيانات التسلسلية تطبق على دخل مسجل ازاحة على ادخال التسلسل/ اخراج على التسلسل بثمان خانات 8-bit serial in/serial out shift register، يستخدم من تردد نبضات ساعة 1 MHz لنصل لزمن تأخير (t_d) مقداره 8µs، من مرتبة مكرو ثانية. أي أننا حصلنا على البيانات المدخلة بعد زمن تأخير مقداره (8 × 1 µs)، ويمكن ضبط هذا الزمن أكثر أو أقل بتغيير تردد نبضات الساعة، ويمكن زيادته بزيادة عدد مسجلات الازاحة.





الشكل (8–19) الرمز المنطقي لمسجل الازاحة كجهاز تأخير زمني مع المخطط الزمني



2-5-2 تحويل البيانات من الشكل التسلسلي إلى الشكل على التوازي

Serial-to-Parallel Data Converter

نقل البيانات على خط بيانات تسلسلي من نظام رقمي إلى آخر يستخدم عادة لتخفيض عدد الأسلاك في خط النقل، ويستخدم النقل التسلسلي عادة لتمرير البيانات من الأجهزة الطرفية إلى الحاسب، في العادة ترسل البيانات لمسافات طويلة على خط واحد لنقل البيانات مثل خط الهاتف، هذه البيانات عندما تصل إلى المستقبل لابد من تحويلها إلى الصورة المتوازية قبل إدخالها إلى المعالج أو الحاسب، على سبيل المثال الناقل التسلسلي العام للبيانات USB (universal serial bus) يستخدم لوصل لوحة المفاتيح، الطابعة، الماسحات وغيرها من الطرفيات للحاسب، وكل الحواسيب تعالج البيانات بشكل على التوازي، لذلك تتطلب تحويل من تسلسلي إلى متوازي serial-to-parallel conversion.

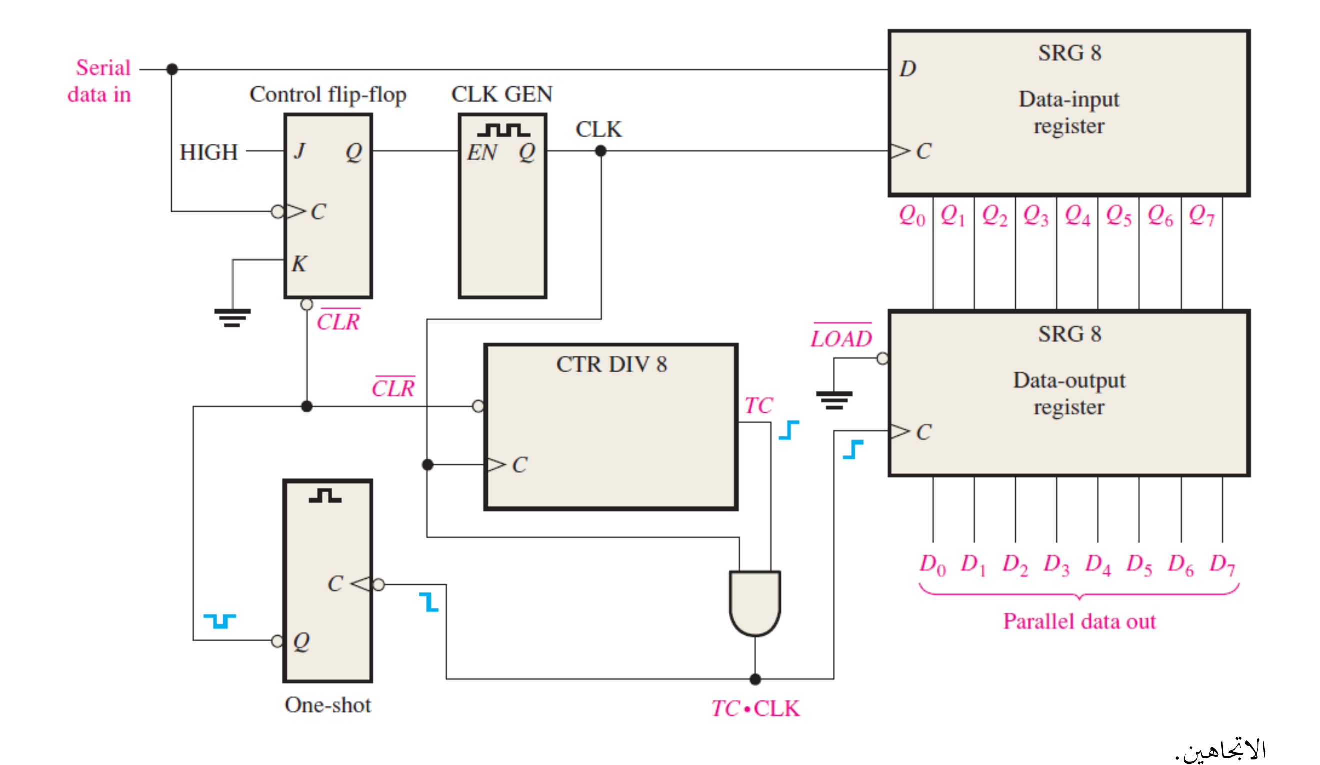
الشكل (8-20) يبين الدائرة المبسطة التي ستقوم بهذا التحويل، حيث تحتوي على من مسجلات الازاحة، لاحظ أن البيانات ترسل على خط النقل بصورة بيانات تسلسلية كالمبينة في الشكل (8-21)، في هذا الشكل نلاحظ أنها تتألف من احدى عشرة خانة ثنائية (بت)، الخانة الأولى خانة البداية (start bit) تكون دائماً صفر 0، ونبدأ دائماً بالانتقال من الحالة المرتفعة إلى الحالة لمنخفضة HIGH-to-LOW transition، الخانات الثمانية التالية من D_7 حتى D_0 تكون خانات البيانات (واحدة منها يمكن أن تكون خانة التحقق من الازدواجية parity bit، وآخر خانة أو اثنين (خانات التوقف stop bits) تكون دائماً واحد. عندما لا توجد بيانات أي لا يوجد تراسل حالة خط البيانات دائما مرتفعة HIGH.

عند نزول الإشارة من الحالة المرتفعة إلى الحالة المنخفضة HIGH-to-LOW transition، خانة البدء توضع قلاب التحكم Control flip-flop جي كا J-K ويصبح خرجه يساوي واحد 1، ونتيجة لذلك يفعل مولد النبضات الذي يبدأ باعطاء نبضات تزامن بتردد يساوي تماما تردد البيانات المرسلة على خط البيانات، هذه النبضات تستخدم كنبضات تزامن لكل من مسجل الإزاحة الأول(مسجل الدخل data-input register) الذي يستقبل البيانات التعاقبية، وأيضا للعدّاد 3 بت الذى يعد ثمان 8 عدّات.

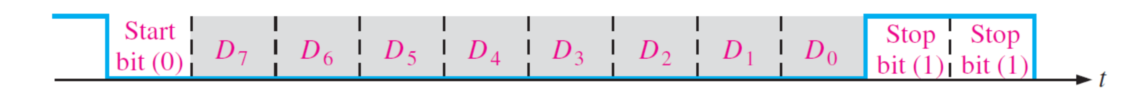
مع كل نبضة من نبضات التزامن تزاح البيانات بشكل متسلسل خلال مراحل مسجل الدخل بمقدار خانة واحدة 1، ويزداد العدّاد بمقدار واحد 1،وبعد ثمان 8 نبضات تزامن يصبح خرج العدّاد TC يساوي ثمانية 8 حيث تصبح آخر مرحلة فيه تساوي واحد 1، عند ذلك ومع أول نبضة تزامن قادمة فإن البوابة آند AND، تعطى واحد 1 فى خرجها CLK . *TC*. هذا الواحد 1 ينشط مسجل الإزاحة الثاني(مسجل بيانات الخرج data-output register) مع الدخل CLK الخاص به فيقوم بتحميل الإشارة من ثمان خانات الموجودة على خرج المسجل الأول(مسجل بيانات الدخل data-input register) ويسجلها على خرجه هو فتصبح هي الصورة المتوازية من البيانات والتي يمكن التعامل معها من خلال أي معالج أو حاسب، عند صعود خرج بوابة الآند AND، من صفر 0 إلى واحد 1 ينشط مولد النبضة one shot الذي يعطي نبضة واحدة قصيرة تصفر العدّاد وقلاب التحكم جي كا J-K استعدّادا لبدأ التعامل مع مجموعة جديدة من البيانات.

بهذه العملية تتم تحويل البيانات من الشكل التسلسلي للشكل المتوازي، و عندما نقوم بعكس العملية نحصل على تحويل من الشكل المتوازي إلى الشكل التسلسلي.

لا يخلو أى حاسب من شريحة الإرسال والاستقبال التتابعي العامة غير المتزامنة، والتي يطلق عليها UART وذلك اختصار لعبارة Universal Asynchronous Receiver Transmitter أو شريحة الاستقبال والإرسال الغير تزامني. تحتوى هذه الشريحة على دائرة تحويل من تسلسلي إلى توازي كالتي شرحناها سابقاً كما تحتوى أيضا على دائرة أخرى تقوم بالعملية العكسية وهي التحويل من توازي إلى تسلسلي تمهيداً للإرسال، لذلك فإن هذه الشريحة توجد دائماً فى بطاقة الموديم لأداء مهمة التحويل فى الاتجاهين.



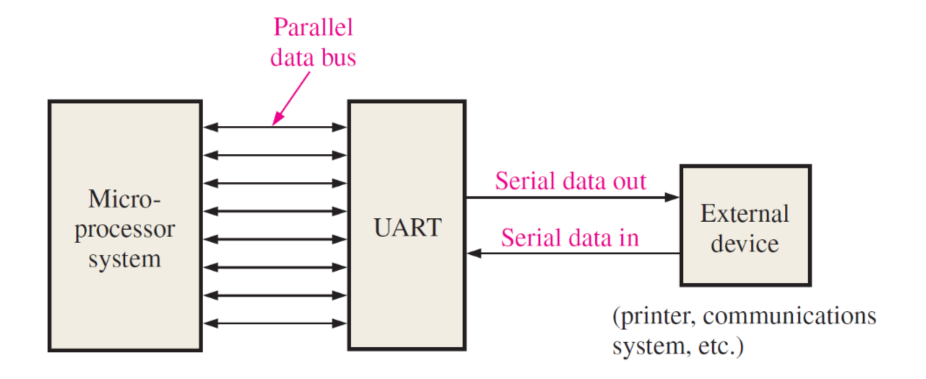
الشكل (8-20) مسجل الازاحة كجهاز تأخير زمني



الشكل (8-21) بنية وشكل البيانات الرقمية

الشكل (8-22) يظهر المخطط المنطقي لشريحة UART في تطبيق نظام عام يعتمد على المعالج a general microprocessor-based system application، تتضمن شريحة UART كلا التحويلين من الشكل التسلسلي إلى المتوازي، ومن المتوازي إلى التسلسلي.

الشكل (8-23) يوضح المخطط الزمني لعملية تحويل البيانات من الشكل التسلسلي إلى الشكل المتوازي the operation of the serial-to-parallel data converter.



الشكل (8-22) المخطط المنطقي لشريحة UART في تطبيق نظام عام يعتمد على المعالج a general microprocessor-based system application.

تحميل البيانات خارج المسجل

الشكل (8-23) المخطط الزمني لعملية تحويل البيانات من الشكل التسلسلي إلى الشكل المتوازي the operation of the serial-to-parallel data converter

الجدول (8-4) يلخص الدوائر المتكاملة التي تم عرضها سابقاً، مع أرقامها ومحتوياتها

نوع الدائرة المتكاملة		رقمها
مسجل الازاحة من نوع ادخال على التسلسل/اخراج على التوازي بثمان خانات	8-bit serial in/parallel out shift register	74HC164
مسجل الازاحة من نوع ادخال على التوازي (التسلسل)/اخراج على التسلسل بثمان خانات	8-bit parallel load shift register	74HC165
مسجل الازاحة العام ثنائي الاتجاه بأربع خانات	4-bit bidirectional universal shift register	74HC194
مسجل الازاحة من نوع ادخال على التوازي/اخراج على التوازي بأربع خانات	4-bit parallel access shift register	74HC195

الجدول (8-4) الدوائر المتكاملة التي تم عرضها في هذا الفصل

تدريبات

1- ما هي أهم الفروقات بين الدوائر المنطقية الترابطية والدوائر المنطقية التعاقبية.

2- لماذا تعتبر مسجلات الإزاحة أحد وسائل التخزين؟

3- ما هي سعة التخزين لمسجل يمكن أن يحتفظ ببايت واحد من البيانات؟

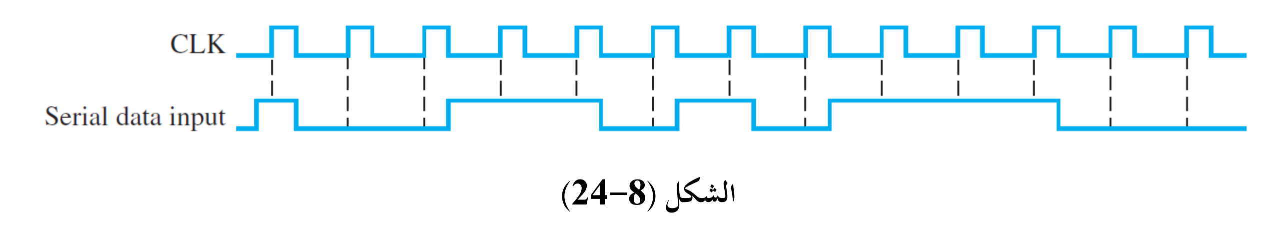
4- ما هي الوظيفة الأساسية للمسجلات وما هي العمليات التي يمكن إجراؤها على المسجلات؟

5- مسجل ازاحة نحو اليسار بأربع خانات، دخله عند نبضة التزامن الرابعة **1011**، ما هي قيمة خرج المسجل عند النبضة السابعة، علماً أن المدخل يساوي صفر **1**.

6- مسجل ازاحة نحو اليمين بأربع خانات، دخله عند نبضة التزامن الخامسة **1001**، ما هي قيمة خرج المسجل عند النبضة السابعة، علماً أن المدخل يساوي صفر **0**.

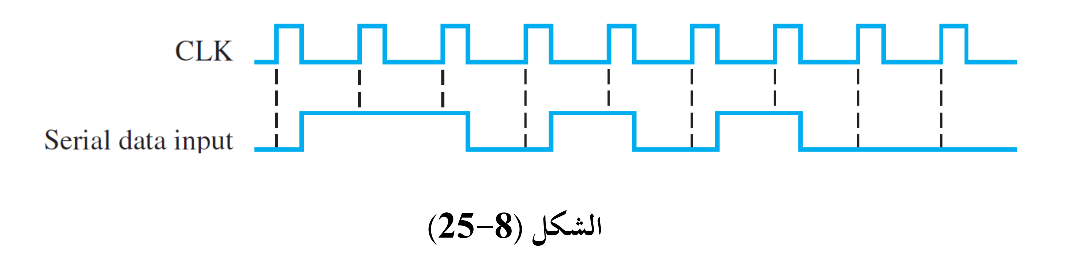
7- تم تطبيق السلسلة **1011** على مدخل مسجل ازاحة بأربع خانات الذي حالته الابتدائية في وضع التصفير، ما هي حالة المسجل بعد ثلاث نبضات تزامن؟

8- من أجل دخل البيانات التسلسلي، ونبضة التزامن في الشكل (**8-24**)، حدد حالات كل قلاب من قلابات مسجل الازاحة بأربع خانات مبين من قلابات من نوع دي **D**، وارسم موجة الخرج مفترضاً أن الحالة الابتدائية للمسجل هي واحدات **1**.

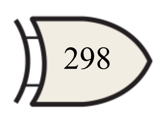


الشكل (**8-24**)

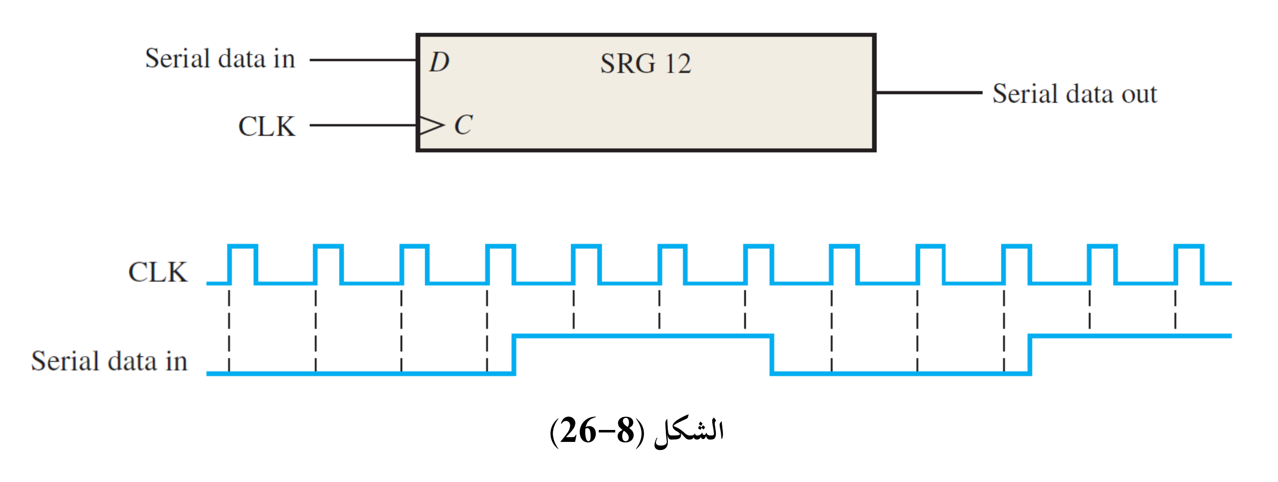
9- اعد حل المسألة في **8** من أجل البيانات في الشكل (**8-25**).



الشكل (**8-25**)

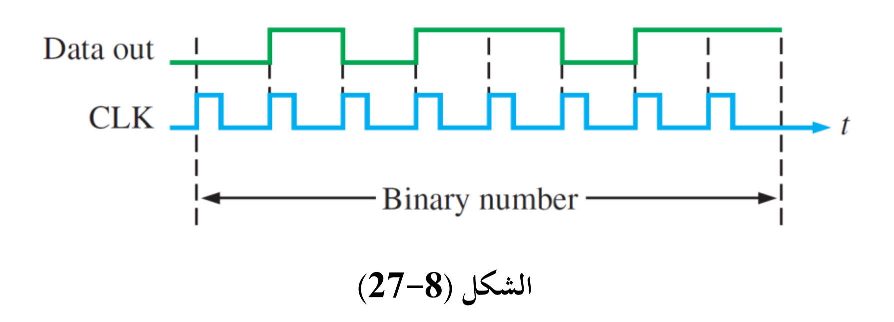


10- ما هي حالة المسجل في الشكل (**8**-**26**) بعد كل نبضة تزامن إذا بدأ مع الحالة **101001111000**.



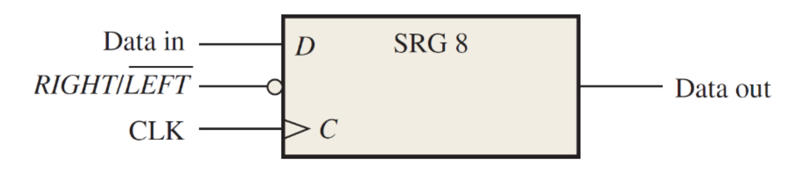
الشكل (**8**-**26**)

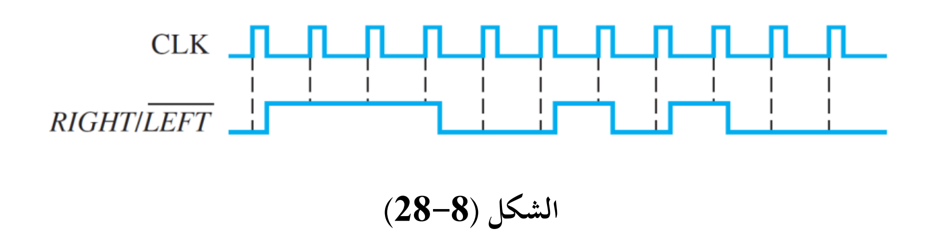
11- الحافة الصاعدة لنبضة التزامن طبقت على مسجل من نوع ادخال على التسلسل/اخراج على التسلسل يملك شكل موجة كما في الشكل (**8**-**27**)، ما هي القيمة الثنائية المخزن في المسجل بثمان خانات إذا كانت خانة البيانات الأولى التي خرجت (أقصى اليسار) هي الخانة الأقل أهمية **LSB**.



الشكل (**8**-**27**)

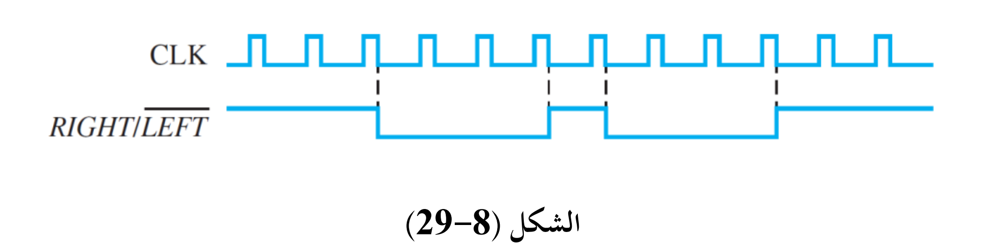
12- من أجل مسجل ازاحة ثنائي الاتجاه بثمان خانات في الشكل (**8**-**28**) حدد حالة المسجل بعد كل نبضة تزامن من أجل شكل موجة التحكم يمين/ يسار المعطاة، بحيث الحالة المرتفعة على هذا الدخل **HIGH**، تمكن الازاحة نحو اليمين، والحالة المنخفضة **LOW** تمكن الازاحة نحو اليسار، افترض أن المسجل يخزن الحالة الابتدائية وهي الرقم الثنائي المكافئ للرقم العشري **76**، مع الخانة في أقصى اليمين هي الخانة الأقل أهمية **LSB**، وحالة خط البيانات هي الحالة المنخفضة **LOW**.





الشكل (8–28)

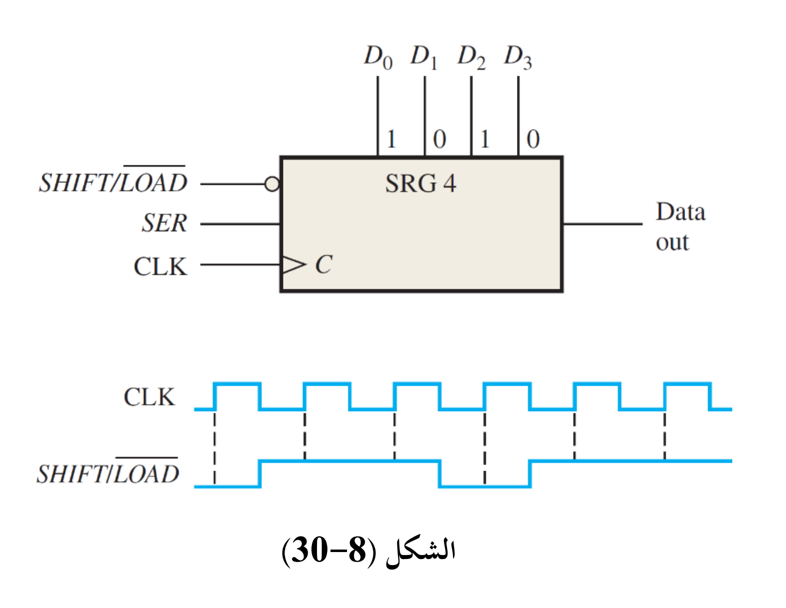
13– اعد حل المسألة في 12 من أجل شكل الموجة في الشكل (8–29).



الشكل (8–29)

14– في الشكل (8–30) أشكال لموجات تحكم مع نبضة تزامن تطبق على مسجل ازاحة خط البيانات له يكون صفر 0، وخخطوط المعطيات على التوازي تكون $D_0 = 1, D_1 = 0, D_2 = 1, D_3 = 0$

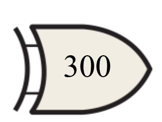
ارسم شكل موجة الخرج بالنسبة للدخل.



الشكل (8–30)

15– صمم مسجل ازاحة عام بثلاث خانات 3 bit للإزاحة نحو اليمين ونحو اليسار باستخدام مدخل تحكم.

16– صمم مسجل إزاحة بثلاث خانات 3 bit مزود بثلاث خطوط تحكم قراءة وكتابة واختيار.



Key Terms and Abbreviations المصطلحات والعبارات الرئيسة واختصاراتها

الصفحة	الترجمة	المصطلح أو العبارة	الصفحة	الترجمة	المصطلح أو العبارة
278	**Common Bus**	ناقل مشترك	275	**Sequential Logic Circuits**	الدوائر المنطقية التعاقبية
278	**4-Bit Data Bus**	ناقل بيانات بأربعة خانات	275	**Feedback**	تغذية مرتدة
279	**Shift Capability**	امكانية الازاحة	275	**Combinational Logic Circuit**	الدوائر المنطقية التوافقية
279	**4-Bit Register**	مسجل بأربع خانات	276	**Clock Signal**	اشارة التزامن
279	**Serial In**	ادخال على التسلسل	276	**Memory Circuit**	دائرة الذاكرة
279	**Serial Out**	اخراج على التسلسل	277	**Registers**	المسجلات
280	**Rotate Left**	الازاحة الدورانية لليسار	277	**Data Storage**	تخزين البيانات
280	**Rotate Right**	الازاحة الدورانية لليمين	277	**Data Movement**	نقل البيانات
280	**Parallel In**	ادخال على التوازي	277	**Shift Registers**	مسجلات الازاحة
280	**Parallel In/Serial Out Shift Registers**	مسجلات الازاحة ادخال بالتوازي/اخراج بالتسلسل	277	**Buffer Registers**	مسجلات النقل أو العزل
280	**Parallel In**	اخراج على التوازي	277	**Register-to-Register Transfer**	نقل البيانات ما بين المسجلات
280	**Serial In/Serial Out Shift Registers**	مسجلات الازاحة ادخال تسلسلي/اخراج تسلسلي	277	**Serial Data**	بيانات تسلسلية
280	**Serial In/Parallel Out Shift Registers**	مسجلات الازاحة ادخال بالتسلسل/اخراج بالتوازي	277	**Parallel Data**	بيانات متوازية
280	**Serial Data Input**	اخراج بيانات تسلسلياً	277	**D Flip-Flop**	قلاب من نوع دي D
280	**Parallel In/Parallel Out Shift Registers**	مسجلات الازاحة ادخال بالتوزاي/اخراج بالتوازي	278	**Storage Capacity**	سعة التخزين
283	**4-Bit Serial In/Parallel Out Shift Register**	مسجل ازاحة ادخال بالتسلسل/اخراج بالتوازي باربع خانات	278	**Data Bus**	ناقل البيانات

مسجل ازاحة ادخال بالتوازي/اخراج بالتسلسل بأربع خانات	4-Bit Parallel In/Serial Out Shift Register	286	تردد نبضات الساعة	Clock Frequency	292
مسجل الازاحة ادخال بالتوازي/اخراج بالتسلسل مع التحميل بثمان خانات	8-Bit Parallel Load Shift Register	287	تحويل البيانات من الشكل التسلسلي للشكل على التوازي	Serial-to-Parallel Data Converter	293
مسجل ازاحة ادخال بالتوازي /اخراج بالتوازي بأربع خانات	4-Bit Parallel Access Shift Register	288	الناقل التسلسلي العام للبيانات	USB (universal serial bus)	293
مسجل الازاحة ثنائي الاتجاه	Bidirectional Shift Registers	289	انتقال من الحالة المرتفعة إلى الحالة لمنخفضة	HIGH-to-LOW Transition	293
مسجل ازاحة ثنائي الاتجاه بأربع خانات	4-Bit Bidirectional Shift Register	289	خانة التحقق من الازدواجية	Parity Bit	293
مسجل الازاحة العام ثنائي الاتجاه بأربع خانات	4-bit Bidirectional Universal Shift Register	290	مسجل بيانات الخرج	Data-Output Register	293
مسجل الازاحة العام (متعدد الأغراض)	Universal Shift Register	290	خانة البداية	Start Bit	293
التحميل على التوازي	Parallel Loading	290	شريحة الإرسال والاستقبال التتابعي العامة غير المتزامنة	Universal Asynchronous Receiver Transmitter	294
التأخير الزمني	Time Delay	292	تطبيق نظام عام يعتمد على المعالج	A General Microprocessor-Based System Application	295
مسجل بيانات الدخل	Data-Output Register	293			

الفصل التاسع 9

العدّادات

Counters



الأهداف العامة للفصل Chapter Objectives

عندما تكمل هذا الفصل سوف تكتسب مجموعة من الخبرات والمعارف وينبغي أن تكون قادراً على:

- تصميم العدّادات بأنواعها المختلفة وشرح طريقة عملها واستخدامها في الأنظمة الرقمية.
- فهم مبدأ عمل العدّادات المتزامنة وغير المتزامنة.
- تصميم العدّادات التصاعدية والتنازلية.
- فهم وتحليل المخططات الزمنية للعدّادات.
- استعمال العدّاد في توليد سلسلة من البيانات الثنائية.
- استعمال العدّاد كمقسم للتردد.
- التعرف على أهم شرائح الدوائر المتكاملة ICs للعدّادات.

1– مقدمة Introduction

يقدم هذا الفصل شرحاً عن أهم تطبيقات الدوائر المنطقية التعاقبية، وهي العدّادات الرقمية، وتأتي أهميتها لتطبيقاتها واستخداماتها المهمة والمتنوعة، إذ تعد جزءاً من معظم الأنظمة الرقمية وغير الرقمية، بدءاً من عدّاد السيارة، إلى عدّاد السباق، إلى الساعة الرقمية، وغيرها كثير.

العدّاد الرقمي عبارة عن مجموعة من القلابات الموصلة مع بعضها بطريقة معينة يمكن بها أن تعد النبضات الداخلة إليها، على حسب طريقة توصيل كل قلاب مع القلاب التالي له يتحدد نوع العدّاد كما سنرى فى هذا الفصل، إذ سنتعرف على أنواع العدّادات وطرق تصميمها وكيفية تحليل المخططات الزمنية لها مع التعرف على أهم شرائح الدوائر المتكاملة للعدّادات.

2– العدّادات Counters

العدّادات الرقمية Digital Counters هي دوائر منطقية تعاقبية Sequential Logic Circuits ذات وظيفة محددة، ينتقل خرجها من قيمة إلى قيمة أخرى تالية عددياً عند حدوث تغير معلوم في الدخل، أي لها القدرة على العد ثنائياً بترتيب معين، وترتيب العد يكون ترتيباً تصاعدياً Up Counting، أو قد يكون ترتيباً تنازلياً Down Counting، أو قد يكون بترتيب آخر.

كل قيمة يصل إليها العدّاد أثناء عملية العد تسمى حالة State وينتقل العدّاد من حالة إلى أخرى من حالاته مع نبضات التزامن Clock وبترتيب معين. أي أن كل نبضة من نبضات التزامن تنقل العدّاد من الحالة التي هو فيها إلى الحالة التي تليها في ترتيب العد، ويمكن أن يبدأ العدّاد العد من أي حالة من حالاته، و يطلق على الحالة التي يبدأ العد منها تسمية الحالة الإبتدائية Initial State.

العدّادات تشبه المسجلات من حيث أنها دوائر منطقية تعاقبية، ويتم بناؤها من القلابات، فالمسجل مصمم كي يخزن عدد من الخانات الثنائية، بينما في العدّاد الخانات الثنائية التي يتم تخزينها عن طريق العدّاد تمثل عدد نبضات التزامن التي دخلت من مدخل نبضات التزامن clock input، ونبضات التزامن المطبقة على العدّاد تعمل على تغيير حالة دوائر القلابات المصمم منها العدّاد، وبملاحظة خرج دوائر القلابات يمكننا تحديد عدد نبضات التزامن التي تم تطبيقها على مدخل العدّاد.

2–1 أنواع العدّادات Counters Types

هناك نوعان أساسيان من العدّادات والفرق الرئيس بين هذين النوعين من العدّادات هو طريقة توصيل نبضات التزامن بين القلابات التي يتكون منها العدّاد.

- **العدّادات غير المتزامنة Asynchronous Counters** هي عدّادات تنتقل من وضعٍ إلى وضعٍ تالٍ بحسب متغيرات الدخل، وأغلب القلابات التي يتكون منها لا توصل إلى نبضات التزامن الرئيسة.

- **العدّادات المتزامنة Synchronous Counters** هي عدّادات تنتقل من وضعٍ إلى وضعٍ تالٍ عند ورود نبضة التزامن (حيث توصل نبضة التزامن الرئيسة إلى جميع قلابات العدّاد).

2-1-1 العدّادات غير المتزامنة Asynchronous Counters

يتألف العدّاد كما في المسجل من مجموعة قلابات وبوابات منطقية توصل فيما بينها بحيث تحقق العمل المطلوب منها. والمصطلح **غير متزامن asynchronous** يشير إلى أحداث لا تملك فيما بينها علاقات زمنية ثابتة do not have fixed time relationship، وبشكل عام لا تحدث عند نفس الزمن.

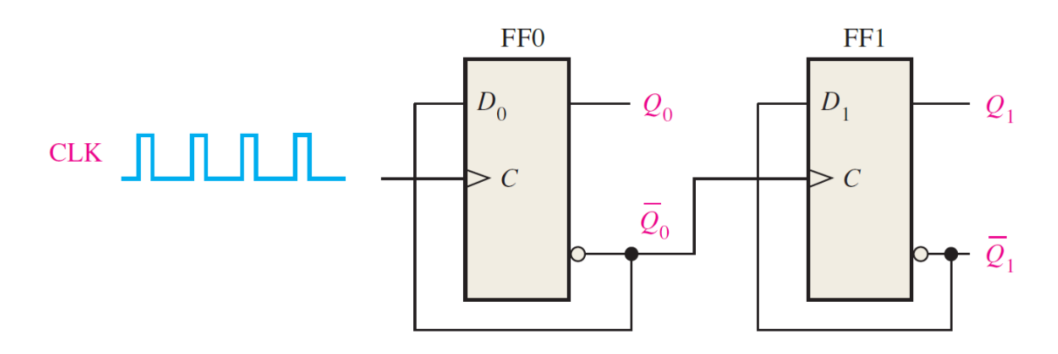
العدّاد غير المتزامن An asynchronous counter هو عدّاد يتألف من قلابات لا تغير حالاتها عند نفس الزمن لأنها لا تملك نبضات تزامن مشتركة.

2-1-1-1 العدّاد الثنائي غير المتزامن بخانتين (التموجي)

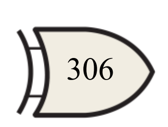
A 2-Bit Asynchronous Binary Counter (Ripple Counter)

في هذا النوع من العدّادات يتم توصيل خرج كل قلاب كنبضات تزامن للقلاب التالي له، ونبضات الساعة للمرحلة الأولى تكون هي النبضات المراد عدها، الشكل (9-1) يظهر عدّاد بخانتين من أجل عملية غير متزامنة، لاحظ أن نبضات التزامن CLK تطبق على مدخل التزامن C فقط للقلاب الأول فقط FF0 الذي يعطي دائماً الخانة الأقل أهمية LSB، القلاب الثاني FF1 يقدح بواسطة الخرج $\overline{Q_0}$ للقلاب الأول FF0، القلاب الأول FF0 يغير حالته عند الحافة الموجبة لنبضة التزامن، بينما القلاب الثاني FF1 يتغير فقط عندما يقدح بواسطة الانتقال الموجب للخرج $\overline{Q_0}$ للقلاب الأول FF0.

بسبب التأخير الزمني المترافق مع القلاب، الانتقال لنبضة التزامن للساعة CLK والانتقال للخرج $\overline{Q_0}$ للقلاب الأول FF0، لا يمكن أن تحدث بنفس الوقت، لذلك القلابات لا يتم قدحهما بنفس الوقت أي بشكل متزامن، ومنه عمل العدّاد يكون غير متزامن.



الشكل (9-1) عدّاد ثنائي بخانتين مبني من قلابات دي D غير متزامن A 2-bit asynchronous binary counter



يُعرف العدّاد الغير متزامن أيضاً باسم العدّاد التموجي Ripple Counter.

يظهر الشكل (9–2) المخطط الزمني Timing Diagram لعملية التشغيل الأساسية للعدّاد غير المتزامن في الشكل (9–1)، بواسطة تطبيق أربع 4 نبضات تزامن على القلاب الأول FF0 ومراقبة الخرج كيو Q لكل قلاب، وسنفترض الحالة الابتدائية للقلابات هي حالة التصفير RESET أي الحالة المنخفضة LOW.

من الشكل (9–2) نلاحظ أن:

– الحافة الموجبة لنبضة التزامن الأولى CLK1 تجعل خرج القلاب الأول FF0 وهو Q_0 ينتقل إلى الحالة المرتفعة HIGH، أي أن $Q_0 = 1$ وعند نفس الزمن الخرج المتمم $\overline{Q_0}$ ينتقل إلى الحالة المنخفضة LOW، أي $\overline{Q_0} = 0$ لكن بدون أي تأثير على القلاب الثاني FF1 لأن الانتقال الموجب يجب أن يحدث ليقدح القلاب.

بعد الحافة الهابطة لنبضة التزامن CLK1 ، $Q_0 = 1$ و $Q_1 = 0$

– الحافة الموجبة لنبضة التزامن الثانية CLK2 تؤدي إلى أن $Q_0 = 0$ و $\overline{Q_0} = 1$ ويقدح القلاب الثاني FF1 مؤدياً بالخرج $Q_1 = 1$

بعد الحافة الهابطة لنبضة التزامن CLK2 ، $Q_0 = 0$ و $Q_1 = 1$

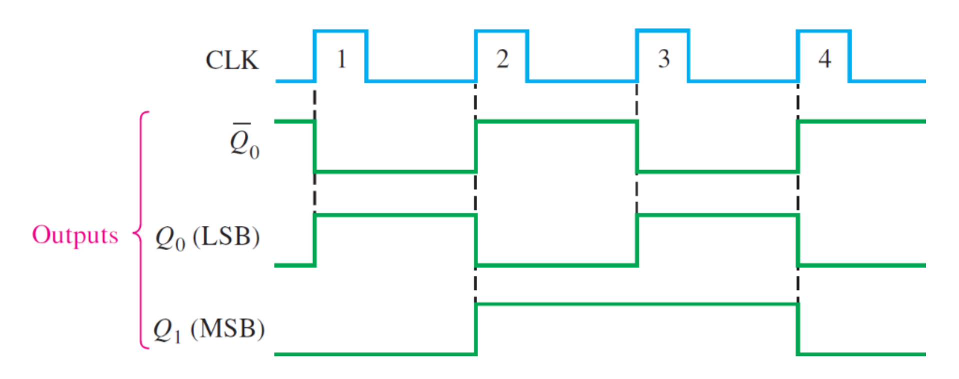
– الحافة الموجبة لنبضة التزامن الثالثة CLK3 تؤدي إلى أن $Q_0 = 1$ و $\overline{Q_0} = 0$ وبدون أي تأثير على القلاب الثاني FF1

بعد الحافة الهابطة لنبضة التزامن CLK3 ، $Q_0 = 1$ و $Q_1 = 1$

– الحافة الموجبة لنبضة التزامن الرابعة CLK4 تؤدي إلى أن $Q_0 = 0$ و $\overline{Q_0} = 1$ ويقدح القلاب الثاني FF1 مؤدياً بالخرج $Q_1 = 0$

بعد الحافة الهابطة لنبضة التزامن CLK4 ، $Q_0 = 0$ و $Q_1 = 0$

العدّاد الآن يعود إلى حالته الأصلية كلا العدّادين في حالة التصفير RESET.



الشكل (9–2) المخطط الزمني للعدّاد غير المتزامن بخانتين

نلاحظ من الشكل (9–2) أن العدّاد بخانتين يظهر أربع حالات مختلفة، حيث لدينا قلابين والتالي عدد الحالات للخرج ($2^2 = 4$)، وإذا كان الخرج Q_0 يمثل الخانة الأقل أهمية LSB (least significant bit) فإن Q_1 يمثل الخانة الأكثر أهمية

MSB (Most Inefficient Bit)، تسلسل الحالات للعدّاد يمثل تسلسل من الخانات الثنائية binary sequence كما هو موضح في الجدول (9–1):

Clock Pulse	Q_1	Q_0
Initially	0	0
1	0	1
2	1	0
3	1	1
4 (recycles)	0	0

الجدول (9–1)

بما أنه حصلنا على تسلسل من الخانات الثنائية كل منها يمثل عدد ثنائي، فإن العدّاد السابق هو عدّاد ثنائي binary counter، وهو يعد عدد نبضات التزامن تصاعدياً حتى الثلاثة 3، وعند النبضة الرابعة 4 يقوم العدّاد بتصفير نفسه ويبدأ العد من جديد.

تحدد **دورة العد وهي أقصى عد للعدّاد، *N* Maximum Count of a Counter** أي أقصى عدد يصل إليه العدّاد قبل تكرار الدورة كما يلي:

$$N = 2^n - 1$$

مقياس العدّاد وهو عدد حالات الخرج (التشكيلات المختلفة للخرج) Modulus of Counter MOD

لأي عدّاد يحسب من العلاقة

$$MOD = 2^n$$

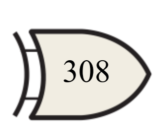
حيث n عدد عدد مراحل العدّاد أو عدد القلابات التي يتكون منها.

من عيوب العدّادات غير المتزامنة أن أزمنة تأخير الانتشار Propagation delays تتراكم من مرحلة لأخرى، لذلك أطلق عليها اسم **العدّادت التموجية ripple counters** أي زمن التأخير يتموج أو يتراكم من مرحلة للثانية حتى يصل لآخر مرحلة.

لشرح التأخير الزمني الشكل (9–3) يظهر العدّاد الثنائي لثلاث خانات 3-bit asynchronous binary counter، والشكل (9–4) يظهر المخطط الزمني له، والشكل (9–5) يشرح زمن التأخير.

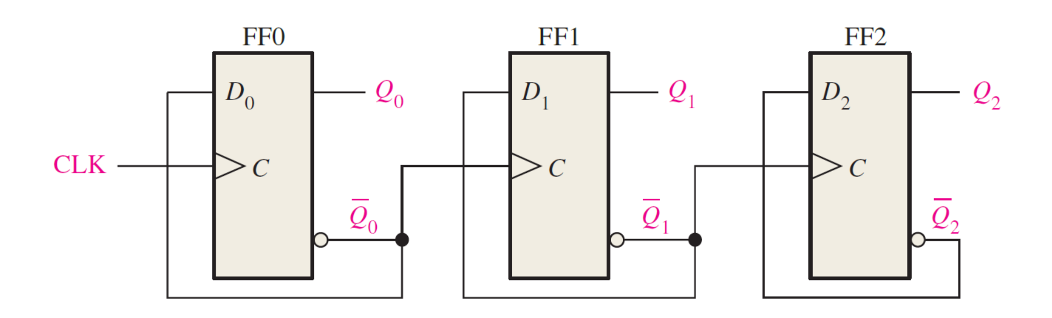
العدّاد الثنائي بثلاث خانات ($2^3 = 8$)، له ثمان حالات لأنه مؤلف من ثلاث قلابات، حيث نجد أنه من أجل ثمان نبضات تزامن، العدّاد يتقدم بعدّات ثنائية من الصفر 0 إلى السبعة 7 ومن ثم يعود من جديد إلى الصفر 0.

الجدول (9–2) يوضح هذه الحالات:

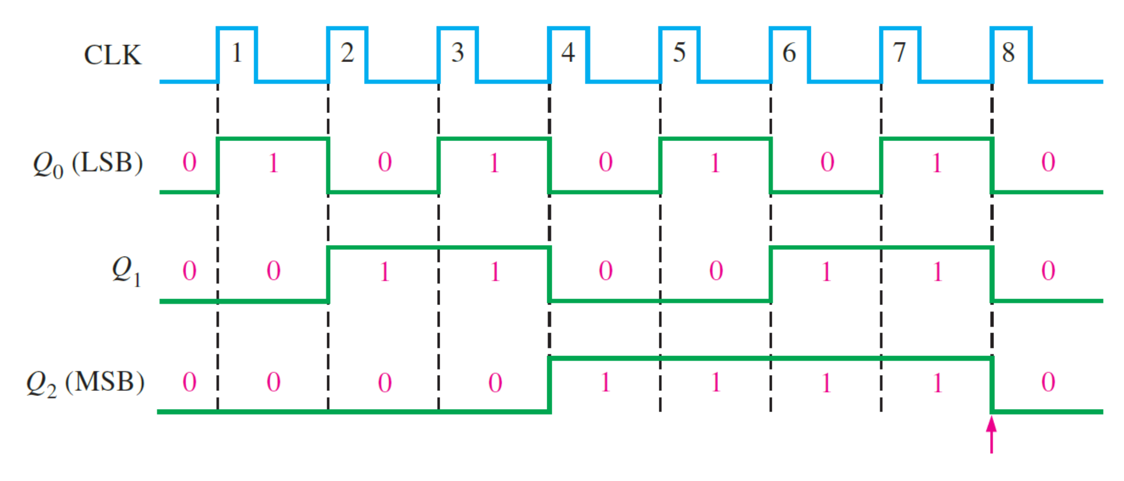


Clock Pulse	Q_2	Q_1	Q_0
Initially	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	1	0	1
6	1	1	0
7	1	1	1
8 (recycles)	0	0	0

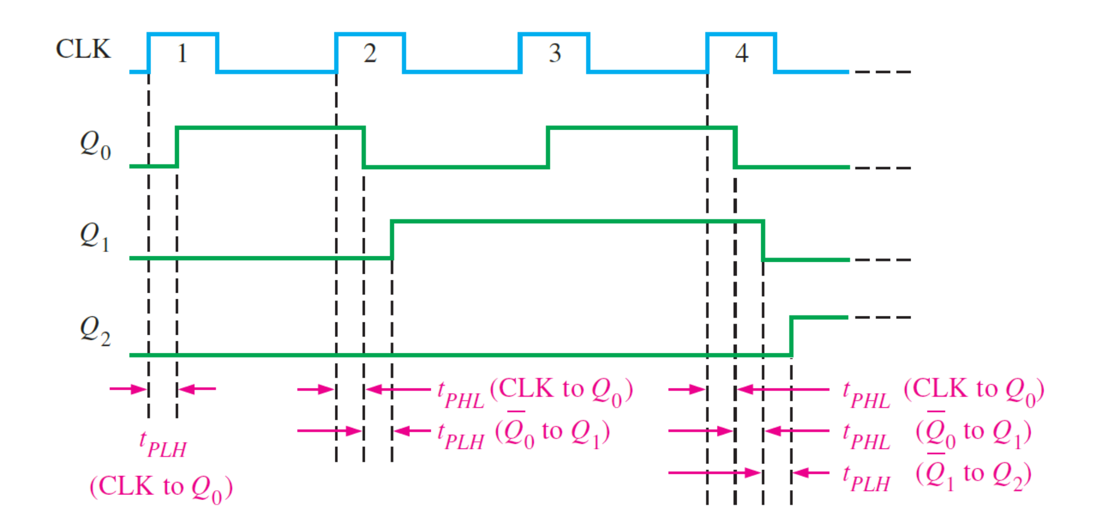
الجدول (9-2)



الشكل (9-3) عدّاد ثنائي بثلاث خانات غير متزامن A 3-bit asynchronous binary counter



الشكل (9-4) المخطط الزمني لعدّاد غير ثنائي متزامن بثلاث خانات 3-bit asynchronous binary counter



الشكل (9-5) أزمنة تأخير الانتشار لعدّاد ثنائي غير متزامن بثلاث خانات 3-bit asynchronous binary counter

من الشكل (9-5) نلاحظ أن القلابات الثلاثة تتغير حالتها على الحافة الهابطة لنبضة التزامن الرابعة CLK4، يظهر في الشكل تأثير التموج في القدح، مع ما يشير إلى أزمنة تأخير الانتشار حيث:

الانتقال من الحالة المنخفضة إلى الحالة المرتفعة LOW-to-HIGH transition للخرج الأول Q_0 يؤدي إلى أول زمن تأخير t_{PLH} بعد نبضة التزامن الموجبة.

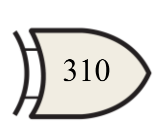
الانتقال من الحالة المنخفضة إلى الحالة المرتفعة LOW-to-HIGH transition للخرج الثاني Q_1 يؤدي إلى زمن تأخير t_{PLH} بعد نبضة التزامن الموجبة لخرج للقلاب الأول $\overline{Q_0}$.

الانتقال من الحالة المنخفضة إلى الحالة المرتفعة LOW-to-HIGH transition للخرج الثالث Q_2 يؤدي إلى زمن تأخير t_{PLH} بعد نبضة التزامن الموجبة لخرج للقلاب الثاني $\overline{Q_1}$.

كما تلاحظ أن القلاب الثالث FF2 لا يقدح إلا بعد زمنين تأخير، ولكي يتأثر بالحافة الموجبة لنبضة التزامن الرابعة CLK4، يأخذ ثلاث أزمنة تأخير انتشار، أي أن CLK4 تتموج عبر العدّاد وتغير حالة الخرج Q_2 من الحالة المنخضة إلى الحالة المرتفعة LOW to HIG بعد ثلاث أزمنة تأخير انتشار.

الشكل (9-6) يظهر عدّاد غير متزامن بأربع خانات 4-bit asynchronous binary counter، والشكل (9-7) يظهر المخطط الزمني مع زمن التأخير Propagation delays، ونلاحظ أن زمن التأخير للمرحلة الأخيرة سيساوي إلى $4t_{p(tot)}$ حيث t_p هو زمن تأخير المرحلة الواحدة و4 هو عدد المراحل.

بالطبع زمن التأخير هذا كما نرى سيضع حداً لأكبر تردد يمكن أن يعمل عنده مثل هذا العدّاد، أو بمعنى آخر أكبر تردد لنبضات التزامن التى يعدها هذا العدّاد .تخيل مثلا أن زمن التأخير للمرحلة الواحدة هو 10 نانوثانية، وأن لدينا عدّادا من أربع 4 مراحل .فى هذه الحالة سيكون مقدار التأخير لكل المراحل هو

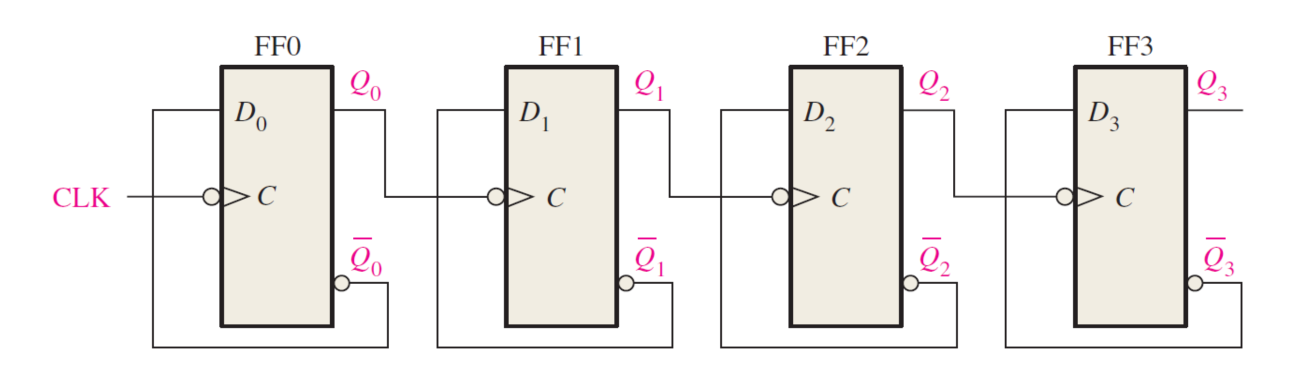


$$t_{p(tot)} = 4 \times 10\text{ ns} = \mathbf{40\ ns}$$

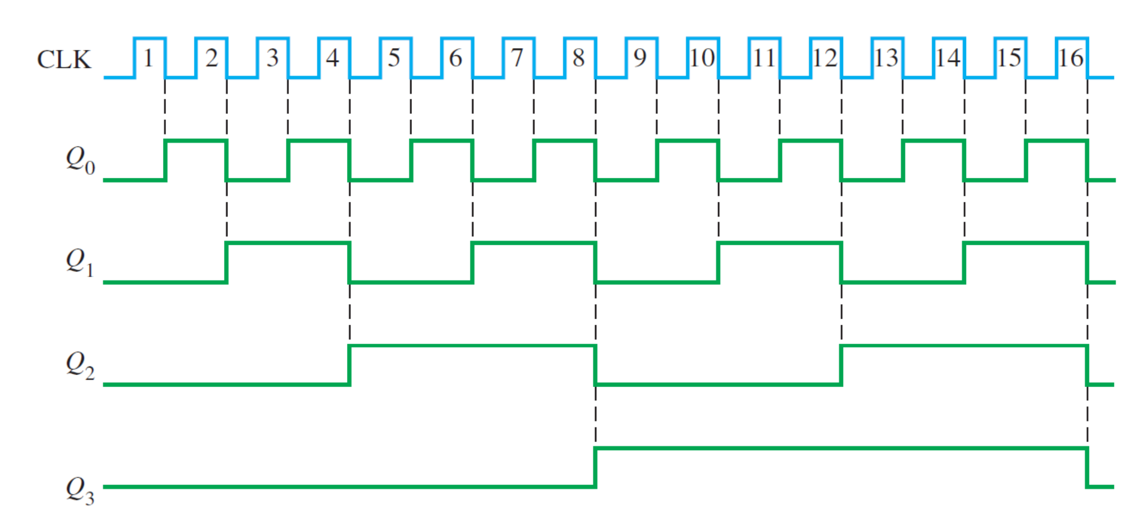
معنى ذلك أن أكبر تردد لنبضات الساعة (وبالتالي سرعة العدّاد) يجب ألا تتعدّى :

تردّد الساعة الأعظمي The maximum clock frequency

$$f_{max} = \frac{1}{t_{p(tot)}} = \frac{1}{40\text{ ns}} = \mathbf{25\ MHz}$$



الشكل (9–6) عدّاد ثنائي غير متزامن بأربع خانات 4-bit asynchronous binary counter



الشكل (9–7) المخطط الزمني لعدّاد ثنائي غير متزامن بأربع خانات 4-bit asynchronous binary counter

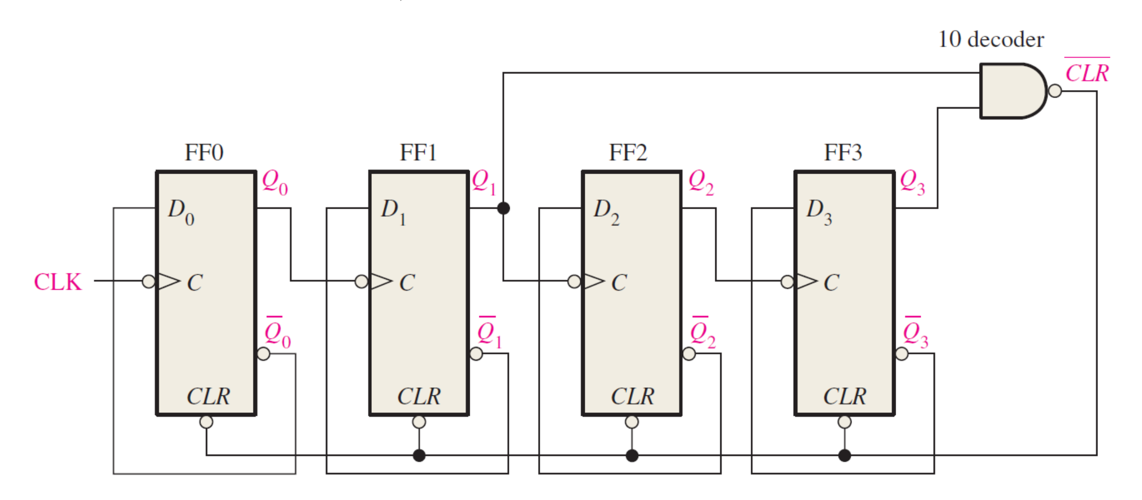
2–1–1–2 العدّادات غير المتزامنة لأي قاعدة An Asynchronous Binary Counter for Any Base

لقد رأينا أن العدّاد السابق لابد أن يمر بكل الحالات الممكنة للخرج، لذلك فإن عدد حالاته أو نظام عده هو 2^n حيث n هي عدد مراحل العدّاد، يمكن تصميم العدّاد ليعد لأي عدد من الحالات، مثل عدّاد يعد من صفر إلى ثمان عشر (0~18)، أو من صفر إلى مئة (0~100)، أو إلى أي رقم ليس من قوى الرقم 2.

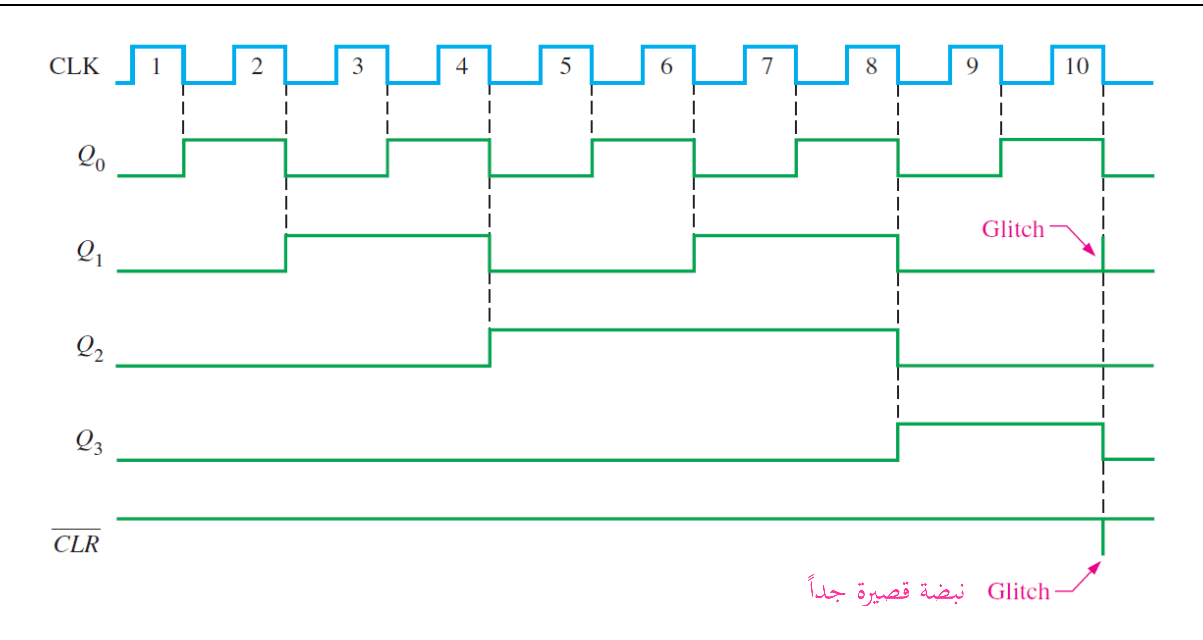
أشهر هذه العدّادات هو **العدّاد العشري Decade Counters** ويسمى أيضاً MOD 10 الذي يعد من صفر 0 إلى 9، أي أنه له 10 حالات خرج، أو طول دورته 10، سنرى في هذا الجزء كيفية تصميم العدّاد العشري.

النظرية هنا هي أننا نستخدم عدد من المراحل يعطي هذا العدد من الحالات المطلوبة أو أكثر، ثم بعد ذلك نستخدم محلل شفرة ينشط عند الحالة عشرة $(1010)_2$ فيعطي إشارة تصفر جميع مراحل العدّاد وتجعله يبدأ العد من الصفر 0 مرة أخرى. الشكل (8–9) يبين هذا العدّاد، نلاحظ من هذا الشكل أن العدّاد مكون من 4 مراحل لأن 3 مراحل تعطي 8 حالات فقط، لذلك لابد من استخدام 4 مراحل، بعد ذلك استخدمنا بوابة ناند NAND (محلل شفرة) دخليها هما Q_1 و Q_3 حيث كل منهما يكون في الحالة المرتفعة HIGH أي واحد 1 عند العدة العاشرة $(1010)_2$ فقط.

خرج بوابة ناند NAND يذهب ليصفر جميع القلابات من طرف التصفير CLR الخاص بكل منها، حيث عندها يبدأ العدّاد من الصفر مرة أخرى. الشكل (9–9) يبين المخطط التزامني لخرج جميع مراحل العدّاد، لاحظ وجود النتوء أو النبضة القصيرة جداً glitch التي ظهرت على الخرج Q_1 عند العدة العاشرة، هذا النتوء يظهر لأن الخرج Q_1 عند هذه اللحظة يصعد للواحد 1 أولاً، وبعد مرور زمن قصير جداً يعود للصفر 0 مرة ثانية، هذا الزمن هو زمن الانتشار خلال بوابة ناند NAND، ثم زمن الانتشار في القلاب خلال الطرف CLR، كل ذلك يقدر بعدد صغير من النانوثانية. لذلك فإن عرض هذا النتوء يكون صغيرا جداً ومن الصعب رؤيته إلا باستخدام راسم اشارة oscilloscope عالي التردد، أو محلل منقطي Logic analyzer بالطبع فإن هذا النتوء يعتبر عيباً لأنه قد يسبب بعض المشاكل في الكثير من الدوائر الرقمية. بنفس الطريقة يمكن تصميم أي عدّاد لأي قاعدة.



الشكل (8–9) عدّاد عشري غير متزامن يعود إلى الصفر بطريقة غير متزامنة An asynchronously clocked decade counter with asynchronous recycling



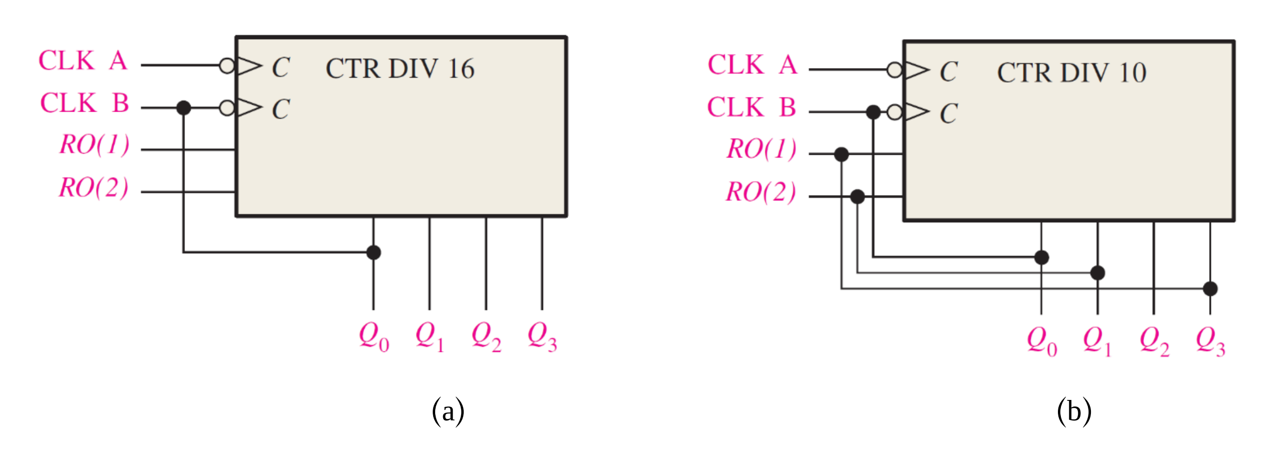
الشكل (9–9) المخطط الزمني لعدّاد عشري غير متزامن يعود إلى الصفر بطريقة غير متزامنة ويكرر نفسه
An asynchronously clocked decade counter with asynchronous recycling

تتوفر العدّادات غير المتزامنة على شكل دوائر متكاملة متعددة الأنواع، الشكل (10–9)(a) يظهر الرمز المنطقي للشريحة المتكاملة (Integrated Circuit) IC لعدّاد غير متزامن تحمل الرقم 74HC93 تتكون هذه الشريحة من 4 قلابات من النوع دي D، في الواقع يمكن تقسيمها إلى قلاب واحد دخله CLK A، وعدّاد بثلاث خانات غير متزامن 3-bit asynchronous binary counter يكون دخله CLK B، وهذا التصميم من أجل المرونة، يمكن أن تستخدم كمقسم على 2 إذا استخدم فقط القلاب، ويمكن أن تستخدم كعدّاد بمقياس عد ثمانية modulus-8 counter إذا استخدم جزء العدّاد.

تحتوي الشريحة على مدخلين للتصفير RO1 و RO2 عندما يكون كلاهما في حالة مرتفعة HIGH فإن العدّاد يتم تصفيره reset ويعود للحالة 0000.

يمكن أيضاً استخدام الشريحة 74HC93 كعدّاد بست عشرة 16 عدة (0 ~15) a 4-bit modulus-16 counter، ويتم ذلك بوصل الخرج Q_0 إلى الدخل CLK B كما هو موضح في الشكل (10–9)(a)،

يعتبر العدّاد في الشريحة 74193 من أكثر العدّادات استخدامًا لما تتميز به من مداخل تحكم تسمح للمصمم بحرية الاستخدام والتحكم، إذ يمكن أيضاً أن تعمل كعدّاد عشري (0 ~9) a decade counter بوصلها كما هو موضح بالشكل (10–9)(b).



الشكل (9–10) الرمز المنطقي للشريحة المتكاملة IC لعدّاد غير متزامن تحمل الرقم 74HC93، موصلة كعدّاد ست عشرة عدة في (a) a 4-bit modulus-16 counter، وكعدّاد عشري a decade counter في (b)

2–1–2 العدّادات المتزامنة Synchronous Counters

المشكلة التي تظهر في العدّادات غير المتزامنة، وخصوصًا عند ربط مجموعة كبيرة من العدّادات بشكل تسلسلي لتحقيق عدد خانات كبير، تكمن في زمن تأخير القلاب أو زمن الانتشار، حيث تغير القلابات من حالاتها بشكل تسلسلي، يمكن التخلص من هذه السيئة بقدح القلابات بنبضة تزامن مشتركة بحيث تغيير القلابات حالتها في وقت واحد. وللتحكم بخرج القلاب ليتمكن من قلب حالته، تُستخدم بوابات منطقية ضمن تشكيلة خاصة تحقق عمل القلاب بشكل صحيح.

المصطلح **متزامن synchronous** يشير إلى مجموعة أحداث تملك علاقات زمنية ثابتة have fixed time relationship مع بعضها البعض. **العدّاد المتزامن An synchronous counter** هو عدّاد كل القلابات فيه تقدح بنفس الزمن بواسطة نبضة تزامن مشتركة، أي تغير حالتها بالتوافق مع نفس نبضات التزامن، لذلك فإن طرف التزامن لكل القلابات يكون موصلاً على نفس المصدر، وبالتالي فإننا سنرى أن هذا النوع من العدّادات يكون أسرع من العدّادات غير المتزامنة التموجية التي درسناها في الجزء السابق.

تستخدم في بناء العدّادات المتزامنة قلابات من نوع جي كا J-K flip-flops، ويكن استخدام قلابات من نوع دي D لكنها تتطلب عدد أكبر من البوابات المنطقية.

2–1–2–1 العدّاد الثنائي المتزامن بخانتين A 2-Bit Synchronous Binary Counter

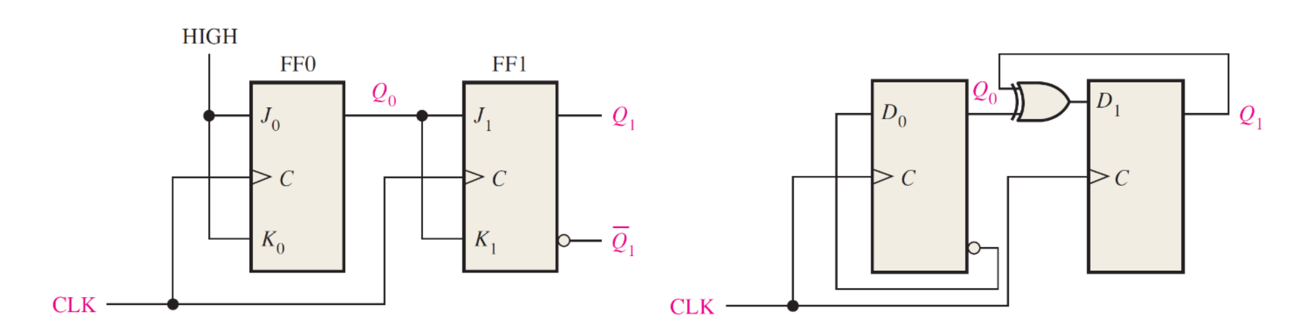
يعرض الشكل (9–11) عدّاد ثنائي متزامن بخانتين a 2-bit synchronous binary counter، الأول مبني من القلاب جي كا J-K والثاني من القلاب دي D.

لشرح آلية العمل سنشرح العدّاد المبني القلاب جي كا J-K، نفرض أن كلا القلابين في حالة تصفير Reset، نجد أن القلاب الأول يجب أن يغير حالته عند ورود كل نبضة من نبضات الساعة، إذًا يتم وصل مدخليه على الحالة المرتفعة "**1**" بينما يتم



وصل إشارة نبضة التزامن CLK مباشرةً على مدخل نبضات التزامن للقلاب C. ونلاحظ أيضًا أن القلاب الثاني يجب أن يغير حالته كل نبضتين متتاليتين من نبضات الساعة، وبالتالي لا تصلح الطريقة المستخدمة في القلاب الأول كون القلاب الثاني مشترك مع القلاب الأول بإشارة نبضات الساعة.

للتخلص من هذه المشكلة وبملاحظة أن القلاب جي كا J-k لا يقلب حالته toggle إلا إذا كان مدخليه موصولين على الحالة المرتفعة " **1** " ، يتم وصل مداخل القلاب الثاني جي كا J-k مع مخرج القلاب الأول، عندها يغير القلاب الثاني حالة خرجه كل نبضتين متتاليتين.



الشكل (9-11) عدّاد ثنائي متزامن بخانتين a 2-bit synchronous binary counter، مبني من القلاب جي كا J-k على اليمين، ومن القلاب دي D على اليسار

الشكل (9-12) يظهر المخطط الزمني للعدّاد مع أزمنة التأخير للقلابات Propagation delay، مع افتراض أنها متساوية، والشكل (9-13) يظهر المخطط الزمني مع اهمال أزمنة التأخير للتبسيط، مع أنها عامل مهم في العدّادات المتزامنة.

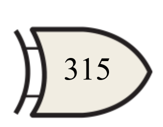
عند تطبيق الحافة الموجبة لنبضة التزامن الأولى CLK1 القلاب الأول FF0 سوف يتبدل خرجه وسوف يصبح الخرج $Q_0 = 1$، والقلاب الثاني FF1 يبقى على حالته بدون تغيير.

بعد نبضة التزامن الأولى CLK1 فإن Q0 = 1 و Q1 = 0

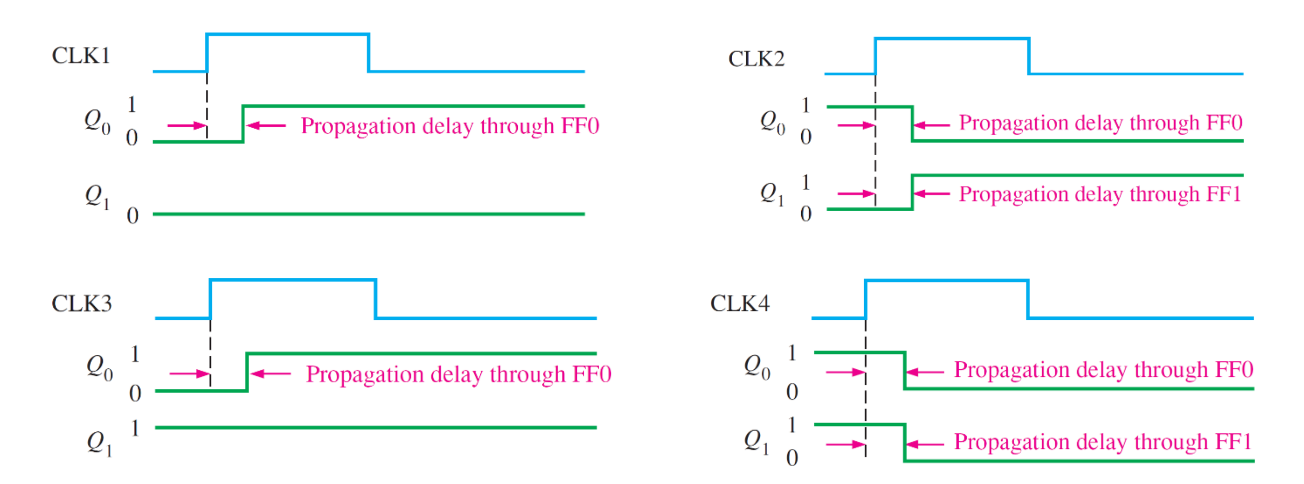
عند حدوث الحافة الصاعدة لنبضة التزامن الثانية CLK2، القلاب الأول FF0 سوف يتبدل خرجه وسوف يصبح الخرج $Q_0 = 0$، وبما أن مداخل القلاب الثاني FF1 موصولة مع خرج القلاب الأول و Q0 = 1 فعند حافة القدح لنبضة التزامن، خرج القلاب يتبدل ويصبح Q1 = 1.

بعد نبضة التزامن الثانية CLK2 فإن Q0 = 0 و Q1 = 1

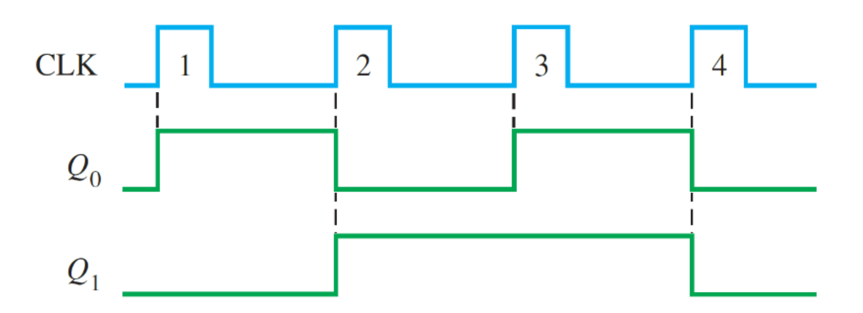
عند حدوث الحافة الصاعدة لنبضة التزامن الثالثة CLK3، القلاب الأول FF0 سوف يتبدل خرجه وسوف يصبح الخرج $Q_0 = 1$، القلاب الثاني FF1 سوف يبقى واحد Q1 = 1 لأن كلا مداخله هي صفر (Q0 = 0)، بعد حافة القدح هذه، Q0 = 1 و Q1 = 1



أخيراً عند حدوث الحافة الصاعدة لنبضة التزامن الرابعة CLK4، سوف يصبح الخرج $Q_0 = 0$ و $Q1 = 0$ لأن كلا القلابين في نمط التبديل toggle.



الشكل (9-12) تفاصيل المخطط الزمني للعدّاد المتزامن بخانتين الذي يظهر أزمنة التأخير للقلابات Propagation delay، بافتراض أنها متساوية

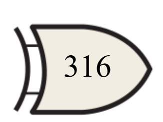


الشكل (9-13) المخطط الزمني لعدّاد ثنائي متزامن بخانتين a 2-bit synchronous binary counter

2-1-3 العدّادات المتزامنة من نوع التصاعدي/التنازلي Up/Down Synchronous Counters

العدّاد التصاعدي/التنازلي Up/Down Counter هو عدّاد له القدرة على العد في كلا الاتجاهين، ويسمى أحياناً ثنائي الاتجاه bidirectional counter، فالعدّاد الثنائي بثلاث خانات يعد تصاعدياً بالتسلسل (0، 1، 2، 3، 4، 5، 6، 7)، ويمكن أن يعكس العد بأن يعد بالاتجاه المعاكس تنازلياً (7، 6، 5، 4، 3، 2، 1، 0).

بشكل عام معظم العدّادات التصاعدية التنازلية يمكن أن تعكس حالتها عند أي نقطة وليس بالضرورة حتى انتهاء حالات العد كما هو مبين:



$$\overbrace{0, 1, 2, 3, 4, 5,}^{UP} \underbrace{4, 3, 2,}_{DOWN} \overbrace{3, 4, 5, 6, 7,}^{UP} \underbrace{6, 5,}_{DOWN} \text{etc}$$

الجدول (3-9) يظهر تسلسل الحالات من اجل عدّاد ثنائي تصاعدي/تنازلي Up/Down sequence for a 3-bit binary counter.

Clock Pulse	Up	Q_2	Q_1	Q_0	Down
0		0	0	0	
1		0	0	1	
2		0	1	0	
3		0	1	1	
4		1	0	0	
5		1	0	1	
6		1	1	0	
7		1	1	1	

الجدول (3-9)

من الجدول (3-9) يمكن أن نلاحظ

- القلاب الأول FF0 يغير حالته Q_0 عند ورود كل نبضة من نبضات الساعة سواء للنمط التصاعدي أو التنازلي كما يشير السهم، إذًا يتم وصل مدخليه على الحالة المرتفعة "1" أي $J_0 = K_0 = 1$. بينما يتم وصل إشارة نبضة التزامن مباشرةً على مدخل نبضات التزامن للقلابات.
- القلاب الثاني FF1 مع نبضة التزامن التالية يغير حالته عندما:

من أجل النمط التصاعدي up sequence عندما $Q_0 = 1$

من أجل النمط التنازلي down sequence عندما $Q_0 = 0$

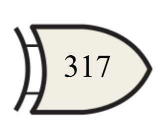
لذلك المداخل يجب أن تساوي الحالة المرتفعة "1" تحت الشروط المعبر عنها كالتالي:

$$J_1 = K_1 = (Q_0 \,.\, UP) + (\overline{Q_0} \,.\, DOWN)$$

- القلاب الثالث FF2 مع نبضة التزامن التالية يغير حالته عندما:

من أجل النمط التصاعدي up sequence عندما $Q_1 = Q_0 = 1$

من أجل النمط التنازلي down sequence عندما $Q_1 = Q_0 = 0$



لذلك المداخل يجب أن تساوي الحالة المرتفعة "1" تحت الشروط المعبر عنها كالتالي:

$$J_2 = K_2 = (Q_0 . Q_1 . UP) + (\overline{Q_0} . \overline{Q_1} . DOWN)$$

كل الشروط من أجل المداخل J و K، لكل القلابات تنتج حالة التبديل toggle عند نقطة محددة من سلسلة العد للعدّاد.

الشكل (9-14) يظهر عدّاد ثنائي تصاعدي/تنازلي من ثلاث خانات a 3-bit up/down binary counter مصمم باستخدام المعادلات السابقة المستنتجة من أجل المداخل لكل قلاب. مع ملاحظة أن مدخل التحكم $UP/\overline{DOWN}$ يكون في الحالة المرتفعة HIGH من أجل النمط التصاعدي UP وفي الحالة المنخفضة LOW من أجل النمط التنازلي DOWN.

الشكل (9-15) يظهر الرمز المنطقي للشريحة المتكاملة IC لعدّاد عشري تصاعدي/تنازلي من أربع خانات مؤلف من أربع قلابات up/down synchronous decade counter تحمل الرقم 74HC190، اتجاه العد يحدد بالمستوى المنطقي لخط التحكم $D / \overline{U}$. وهي يعد حتى 9 فقط من 0 حتى 9 (والاسم CTR DIV 10 اي بعشر حالات أو قاسم على 10).

فعندما يكون يساوي الحالة المرتفعة $D / \overline{U}= 1$ العدّاد يعد تنازلياً

وعندما يكون يساوي الحالة المنخفضة $D / \overline{U}= 0$ فإن العدّاد يعد تصاعدياً.

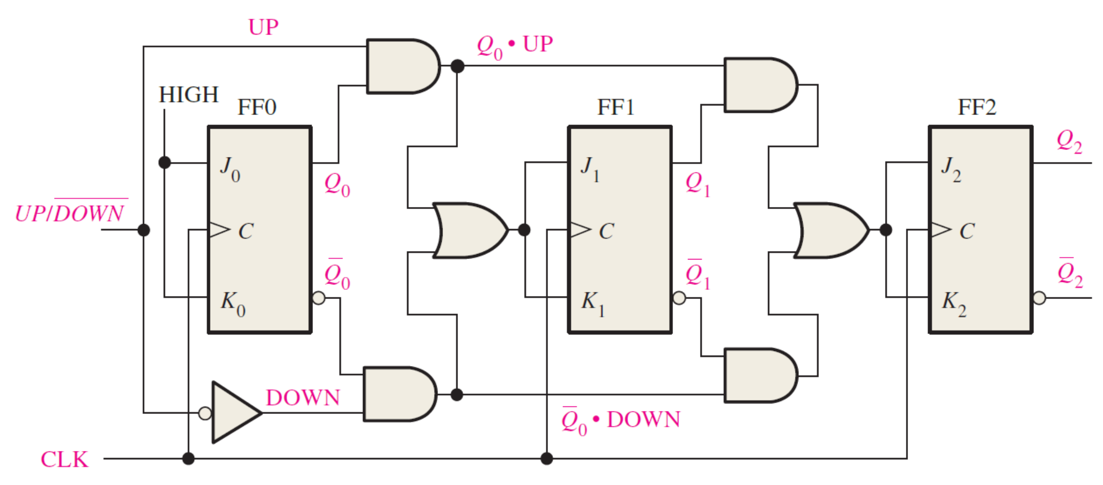
ويمكن بدء العد بأي قيمة وذلك بوضعها على المداخل المتوازية D_0 حتى D_3 وبمجرد وضع الخط $\overline{LOAD}$ يبدأ العد من هذه القيمة. طرف الخرج القيمة الصغرى/القيمة العظمى MAX/MIN ينتج الحالة المرتفعة "1" عندما يصل العد إلى القيمة تسعة 9 $(1001)_2$ في العد التصاعدي، والقيمة صفر 0 $(0000)_2$ في العد التنازلي.

طرف خرج التزامن التموجي the ripple clock output $(\overline{RCO})$، يمكن استخدامه كنبضة تزامن لمراحل تالية ومن اجل الوصل مع دوائر أخرى. مدخل تمكين العد the count enable input $(\overline{CTEN})$ يكون يساوي الصفر 0 لكي تعمل الشريحة في حالة العد الطبيعي، وإذا كان واحد 1 فإن العدّاد يتجمد عند آخر وضع وصل إليه ولا يعمل.

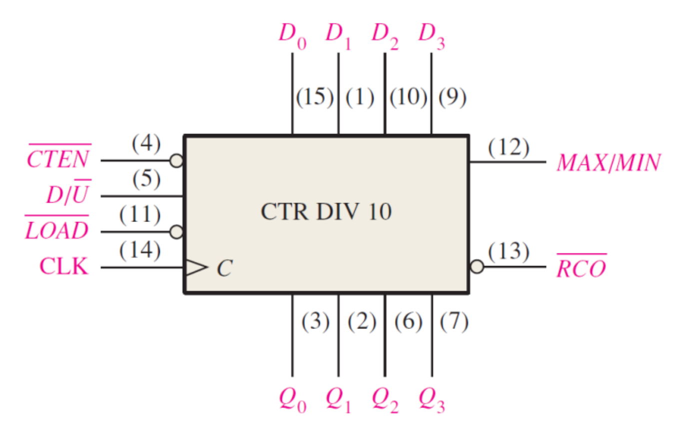
أطراف التحكم التالية:

القيمة الصغرى/القيمة العظمى MAX/MIN – خرج التزامن التموجي $(\overline{RCO})$، تستخدم عند وصل العدّادات.

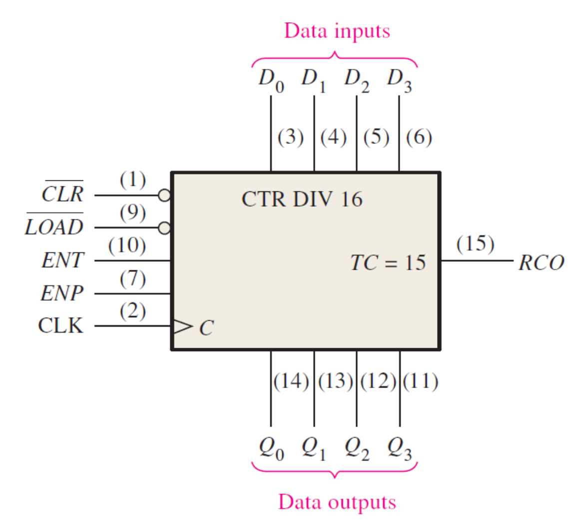
الشكل (9-16) يظهر الرمز المنطقي للشريحة المتكاملة IC لعدّاد عشري تصاعدي/تنازلي من أربع خانات up/down synchronous decade counter تحمل الرقم 74HC163، وهي مؤلفة من أربع قلابات، وتشابه في عملها الشريحة السابقة، إلا أن القلابات موصلة داخلياً لتعد حتى 15 وليس حتى 9 (والاسم CTR DIV 16 أي بست عشرة حالة أو قاسم على 16). الطرف terminal count (TC) يصبح واحد 1 لمدة نبضة تزامن واحدة قبل آخر حالة للعدّاد، ويستخدم هذ الطرف للوصل مع عدّادات أخرى، والمداخل *ENT* - *ENP* هي مداخل لتمكين الشريحة.



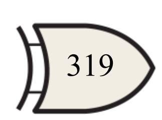
الشكل (9–14) عدّاد ثنائي تصاعدي/تنازلي من ثلاث خانات a 3-bit up/down binary counter



الشكل (9–15) الرمز المنطقي للشريحة المتكاملة لعدّاد عشري تصاعدي/تنازلي من أربع خانات تحمل الرقم 74HC190 يعد لـ 9 up/down synchronous decade counter



الشكل (9–16) الرمز المنطقي للشريحة المتكاملة لعدّاد عشري تصاعدي/تنازلي من أربع خانات تحمل الرقم 74HC163 يعد لـ 16 up/down synchronous decade counter



2-1-4 تصميم العدّادات المتزامنة Design of Synchronous Counters

تم حتى الآن استعراض مجموعة من العدّادات غير المتزامنة والمتزامنة، مع بيان التركيب الداخلي، ومبدأ عمل كل عدّاد، حيث نلاحظ أن معظم هذه العدّادات استخدمت نوع واحد من القلابات وهو القلاب جي كا J-K لما يتميز به هذا القلاب من خاصية قلب حالة الخرج Toggle عندما يكون مدخليه موصولان إلى الحالة المرتفعة "1 " وذلك عند وورد نبضة الساعة.

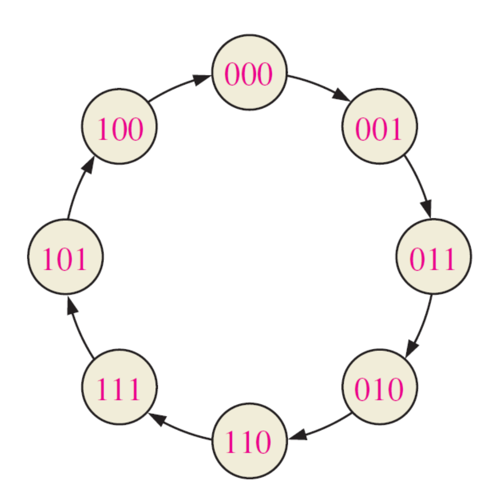
سنرى فيما يلي طريقة منهجية في تصميم العدّادات المتزامنة تمكّن المصمم من تصميم أي عدّاد باستخدام أي نوع من أنواع القلابات وفق أي شروط، وأية طريقة مرغوبة في العد، وتعطي مرونة في التصميم وذلك لسهولة استخدامها وعموميتها.

تتبع طريقة تصميم العدّادات المتزامنة الخطوات التالية:

1- تحديد مخطط الحالة State Diagram

نحدد نوع القلابات التي سنستخدمها ونكتب مخطط الحالة State Diagram للعدّاد، حيث يظهر مخطط الحالة التقدم في حالات العدّاد عندما تطبيق نبضات التزامن، ويعتبر أهم مميزات تصميم الدوائر المنطقية التعاقبية، إذ تعرّف الدائرة التعاقبية بمخطط الحالة.

يظهر الشكل (9-17) مخطط الحالة State Diagram من أجل عدّاد يعد بالشفرة الرمادية " غراي " بثلاث خانات a basic 3-bit Gray code counter، هذه الدائرة ليس لديها مداخل سوى نبضات التزامن، وليس لها خرج سوى مخارج القلابات في العدّاد.



الشكل (9-17) مخطط الحالة State Diagram من أجل عدّاد بالشفرة الرمادية " غراي " بثلاث خانات

a basic 3-bit Gray code counter

2- نوجد جدول الحالة التالية Next-State Table

جدول الحالة التالية The next-state table للعدّاد هو جدول يشتقه من مخطط الحالة State Diagram، ونرتب كل حالة من حالات خرج العدّاد قبل وبعد ورود نبضة التزامن، وهي الحالة الحالية والحالة التالية الموافقة. الجدول (9-4) يظهر جدول الحالة من أجل مثال عدّاد الشفرة الرمادية " غراي" بثلاث خانات a basic 3-bit Gray code counter وهو كالتالي:

Present State			Next State		
Q_2	Q_1	Q_0	Q_2	Q_1	Q_0
0	0	0	0	0	1
0	0	1	0	1	1
0	1	1	0	1	0
0	1	0	1	1	0
1	1	0	1	1	1
1	1	1	1	0	1
1	0	1	1	0	0
1	0	0	0	0	0

الجدول (9-4)

3- جدول الانتقال للقلاب Flip-Flop Transition Table

جدول الانتقال للقلاب Flip-Flop Transition Table هو جدول يظهر كل حالات الانتقال الممكنة للخرج Q possible output transitions من الحالة الحالية إلى الحالة التالية، حيث:

Q_N الحالة الحالية للقلاب قبل نبضة التزامن.

Q_{N+1} الحالة التاية للقلاب بعد نبضة التزامن.

عند تصميم العدّاد يطبق جدول الانتقال لكل قلاب موجود في العدّادت بالاعتماد على جدول الحالة التالية. الجداول (9-5) (9-6) تكون جداول الانتقالات لأكثر القلابات استخداماً في التصميم:

جدول الانتقال للقلاب دي D

Transition table for a D flip-flop

Output Transitions			Flip-Flop Input
Q_N		Q_{N+1}	D
0	⟶	0	0
0	⟶	1	1
1	⟶	0	0
1	⟶	1	1

الجدول (9-5) جدول الانتقال للقلاب دي D

جدول الانتقال للقلاب جي كا J-K

Transition table for a J-K flip-flop

Output Transitions			Flip-Flop Inputs	
Q_N		Q_{N+1}	J	K
0	⟶	0	0	X
0	⟶	1	1	X
1	⟶	0	X	1
1	⟶	1	X	0

Q_N: present state الحالة الحالية
Q_{N+1}: next state الحالة التالية
X: "don't care" غير هامة

الجدول (9-6) جدول الانتقال للقلاب جي كا J-K

على سبيل المثال من أجل الحالة الحالية the present state 000 يكون:

- الخرج Q_0 ينتقل من صفر 0 حالته الحالية إلى واحد 1، ولجعل هذا يحدث يجب أن يكون

الدخل $J_0 = 1$ و حالة المدخل K_0 ليست مهمة $(J_0 = 1, K_0 = X), X$

- الخرج Q_1 حالته الحالية صفر 0 ويبقى صفر 0 للحالة التالية من أجل هذا التحول:

الدخل $J_1 = 0$ وحالة المدخل K_1 ليست مهمة $(J_1 = 0, K_1 = X), X$

- الخرج Q_2 حالته الحالية صفر 0 ويبقى صفر 0 للحالة التالية من أجل هذا التحول:

الدخل $J_2 = 0$ و حالة المدخل K_2 ليست مهمة $(J_2 = 0, K_2 = X), X$

يتم اعادة هذا التحليل من أجل كل حالة حالية في الجدول.

4- مخططات كارنوف Karnaugh Maps

مخطط كارنوف Karnaugh Map يمكن أن يستخدم لتحديد المنطق المطلوب من أجل مداخل كل قلاب في العدّاد، حيث يوجد من أجل المدخل جي J مخطط كارنوف، ومن أجل المدخل كا K مخطط كارنوف وذلك لكل قلاب، حيث كل خلية في جدول كارنوف تمثل حالة من الحالات الحالية للعدّاد.

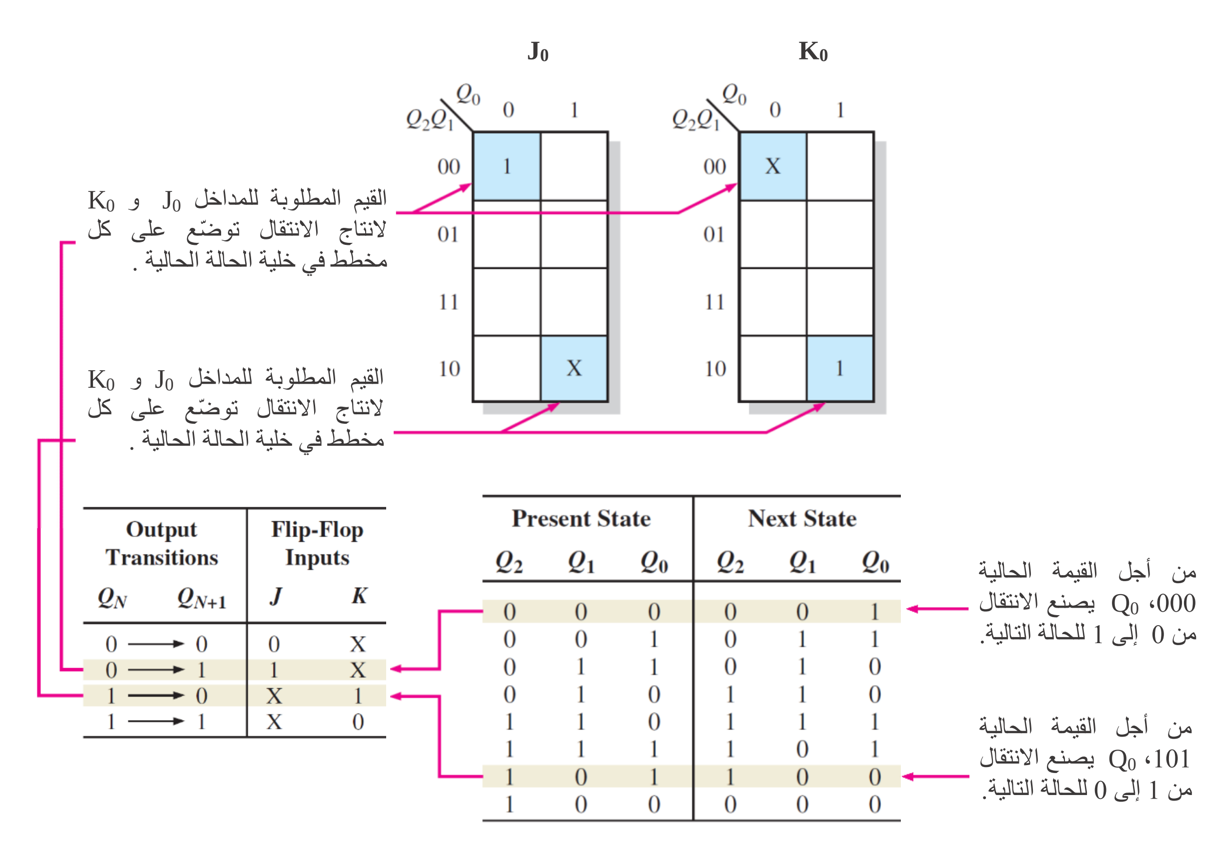
باستخدام جدول الانتقال للقلاب المستخدم، ننشيء مخططات كارنوف لتوابع مداخل كل قلاب من القلابات في عدّاد الشفرة الرمادية " غراي " بثلاث خانات a basic 3-bit Gray code counter كما في الشكل (9-18).

نقوم بتجميع الخلايا في مخططات كارنوف من أجل القلابات الثلاثة في العدّاد، ومن ثم نقوم بإيجاد التعبير البولياني المقابل لكل مجموعة، وهي كما في الشكل (9-19).

5- التعابير المنطقية لمداخل القلابات Logic Expressions for Flip-Flop Inputs

من مخططات كارنوف في الشكل (9-18) نستخلص التعابير المنطقية من أجل المداخل جي J و كا K لكل قلاب كما يلي:

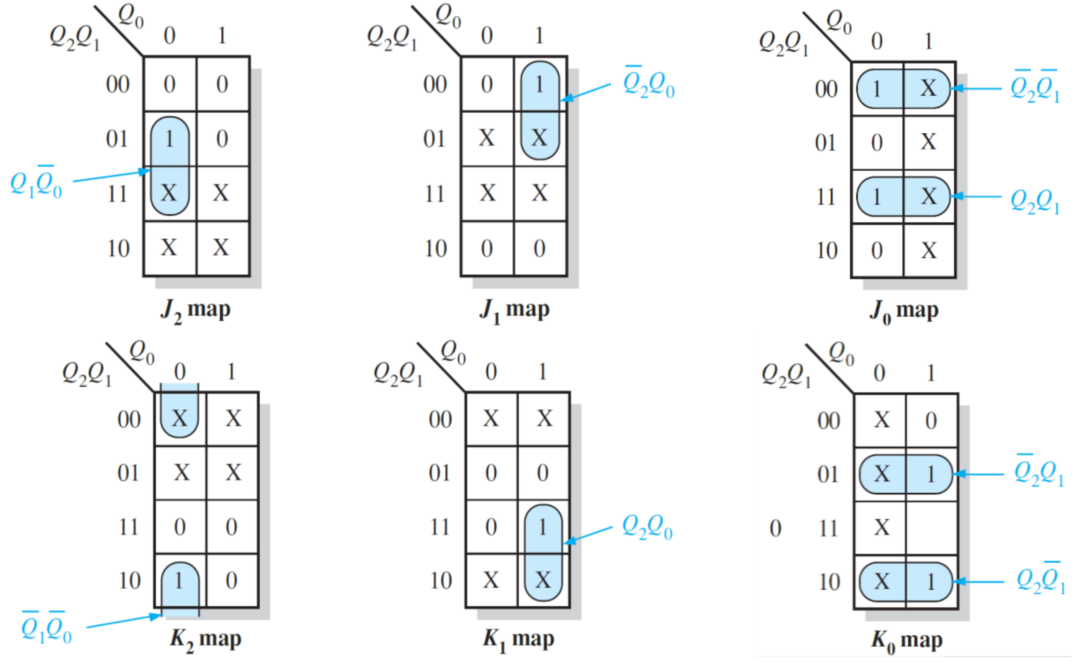
$$J_0 = Q_2Q_1 + \overline{Q}_2\overline{Q}_1 = \overline{Q_2 \oplus Q_1}$$
$$K_0 = Q_2\overline{Q}_1 + \overline{Q}_2Q_1 = Q_2 \oplus Q_1$$
$$J_1 = \overline{Q}_2Q_0$$
$$K_1 = Q_2Q_0$$
$$J_2 = Q_1\overline{Q}_0$$
$$K_2 = \overline{Q}_1\overline{Q}_0$$



Output Transitions Q_N	Q_{N+1}	Flip-Flop Inputs J	K
0	0	0	X
0	1	1	X
1	0	X	1
1	1	X	0

Present State Q_2	Q_1	Q_0	Next State Q_2	Q_1	Q_0
0	0	0	0	0	1
0	0	1	0	1	1
0	1	1	0	1	0
0	1	0	1	1	0
1	1	0	1	1	1
1	1	1	1	0	1
1	0	1	1	0	0
1	0	0	0	0	0

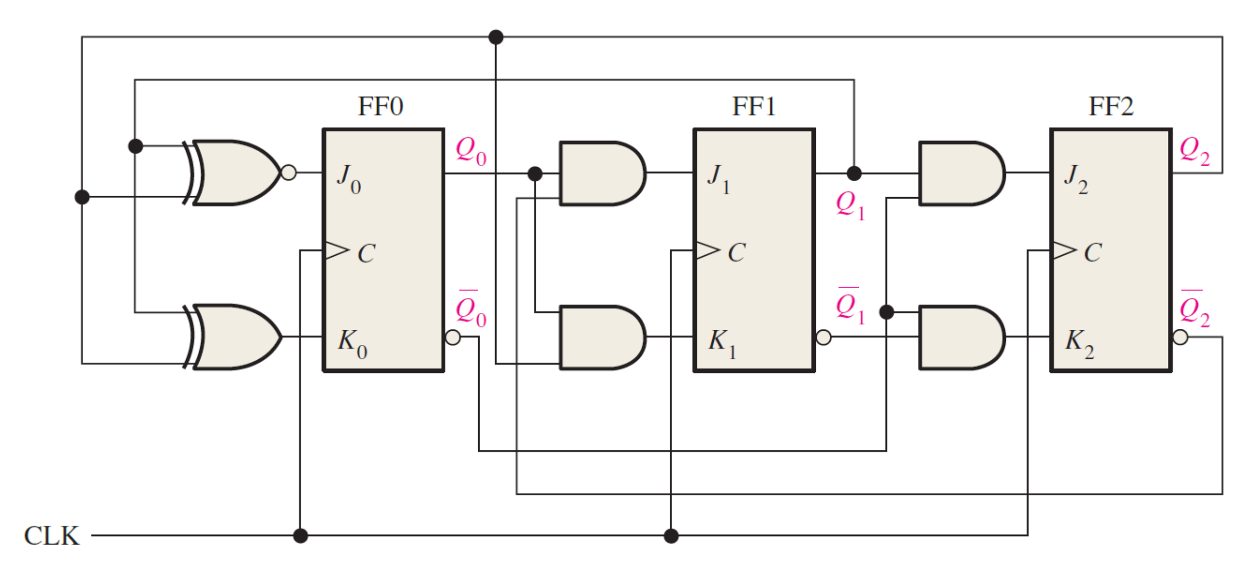
الشكل (9-18) مثال عن عملية تمثيل البيانات في مخططات كارنوف من مخطط الحالة التالية ومخطط الانتقال للقلاب المستخدم وذلك للعدّاد ذو مخطط الحالة في الشكل (9-17)



الشكل (9-19) مخططات كارنوف للقلابات في عدّاد الشفرة الرمادية " غراي " بثلاث خانات

6- تنفيذ العدّاد Counter Implementation

الخطوة الأخيرة تنفيذ عدّاد الشفرة الرمادية " غراي " بثلاث خانات a 3-bit Gray code counter، حيث نبدأ بتنفيذ المنطق التوافقي من التعابير المنطقية من أجل المداخل جي J و كا K للقلابات، ثم نقوم بتوصيل الدوائر التي حصلنا عليها بالقلابات، الشكل (9-20) يظهر العدّاد.



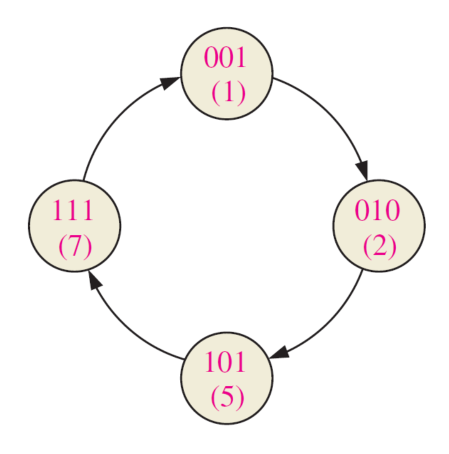
الشكل (9-20) عدّاد الشفرة الرمادية " غراي " بثلاث خانات a 3-bit Gray code counter

يمكن أن نلخص خطوات تصميم العدّادات المتزامنة كما يلي:

1. نحدد طبيعة تسلسل الحالات العددية للعدّاد ونرسم مخطط الحالة state diagram، ونحدد نوع القلاب المستخدم في العدّاد، ودورة العد N ومقياس العدّاد MOD لتحديد عدد القلابات المراد استخدامها في تصميم العدّاد.
2. نستنتج جدول الحالة التالية a next-state table من مخطط الحالة.
3. نكتب جدول الانتقال للقلاب المستخدم Flip-Flop Transition Table.
4. ننشئ مخططات كارنوف Karnaugh Maps لتوابع مداخل كل قلاب من القلابات بالاستعانة بجدول الانتقال للقلاب.
5. نستخلص التعابير المنطقية Logic Expressions لمداخل القلابات.
6. ننفذ التعابير باستخدام المنطق التوافقي، وندمجها مع القلابات لتشكيل العدّاد.

مثال

صمم عدّاد ثنائي غير منتظم العد irregular binary count sequence مخطط الحالة له يظهر في الشكل (9−21)، باستخدام قلاب من نوع دي D.



الشكل (9−21) مخطط الحالة للعدّاد

1. من مخطط الحالة نجد أن العدّاد يعد بطريقة غير منتظمة، له أربع حالات خرج، طول دورة العد هو سبعة 7 (111) بالتالي نحتاج إلى ثلاثة قلابات، وبما أن التسلسل المطلوب لا يشمل كل الحالات الثنائية الممكنة، الحالات غير الموجودة (0، 3، 4، 6) يمكن أن تعامل كحالات غير هامة "don't cares" (X).

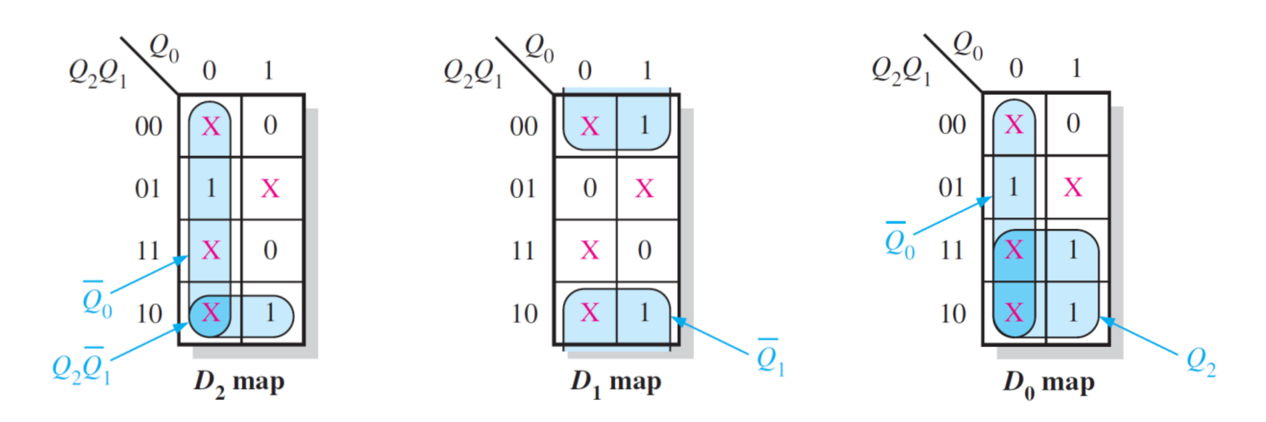
2. نستنتج جدول الحالة التالية من مخطط الحالة:

Present State			Next State		
Q_2	Q_1	Q_0	Q_2	Q_1	Q_0
0	0	1	0	1	0
0	1	0	1	0	1
1	0	1	1	1	1
1	1	1	0	0	1

3. نكتب جدول الانتقال للقلاب دي D:

Output Transitions			Flip-Flop Input
Q_N		Q_{N+1}	D
0	⟶	0	0
0	⟶	1	1
1	⟶	0	0
1	⟶	1	1

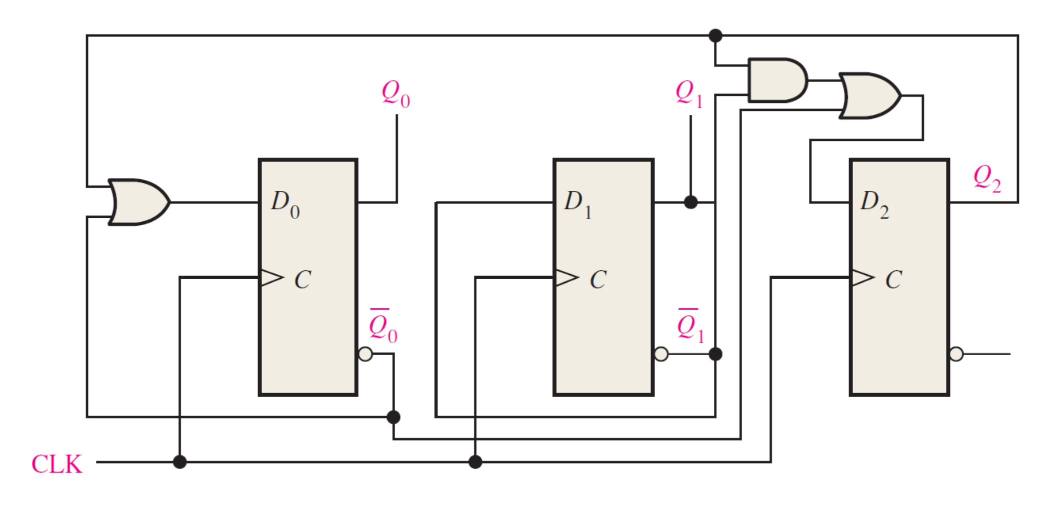
4. نوجد مخططات كارنوف لتوابع مدخل القلاب دي D، مع ملاحظة أن الحالات غير الموجودة، نكتبها غير هامة X.



5. نقوم بإيجراء التطويقات المناسبة مستفيدين من الحالات غير الهامة لكي نحصل على أبسط شكل ممكن، وايجاد التوابع المنطقية من أجل كل مدخل دي D والتي تكون كما يلي:

$$D_0 = \overline{Q}_0 + Q_2$$
$$D_1 = \overline{Q}_1$$
$$D_2 = \overline{Q}_0 + Q_2\overline{Q}_1$$

6. ننفذ العدّاد كما بالشكل (9-22) حيث نلاحظ ربط المداخل دي D كما تنص التعابير المنطقية.



الشكل (9-22) عدّاد ثنائي غير منتظم العد irregular binary count sequence counter

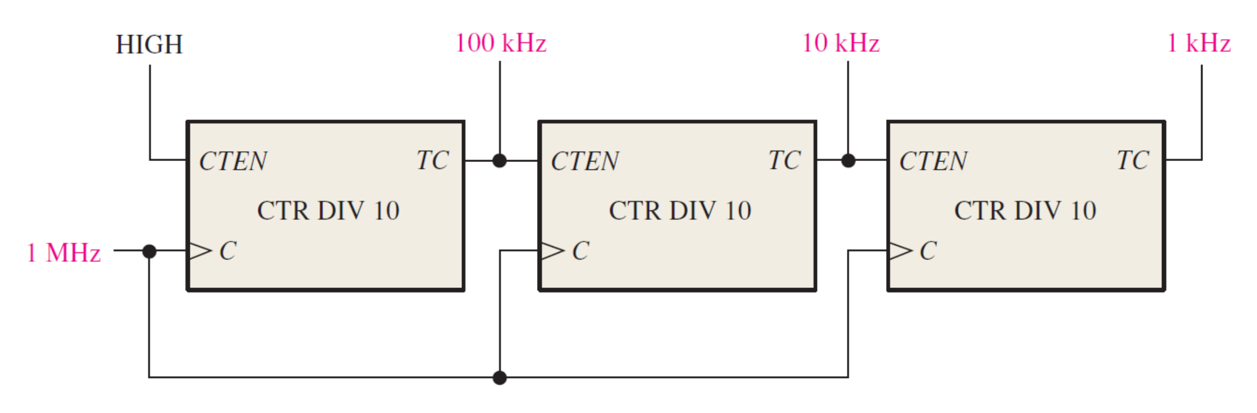
نلاحظ أن العدّاد عندما يذهب إلى أحد الحالات غير الموجودة (0، 3، 4، 6) سوف يعود دائماً إلى الحالات الموجودة وفقاً للتسلسل (0 إلى 3 إلى 4 إلى 7).

من الملاحظات المهمة للعدّادات

- خرج كل مرحلة يعتبر قاسم لتردد المرحلة السابقة بمقدار2 فالخرج Q_0 له تردد نصف تردد نبضات التزامن المدخلة، والخرج Q_1 له تردد نصف تردد الخرج Q_0 وبالتالي ربع تردد نبضات التزامن، وهكذا، ويمكن متابعة ذلك على مخططات التزامن لأي عدّاد كم العدّادات السابقة، بالنسبة للعدّاد العشري وجدنا أن خرج المرحلة الرابعة Q_3 يعتبر عشر تردد نبضات التزامن، أي يقسم تردد الإشارة المدخلة على عشرة.
- تستخدم عادة العدّادت المتتالية Cascaded counters (في العدّادات المتتالية يكون خرج المرحلة الأخيرة للعدّاد يقود دخل العدّاد التالي)، لتقسيم تردد التزامن المرتفع للحصول على ترددات نبضات أكثر دقة، ويمكن أيضاً وصلها للحصول على ترددات أقل على شكل سلسلة in cascade كما في الشكل (9-23)، حيث بافتراض أن تردد نبضة التزامن الأساسية هي 1 MHz وباستخدام ثلاث دوائر من العدّاد العشري موصولة على التتالي، نحصل على 100 kHz, 10 kHz, and 1 kHz حيث كل عدّاد يقسم التردد على 10، ونلاحظ استخدام الطرف TC لتمكين وتفعيل العدّاد التالي.

مقياس العدّ الكلي للعدّادات الموصولة على التسلسل هو حاصل ضرب مقاييس العد للعدّادات الجزئية المكون منها العدّاد. وبالنسبة للعدّاد في الشكل (9-23) يكون:

The overall modulus of cascaded counters= 10×10× 10= 1000



الشكل (9-23) عدّادات عشرية موصولة بشكل متسلسل لتشكيل دائرة مقسم تردد على 1000، وكل مرحلة تقسم على 10

Three cascaded decade counters forming a divide-by-1000 frequency divider



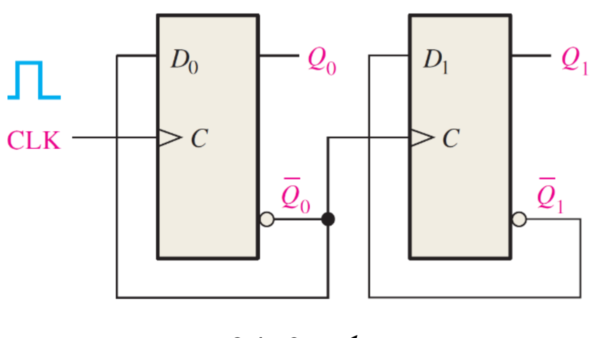
الجدول (9-7) يلخص الدوائر المتكاملة التي تم عرضها سابقاً، مع أرقامها ومحتوياتها

نوع الدائرة المتكاملة		رقمها
عدّاد بست عشرة 16 حالة عد	a 4-bit modulus-16 counter	74HC93
عدّاد عشري تصاعدي/تنازلي من أربع خانات بعشر 10 حالات عد	up/down synchronous decade counter	74HC190
عدّاد عشري تصاعدي/تنازلي من أربع خانات بست عشر 16 حالة عد	up/down synchronous decade counter	74HC163

الجدول (9-7) الدوائر المتكاملة التي تم عرضها في هذا الفصل

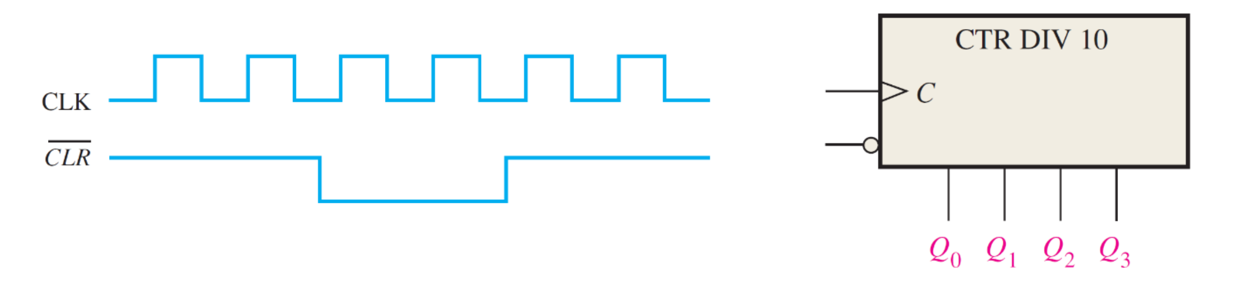
تدريبات

1– من أجل العدّاد التموجي في الشكل (**9–24**) ارسم المخطط الزمني الكامل له، من أجل **8** نبضات تزامن، حيث تظهر نبضة التزامن والخرج للقلاب الأول والقلاب الثاني.



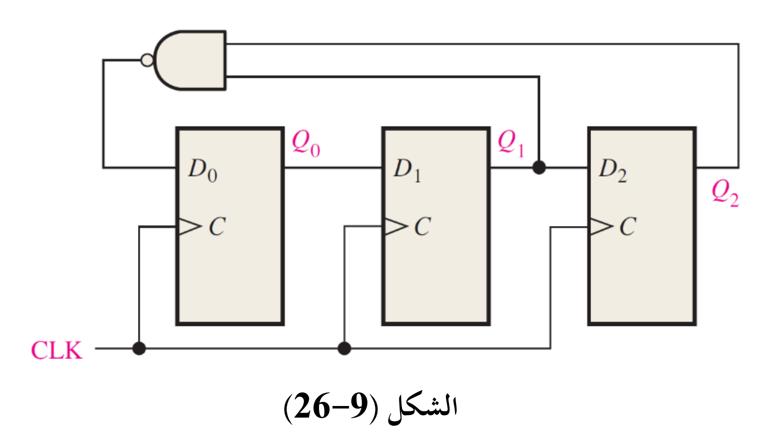
الشكل (**9–24**)

2– من أجل العدّاد العشري في الشكل (**9–25**) تطبق عليه نبضة التزامن ونبضة التصفير كما هو موضح، ارسم شكل موجة الخرج للمخارج الأربعة، حيث التصفير يكون متزامن، والحالة الابتدائية للعدد هي الحالة الثنائية **1000**.



الشكل (**9–25**)

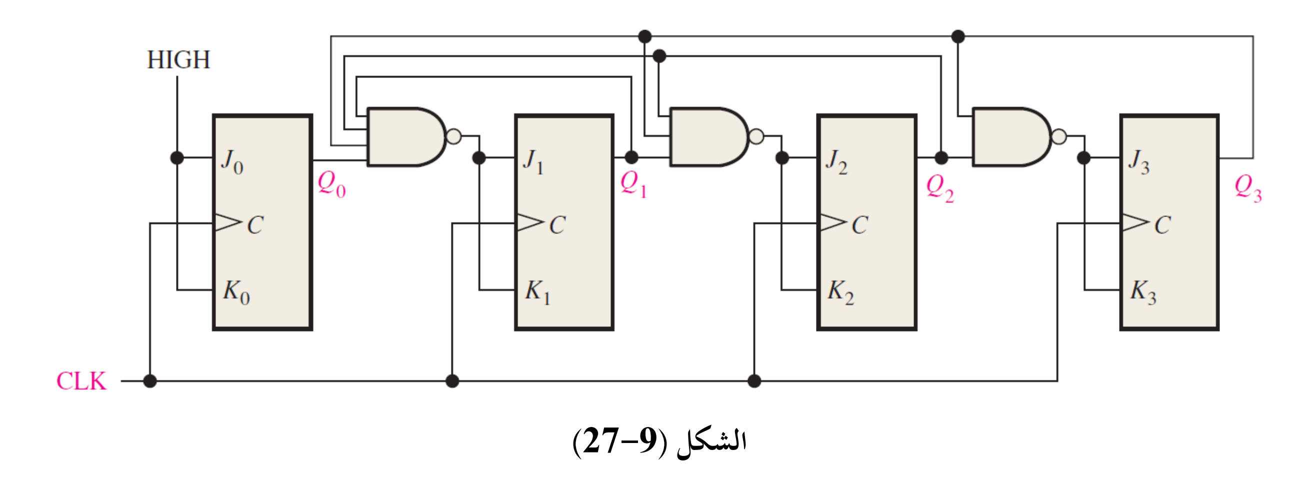
3– حدد خرج العدّاد في الشكل (**9–26**)



الشكل (**9–26**)



4- حدد خرج العدّاد في الشكل (9-27)



الشكل (9-27)

5- صمم عدّاد غير متزامن تصاعدي طول دورته M=8 (يعد 0 ⟵ 7 ويكرر) باستخدام القلاب جي كا J-K.

6- صمم عدّاد غير متزامن تنازلي طول دورته M=16 (يعد 0 ⟵ 15 ويكرر) باستخدام القلاب دي D.

7- صمم عدّاد غير متزامن تصاعدي تنازلي طول دورته M=10 باستخدام القلاب دي D.

8- صمم دائرة تحول التردد 1MHz إلى 100KHz.

9- صمم عدّاد يقوم بانتاج التسلسل التالي باستخدام القلاب جي كا J-K.

.....00, 10, 01, 11, 00, ...

10- صمم عدّاد يقوم بانتاج التسلسل التالي باستخدام القلاب جي كا J-K.

1, 4, 3, 5, 7, 6, 2, 1, ...

11- صمم عدّاد يقوم بانتاج التسلسل التالي باستخدام القلاب جي كا J-K.

.....00, 10, 01, 11, 00, ...

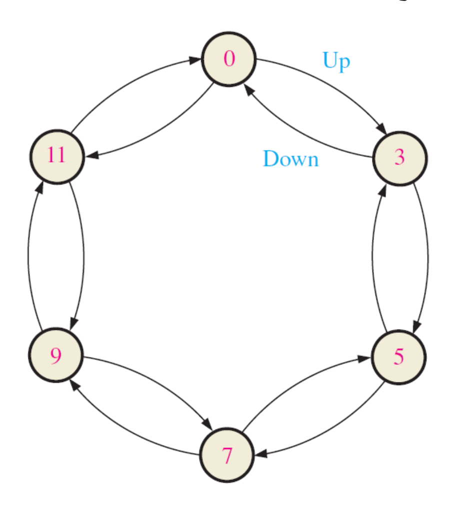
12- صمم عدّاد عشري BCD (0 ⟵ 9) متزامن مستخدماً ثنائيات الاستقرار جي كا J-K.

13-صمم دائرة تعاقبية متزامنة مع نبضات الساعة C ومدخل التحكم X تعمل كعدّاد يمر بالأعداد

عندما x=0 ⟵ 0 2 1 3 0

عندما x=1 ⟵ 0 3 1 2 0

14–صمم عدّاد ثنائي يعطي تسلسل موضح في مخطط الحالة في الشكل (**9–28**).



الشكل (**9–28**)

15–ما أقصى عد يصل إليه العدّاد المكون من ثمانية قلابات.

16–احسب أقصى قيمة لتردد نبضات التزامن **f** لدائرة عدّاد غير متزامن يتكون من ست عشرة **16** قلاب، إذا كان كل قلاب له زمن تاخير انتشار t_p يساوي إلى **10ns**.

17–احسب زمن التأخير الكلي لعدّاد تصاعدي متزامن يتكون من أربعة قلابات، إذا كان كل قلاب له زمن تأخير انتشار t_p يساوي إلى **10ns** ومن تأخير البوابة **AND** يساوي إلى **5ns**.

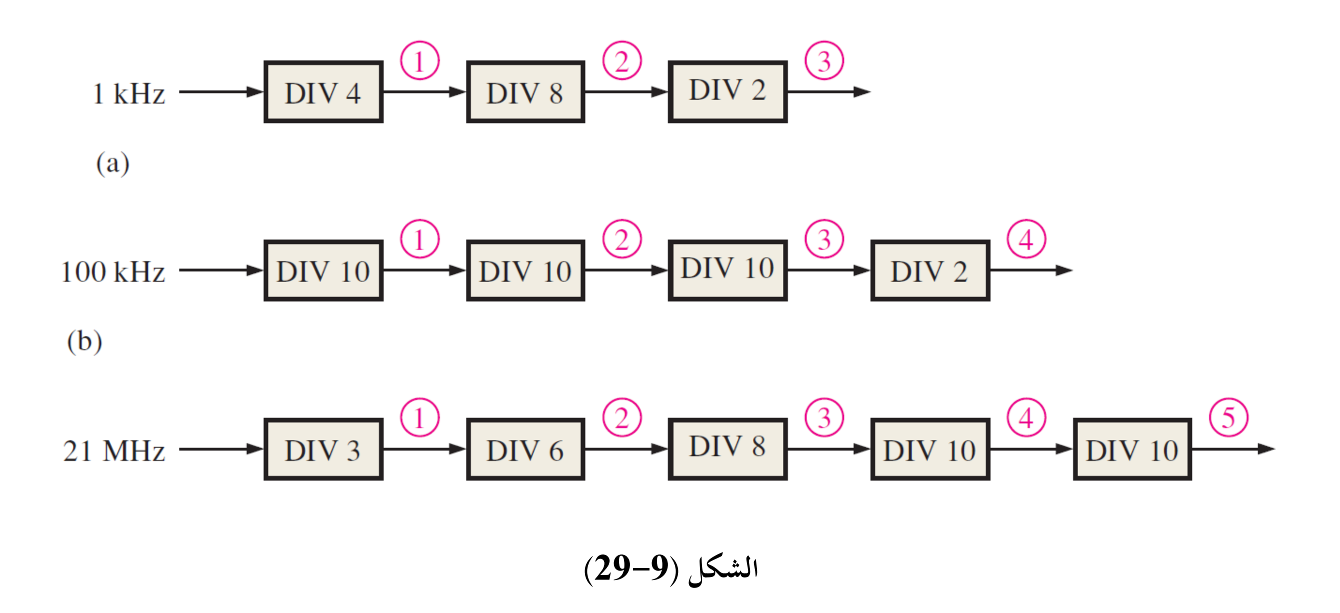
18– صمم دائرة تقوم بعد عدد السيارات في كراج عند أي لحظة زمنية، استخدم عدّاد تصاعدي تنازلي، بحيث مع دخول سيارة يزداد العدّاد بواحد، ومع خروج سيارة ينقص بواحد.

19– صمم نظام لاظهار عدد الأشخاص في حجرة، حيث يستخدم عدد الأشخاص لاضاءة الحجرة طالما بها أشخاص، ويقوم باطفاء الاضاءة عندما يصل عدد الأشخاص إلى الصفر، علماً أن عدد الأشخاص يظهر على شاشة القطع السبع.

20– باستخدام مخطط صندوقي عام للعدّاد، اظهر كيف يمكن الحصول على الترددات التالية، من تردد نبضات **10 MHz** باستخدام قلابات وحيدة، وعدّادات من نوع مقياس عد **5** **modulus-5 counters** موصولة على التسلسل.

(a) 5 MHz (b) 2.5 MHz (c) 2 MHz (d) 1 MHz (e) 500 kHz

21– من أجل كل مجموعة عدّادات موصولة على التسلسل في الشكل (**9–29**) حدد التردد عن كل نقطة مشار إليها برقم وحدد مقياس العدّاد الكلي.


1 kHz
DIV 4
DIV 8
DIV 2
1
2
3
(a)
100 kHz
DIV 10
DIV 10
DIV 10
DIV 2
1
2
3
4
(b)
21 MHz
DIV 3
DIV 6
DIV 8
DIV 10
DIV 10
1
2
3
4
5

الشكل (9–29)

Key Terms and Abbreviations المصطلحات والعبارات الرئيسة واختصاراتها

الصفحة	الترجمة	المصطلح أو العبارة	الصفحة	الترجمة	المصطلح أو العبارة
308	Maximum Count of a Counter	أقصى عد للعدّاد	305	Digital Counters	العدّادات الرقمية
308	Propagation Delays	أزمنة تأخير الانتشار	305	Sequential Logic Circuits	دوائر منطقية تعاقبية
311	The Maximum Clock Frequency	تردد الساعة الأعظمي	305	Up Counting	عد تصاعدي
312	Decade Counters	العدّاد العشري	305	Down Counting	عد تنازلي
312	An Asynchronously Clocked Decade Counter With Asynchronous Recycling	عدّاد عشري غير متزامن يعود إلى الصفر بطريقة غير متزامنة	305	Asynchronous Counters	العدّادات غير المتزامنة
312	Glitch	النبضة القصيرة	305	Initial State	الحالة الابتدائية
312	Oscilloscope	راسم اشارة	306	Synchronous Counters	العدّادات المتزامنة
312	Logic Analyzer	محلل منقطي	306	A 2-Bit Asynchronous Binary Counter	عدّاد ثنائي بخانتين غير متزامن
313	Integrated Circuit (IC)	الدائرة المتكاملة	306	A Binary Counter	العدّاد الثنائي
313	A Modulus-8 Counter	عدّاد بمقياس عد ثمانية	307	Ripple Counter	العدّاد التموجي
313	A 4-Bit Modulus-16 Counter	عدّاد بمقياس عد ست عشرة، أربعة خانات	307	RESET	وضع التصفير
314	A 2-Bit Synchronous Binary Counter	عداد ثنائي متزامن بخانتين	307	Timing Diagram	المخطط الزمني
316	Bidirectional Counter	العدّاد ثنائي الاتجاه	307	Least Inefficient Bit	الخانة الأقل أهمية
316	An Up/Down Counter	العدّاد التصاعدي/التنازلي	308	Most Inefficient Bit	الخانة الأكثر أهمية
317	Down Sequence	تسلسل العد التنازلي	308	Modulus of Counter	مقياس العدّاد

322	The Present State	الحالة الحالية	317	Up Sequence	تسلسل العد التصاعدي
322	Karnaugh Maps	مخططات كارنوف	318	Terminal Count(TC)	عد طرفي
324	Logic Expressions	التعابير المنطقية	318	Up/Down Synchronous Decade Counter	عداد عشري متزامن تصاعدي/ تنازلي
325	Don’t Cares	حالات غير هامة	318	The Ripple Clock Output(RCO)	طرف خرج التزامن التموجي
326	Irregular Binary Count Sequence Counter	عدّاد ثنائي غير منتظم العد	318	The Count Enable (CTEN) Input	طرف مدخل تمكين العد
327	Cascaded Counters	العدّادت المتتالية	320	State Diagram	مخطط الحالة
327	Cascaded Decade Counters	عدّادات عشرية متتالية	320	A Basic 3-Bit Gray Code Counter	عداد مبدئي بالشفرة الرمادية "غراي" بثلاث خانات
331	Modulus-5 Mounters	عدّادات من نوع مقياس عد 5	321	The Next-State Table	جدول الحالة التالية
318	A 3-Bit Up/Down Binary Counter	عداد ثنائي تصاعدي تنازلي بثلاث خانات/	322	Flip-Flop Transition Table	جدول الانتقال للقلاب

References المراجع

1. Misty E. Vemaat, ***Discovering Computers 2018***: Digital Technology, Data, and Devices, Cengage Learning, 2018.
2. M. Morris Mano, ***Digital Design***, Prentice-Hall, 5 th, 2013.
3. Roger Tokheim, ***Digital Electronic***, McGraw-Hill Education, 2014.
4. Thomas L. Floyd, ***Digital Fundamentals***, Eleventh Edition, Prentice-Hall, Inc., 2015.
5. Timothy J. O’Leary, ***Computing Essentials***, McGraw-Hill Education, 2017.

6. بكرو، خالد، **مثاني القرآن الكريم إشارة إلى شِفرة عمل الحاسب المثاني الأصفار والواحدات**، مجلة بحوث العلوم الاسلامية، جامعة أديامان، تركيا، عدد 2، مجلد 1، 2017.
7. بكرو، خالد، **الشفرة المثاني للقرآن الكريم**، المؤتمر الدولي الخامس للتطبيقات الإسلامية في علوم الحاسوب وتقنياته، 26-28 ديسمبر / كانون الأول 2017 اندونيسيا.
8. بكرو، خالد، **خوارزميّة إيجاد الشِّفرة المثاني لآيات القرآن الكريم**، المؤتمر الدولي الخامس للتطبيقات الإسلامية في علوم الحاسوب وتقنياته، 26-28 ديسمبر / كانون الأول 2017 اندونيسيا.
9. بكرو، خالد، **رياضيات القرآن الكريم، المصفوفات**، المجلة الدولية للتطبيقات الإسلامية في علوم الحاسوب وتقنياته – إجازات IJASAT، العدد 3، المجلد 5، سبتمبر 2017.
10. مراياتي، محمد. وآخرون. **التّعمية واستخراج المعمى عند العرب**، دمشق، سوريا: مجمع اللغة العربية، دار طلاس للدراسات والترجمة والنشر، 1997.

الملاحق Appendix

الملحق 1: شفرة أسكي (الشفرة الأمريكية القياسية لتبادل المعلومات

American Standard Code for Information Interchange (ASCII)

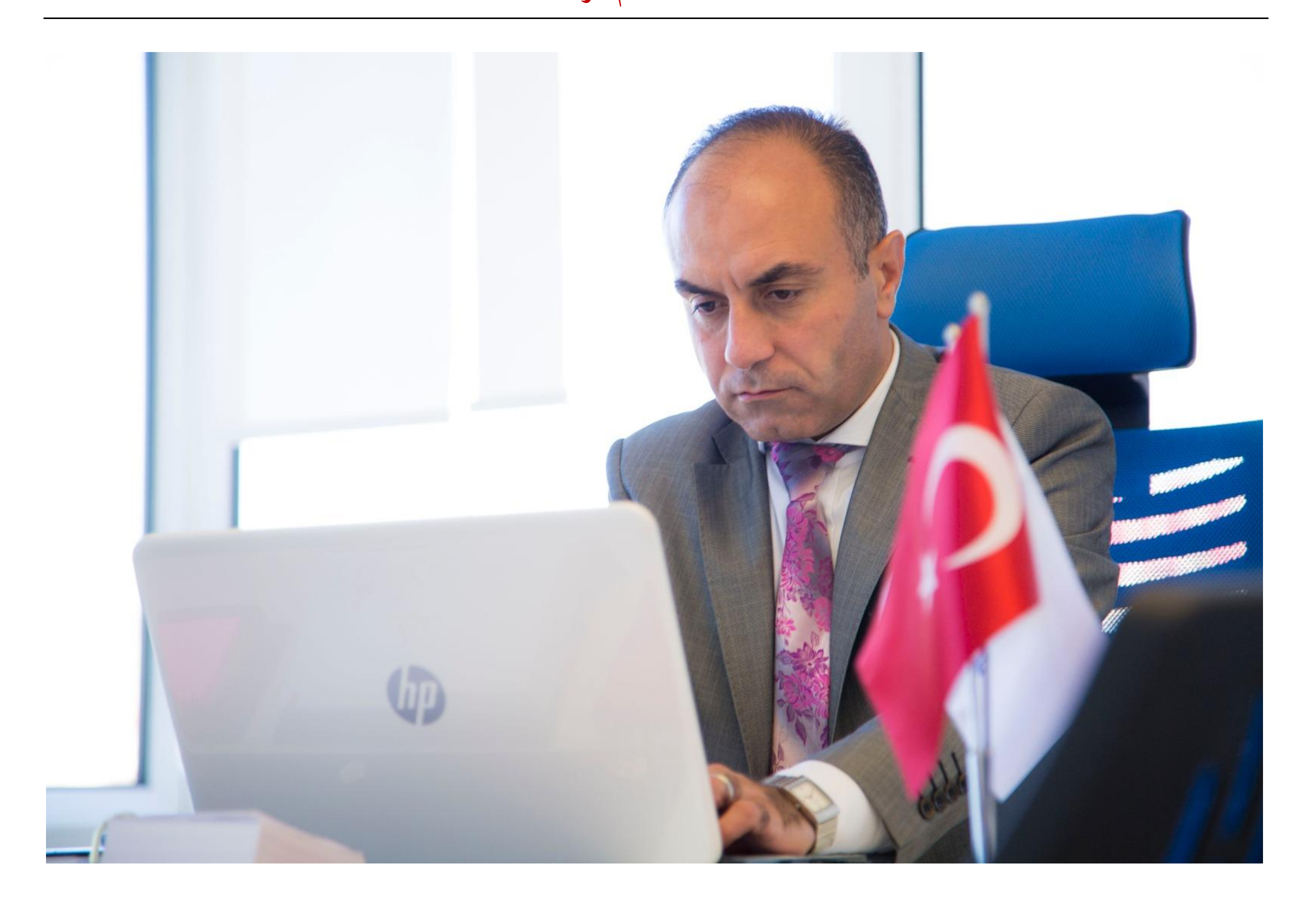
Dec	Hx	Oct	Char	Dec	Hx	Oct	Html	Chr	Dec	Hx	Oct	Html	Chr	Dec	Hx	Oct	Html	Chr
0	0	000	NUL (null)	32	20	040		Space	64	40	100	@	@	96	60	140	`	`
1	1	001	SOH (start of heading)	33	21	041	!	!	65	41	101	A	A	97	61	141	a	a
2	2	002	STX (start of text)	34	22	042	"	"	66	42	102	B	B	98	62	142	b	b
3	3	003	ETX (end of text)	35	23	043	#	#	67	43	103	C	C	99	63	143	c	c
4	4	004	EOT (end of transmission)	36	24	044	$	$	68	44	104	D	D	100	64	144	d	d
5	5	005	ENQ (enquiry)	37	25	045	%	%	69	45	105	E	E	101	65	145	e	e
6	6	006	ACK (acknowledge)	38	26	046	&	&	70	46	106	F	F	102	66	146	f	f
7	7	007	BEL (bell)	39	27	047	'	'	71	47	107	G	G	103	67	147	g	g
8	8	010	BS (backspace)	40	28	050	(	(	72	48	110	H	H	104	68	150	h	h
9	9	011	TAB (horizontal tab)	41	29	051	)	)	73	49	111	I	I	105	69	151	i	i
10	A	012	LF (NL line feed, new line)	42	2A	052	*	*	74	4A	112	J	J	106	6A	152	j	j
11	B	013	VT (vertical tab)	43	2B	053	+	+	75	4B	113	K	K	107	6B	153	k	k
12	C	014	FF (NP form feed, new page)	44	2C	054	,	,	76	4C	114	L	L	108	6C	154	l	l
13	D	015	CR (carriage return)	45	2D	055	-	-	77	4D	115	M	M	109	6D	155	m	m
14	E	016	SO (shift out)	46	2E	056	.	.	78	4E	116	N	N	110	6E	156	n	n
15	F	017	SI (shift in)	47	2F	057	/	/	79	4F	117	O	O	111	6F	157	o	o
16	10	020	DLE (data link escape)	48	30	060	0	0	80	50	120	P	P	112	70	160	p	p
17	11	021	DC1 (device control 1)	49	31	061	1	1	81	51	121	Q	Q	113	71	161	q	q
18	12	022	DC2 (device control 2)	50	32	062	2	2	82	52	122	R	R	114	72	162	r	r
19	13	023	DC3 (device control 3)	51	33	063	3	3	83	53	123	S	S	115	73	163	s	s
20	14	024	DC4 (device control 4)	52	34	064	4	4	84	54	124	T	T	116	74	164	t	t
21	15	025	NAK (negative acknowledge)	53	35	065	5	5	85	55	125	U	U	117	75	165	u	u
22	16	026	SYN (synchronous idle)	54	36	066	6	6	86	56	126	V	V	118	76	166	v	v
23	17	027	ETB (end of trans. block)	55	37	067	7	7	87	57	127	W	W	119	77	167	w	w
24	18	030	CAN (cancel)	56	38	070	8	8	88	58	130	X	X	120	78	170	x	x
25	19	031	EM (end of medium)	57	39	071	9	9	89	59	131	Y	Y	121	79	171	y	y
26	1A	032	SUB (substitute)	58	3A	072	:	:	90	5A	132	Z	Z	122	7A	172	z	z
27	1B	033	ESC (escape)	59	3B	073	;	;	91	5B	133	[	[	123	7B	173	{	{
28	1C	034	FS (file separator)	60	3C	074	<	<	92	5C	134	\	\	124	7C	174			|
29	1D	035	GS (group separator)	61	3D	075	=	=	93	5D	135	]	]	125	7D	175	}	}
30	1E	036	RS (record separator)	62	3E	076	>	>	94	5E	136	^	^	126	7E	176	~	~
31	1F	037	US (unit separator)	63	3F	077	?	?	95	5F	137	_	_	127	7F	177	&#127;	DEL

Source: www.asciitable.com

الملحق 2: نظام الترميز أزمو للحروف العربية **Asmo** وكيفية ترميز الحروف العربية

Arab organization for standardization and metrology (Asmo)

193	ء		203	ث		213	ص		223	■		233	ى
194	آ		204	ج		214	ض		224	ـ		234	ي
195	أ		205	ح		215	ط		225	ف		235	تنوين فتح
196	ؤ		206	خ		216	ظ		226	ق		236	تنوين ضم
197	إ		207	د		217	ع		227	ك		237	تنوين كسر
198	ئ		208	ذ		218	غ		228	ل		238	فتح
199	ا		209	ر		219	█		229	م		239	ضم
200	ب		210	ز		220	▄		230	ن		240	كسر
201	ة		211	س		221	▌		231	ه		241	تشديد
202	ت		212	ش		222	▐		232	و		242	سكون



الدكتور المهندس

خالد بكرو

سوري، من مواليد الكويت

حاصل على الدكتوراه في هندسة الحواسيب من جامعة حلب – سوريا

باحث في: المعالجة الآلية للغة العربية، معالجة الصورة الرقمية، التعليم الالكتروني.

باحث في الاعجاز العلمي في القرآن الكريم

مدرس في عدد من الجامعات في سوريا وتركيا

عميد كلية العلوم وتكنولوجيا المعلومات، اكاديمية توليب للعلوم والتكنولوجيا، اسطنبول – تركيا

Dr.Khaled.Bakro@gmail.com



- يعتبر الأحدث من نوعه في المكتبة العربية.
- يقدم المعلومة الأحدث والأدق بشكل سهل وبسيط.
- يغطي معظم المواضيع الأساسية التي يحتاجها الطالب أو القارئ في علم الإلكترونيات الرقمية بأسلوب سهل وبسيط.
- يجمع ما بين العرض النظري والمخطط الصندوقي والرمز المنطقي للدائرة.
- يقدم شرحاً عن المبادئ النظرية والقواعد المتبعة والأمور التي يتوجب مراعاتها أثناء التصميم الإلكتروني الرقمي.
- يفيد المتخصص والمبتدىء.
- لا يحتاج إلى خلفية كبيرة في العلوم الرياضية أو الإلكترونية.
- يمكن أن يكون منهج أكاديمي، أو مرجع عام.
- يمكن دراسة كل فصل بشكل مستقل.
- يركز على المفهوم ويدعمه بعدد من الأمثلة والصور والمخططات التوضيحية اللازمة.
- يساعد في تركيز الأفكار من خلال مجموعة من الاختبارات والأسئلة في نهاية كل فصل.
- يتميز بتقديمه شرح عن شرائح الدوائر الالكترونية المستخدمة.

أساسيات النظم الرقمية

Digital Systems Essentials

مميزات الكتاب:

- يعتبر الأحدث من نوعه في المكتبة العربية.
- يقدم المعلومة الأحدث والأدق بشكل سهل وبسيط.
- يغطي معظم المواضيع الأساسية التي يحتاجها الطالب أو القارئ في علم الإلكترونيات الرقمية بأسلوب سهل وبسيط.
- يجمع ما بين العرض النظري والمخطط الصندوقي والرمز المنطقي للدائرة.
- يقدم شرحاً عن المبادئ النظرية والقواعد المتبعة والأمور التي يتوجب مراعاتها أثناء التصميم الإلكتروني الرقمي.
- يفيد المتخصص والمبتدئ.
- لا يحتاج إلى خلفية كثيرة في العلوم الرياضية أو الألكترونية.
- يمكن أن يكون منهج أكاديمي أو مرجع عام.
- يمكن دراسة كل فصل بشكل مستقل.
- يركز على المفهوم ويدعمه بعدد من الأمثلة والصور والمخططات التوضيحية اللازمة.
- يساعد في تركيز الأفكار من خلال مجموعة من الاختبارات والأسئلة في نهاية كل فصل.
- يتميز بتقديمه شرح عن شرائح الدوائر الإلكترونية المستخدمة.







http://www.raypub.com